



**DOCUMENTO COM DESCRIÇÃO DAS
SOLUÇÕES DOS PRINCIPAIS
FORNECEDORES PARA O OBJETIVO DO
PROJETO**

**A2.1 – SOLUÇÕES DOS PRINCIPAIS
FORNECEDORES**

OpenRAN@Brasil – Fase 2

Sumário

1	Introdução	8
2	Avaliação de Fornecedores Plataformas	9
3	Referência bibliográfica	21
4	Histórico de alterações do documento consolidado	22
5	Execução e aprovação	23

Acrônimos

3GPP	3rd Generation Partnership Project
ADC	Analog to Digital Converter
AFE	Analog Front End
ASIC	Application Specific Integrated Circuits
BF	Beamforming
C-Plane	Control Plane
CDR	Call Detail Record
CFR	Crest Factor Reduction
CP	Cyclic Prefix
CSI-RS	Channel State Information
DAC	Digital to Analog Converter
DDC	Digital Down Conversion
DFE	Digital Front End
DMRS	DeModulation Reference Signal
DPD	Digital PreDistortion
DUC	Digital Up Conversion
eCPRI	Enhanced Common Public Radio Interface
ERB	Base Station
EVM	Error Vector Magnitude
FDD	Frequency Division Duplexing
FFT	Fast Fourier Transform
FH	Front Haul
FPGA	Field Programmable Gate Array
FR1	Frequency Range 1 (sub 6GHz)
GNSS	Global Navigation Satellite System
IBW	Instantaneous Bandwidth

IFFT	Inverse Fast Fourier Transform
IP	Internet Protocol
LLS	Lower Layer Split
LNA	Low Noise Amplifier
LTE	Long Term Evolution (tecnologia 4G)
M-Plane	Management Plane
MAC	Medium Access Control
mMIMO	Massive Multiple Input Multiple Output
O-CU	O-RAN Central (Centralized) Unit
O-DU	O-RAN Distributed Unit
O-RAN	Open Radio Access Network
O-RU	O-RAN Radio Unit
OBW	Occupied Bandwidth
OFH	Open FrontHaul
PA	Power Amplifier
PBCH	Physical Broadcast Channel (blocks)
PCIe	Peripheral Component Interface (Interconnect) Express
PDCCH	Physical Downlink Control Channel
PDSCH	Physical Downlink shared channel
PHY	Physical Layer (ou L1)
PRACH	Physical Random Access Channel
PSS	Primary Synchronization Signal
PTP	Precision Time Protocol
PTRS	Phase Tracking Reference Signal
RE	Resource Element
RF	Radio Frequency
RoE	Radio over Ethernet

RRH	Remote Radio Head
RX	Receiver
S-Plane	Synchronization Plane
SLP	Serviço Limitado Privado (ou Privativo)
SMP	Serviço Móvel Pessoal (de operadora)
SSS	Secondary Synchronization Signal
SyncE	Synchronous Ethernet
TDD	Time Division Duplexing
TIP	Telecom Infra Project
TX	Transmitter
UDP	User Data Protocol
WG	Working Group

Tabelas

Tabela 1: Questionário

17

Resumo

A Fase 2 do projeto OpenRAN @Brasil tem por objetivo a pesquisa, o desenvolvimento e a inovação em componentes tecnológicas relevantes da arquitetura OpenRAN¹, portanto, trata-se da continuidade do projeto denominado OpenRAN FASE 1.

O principal objetivo do projeto é a pesquisa e o desenvolvimento de uma unidade de rádio 5G aderente aos requisitos definidos pela O-RAN Alliance (O-RU 5G) para uso em macrocélulas na banda de sub-6GHz. A O-RU 5G a ser desenvolvida terá como pontos norteadores: o baixo custo, a alta programabilidade e o atendimento de nicho de mercado relevante para o desenvolvimento do País.

O projeto também abordará a PD&I nas camadas de inteligência na rede de acesso rádio (*Radio Intelligent Controller - RIC*) e em aspectos de cibersegurança da arquitetura OpenRAN.

Com a finalidade de preparar o ecossistema 5G no Brasil e acelerar a adoção de tecnologia, como parte deste desenvolvimento, o Relatório aqui escrito tem como objetivo avaliar os fornecedores referências em OpenRAN.

¹ <https://www.o-ran.org/>

1 Introdução

Open RAN (do inglês Open Radio Access Network, ou Rede de Acesso via Rádio Aberta) é uma abordagem aberta e software-defined para a construção de redes de acesso sem fio. Ele permite a utilização de componentes de hardware e software de diferentes fornecedores, aumentando a flexibilidade e a eficiência na implementação de redes móveis 5G. A abordagem OpenRAN também incentiva a inovação e a competição no setor, contribuindo para a redução dos custos e melhorias na qualidade do serviço.

A implantação da tecnologia OpenRAN traz vários benefícios para as operadoras de rede². Primeiramente, o sucesso da tecnologia OpenRAN levará a uma diversificação do ecossistema de fornecedores que uma operadora pode se apoiar. Isso tem como benefícios evitar o lock-in com qualquer fabricante que mantenha interfaces proprietárias em oposição ao uso de interfaces baseadas em padrões abertos. Esta diversificação dá oportunidade a empresas nacionais a ingressarem neste mercado ou ampliarem sua participação.

Neste projeto temos como objetivo a pesquisa e o desenvolvimento de um dos componentes principais da arquitetura OpenRAN, ou seja, a unidade de rádio 5G. A escolha desse componente como objeto do projeto se deve a diversos fatores. O principal é que a maior parte do custo de uma solução OpenRAN está concentrada na unidade de rádio e, ao mesmo tempo, existem poucos fabricantes no mundo para este componente, o que diminui enormemente a competitividade, diferentemente dos outros componentes da arquitetura. Outro fator bastante importante, e certamente o mais relevante para o nosso País, é que a unidade de rádio em questão poderá ser projetada para atender nichos de mercado importantes para o desenvolvimento do Brasil, tanto do ponto de vista econômico quanto social. Por exemplo, a unidade de rádio a ser desenvolvida poderá atender as zonas rurais brasileiras, levando conectividade e, por conseguinte, uma maior automação para o agronegócio, assim como, a inclusão digital para as classes mais desfavorecidas da nossa sociedade.

² <https://www.parallelwireless.com/blog/openran-7-vital-benefits-for-mnos>

Esta unidade de rádio (O-RU 5G) será aderente aos requisitos definidos pela O-RAN Alliance para uso em macrocélulas na banda de sub-6GHz. Assim, a O-RU 5G a ser desenvolvida terá como pontos norteadores: o baixo custo, a alta programabilidade e o atendimento de um ou mais nichos de mercado relevantes para o desenvolvimento do País. Ao final do projeto, a O-RU 5G desenvolvida será integrada e testada em conjunto com os demais componentes da solução OpenRAN, fornecidos por terceiros, o que permitirá exercitar as diferentes interfaces abertas previstas na arquitetura.

2 Avaliação de Fornecedores Plataformas

O Open-RAN (Open Radio Access Networks) é um movimento que tenta democratizar partes da rede de telecomunicações, e assim não depender de grandes fabricantes de equipamentos de telecomunicações no mundo.

A Tecnologia está em um estágio inicial de desenvolvimento no Brasil e o Projeto OpenRAN @Brasil pretende ajudar a fomentar a indústria nacional para o desenvolvimento de produtos nacionais que atendam as demandas das grandes operadoras do país.

A arquitetura OpenRAN combina o software de estação base modular com hardware comercial, atribuindo componentes de banda base e unidade de rádio de fornecedores isolados para operação conjunta perfeita, quer haja elementos RAN virtualizados / desagregados ou não. O OpenRAN está tomando impulso, em um estágio inicial de adoção comercial pela comunidade sem fio global.

Para o desenvolvimento do projeto OpenRan @Brasil Fase 2, uma unidade de rádio (O-RU 5G) foram avaliados 4 fornecedores de tecnologia que irão servir de base inicial para o desenvolvimento:

- Analog Device
- Xilinx (AMD)
- Evenstar
- RF-DSP

A partir desta lista de fornecedores, avaliamos todos os requisitos técnicos de cada fornecedor, estabelecendo um critério para a escolha de uma plataforma de desenvolvimento.

2.1 Avaliação de Fornecedores

2.1.1 Analog Device

A família de produtos analisada da Analog Device / Intel® foi a Agilex™ 7 FPGA que inclui os FPGAs e SoCs de mais alto desempenho do setor. Composto por FPGAs F-Series, I-Series e M-Series de alto desempenho, os FPGAs e SoCs Intel® Agilex™ 7 fornecem uma variedade de recursos premium para os aplicativos mais exigentes.

É possível destacar as opções para integrar memória HBM2E no pacote, oferecendo a maior largura de banda de memória do setor - mais de 1 terabyte por segundo (TBps).

Usando a avançada tecnologia de empacotamento 3D, como o Embedded Multi-die Interconnect Bridge (EMIB), a Intel combina a matriz FPGA tradicional com o chiplet semiconductor específico em um único pacote de dispositivo.

A família de produtos Intel® Agilex™ 7 FPGA oferece, em média, desempenho de malha 50% maior e consumo total de energia até 40% menor em comparação com a geração anterior de FPGAs Intel®. Para alcançar essa melhoria, a família de produtos utiliza estas técnicas e inovações importantes:

- Tecnologias avançadas Intel® 10-nm SuperFin e Intel® 7;
- Arquitetura Intel® Hyperflex™ FPGA de segunda geração;
- Alto nível de integração do sistema;
- Dispositivos de energia padrão SmartVID;
- Ilhas de energia, power gating e outras técnicas de redução de energia.

Esses recursos avançados permitem conectividade e aceleração personalizadas para os aplicativos com uso intensivo de computação, largura de banda e uso intensivo de memória. As aplicações abrangem muitos segmentos, incluindo comunicações, computação de alto desempenho, equipamentos de vídeo e transmissão, testes e medições de ponta, eletrônicos médicos, data centers e defesa.

2.1.1.1 Características Técnicas

✓ **Módulo Agelix SOM**

- FPGA: Agilix AGFB014R24B2E2V (1400K LEs)
- Interface: Conector FMC e FMC+
- Dimensão: 145 mm x 133 mm
- USB-Blaster II integrado
- Suporta modo de configuração ASx4 com 1 Gbits QSPI Flash
- Sistema de Gestão do Conselho
- Monitor de energia
- Monitor de temperatura
- Controle automático do ventilador

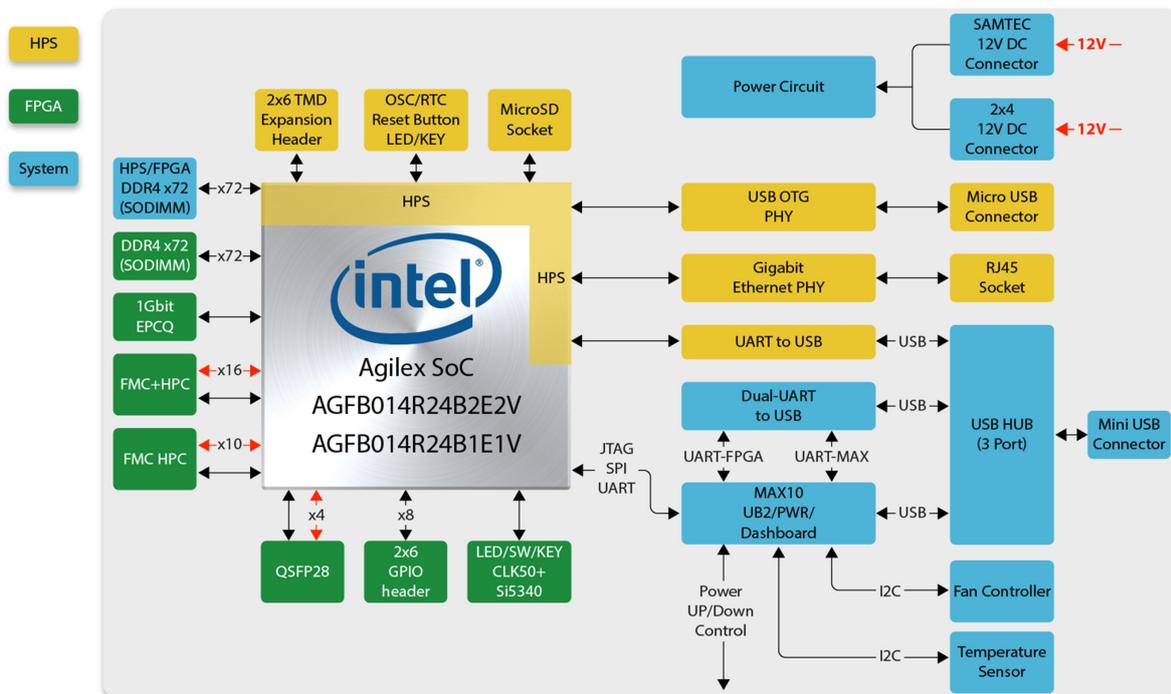
✓ **FPGA**

- Dois soquetes DDR4 SO-DIMM (cada um com ECC de 72 bits, velocidade de até 2666MT/s e tamanho de até 16 GB)
- QSFP28 a bordo
- Um conector FMC+ para placa filha FMC/FMC+
- Um conector FMC para placa filha FMC
- Cabeçalho GPIO 1.2V 2x6
- LED x2, botão x2, chave DIP x2, botão de reinicialização da CPU

✓ **HPS**

- Soquete MicroSD
- Um SO-DIMM compartilhado com FPGA
- Gigabit Ethernet PHY + RJ45
- Conector USB OTG PHY + Micro USB
- UART para USB
- RTC
- LED x1, botão x1, botão de reinicialização a frio
- Cabeçalho GPIO 3.3V 2x6 para GPIO/SPI/I2C/UART

2.1.1.2 Diagrama de blocos Analog Devices



2.1.2 Xilinx (AMD)

A família de produtos analisada, kit de avaliação Zynq RFSoc DFE ZCU670 é uma plataforma de teste sem fio RF 5G para avaliação pronta para uso e prototipagem rápida de aplicativos de RF para 5G NR e radar.

O kit apresenta o dispositivo Zynq UltraScale+ RFSoc DFE com conversores de dados de RF integrados e uma variedade de núcleos 5G NR com eficiência de energia para um subsistema de rádio reforçado completo. Como um SoC adaptável, o dispositivo possui lógica programável para diferenciação de hardware e adaptabilidade a requisitos futuros do mercado.

2.1.2.1 Características Técnicas

✓ Aplicativos de destino

- Sem fio: 5G massivo-MIMO, macrocélula multimodo, rádio mmWave como transceptor IF, pequenos nós de células
- Aeroespacial e Defesa
- Teste e Medição

✓ **Núcleos 5G NR reforçados**

- Um dispositivo monolítico, analógico e digital baseado no processo TSMC de 16nm
- Conversores de dados de RF 8T8R integrados para largura de banda de RF direta de 7,125 GHz e largura de banda instantânea de 400 MHz (iBW)
- Núcleos 5G NR otimizados para energia, incluindo DUC, DDC, DPD, CFR e IP de processamento Low-PHY
- Lógica programável UltraScale+ para diferenciação de hardware e adaptabilidade a futuros requisitos de mercado e casos de uso
- Subsistema de processamento Arm® para calibração de RF, processamento de pré-distorção digital (DPD)

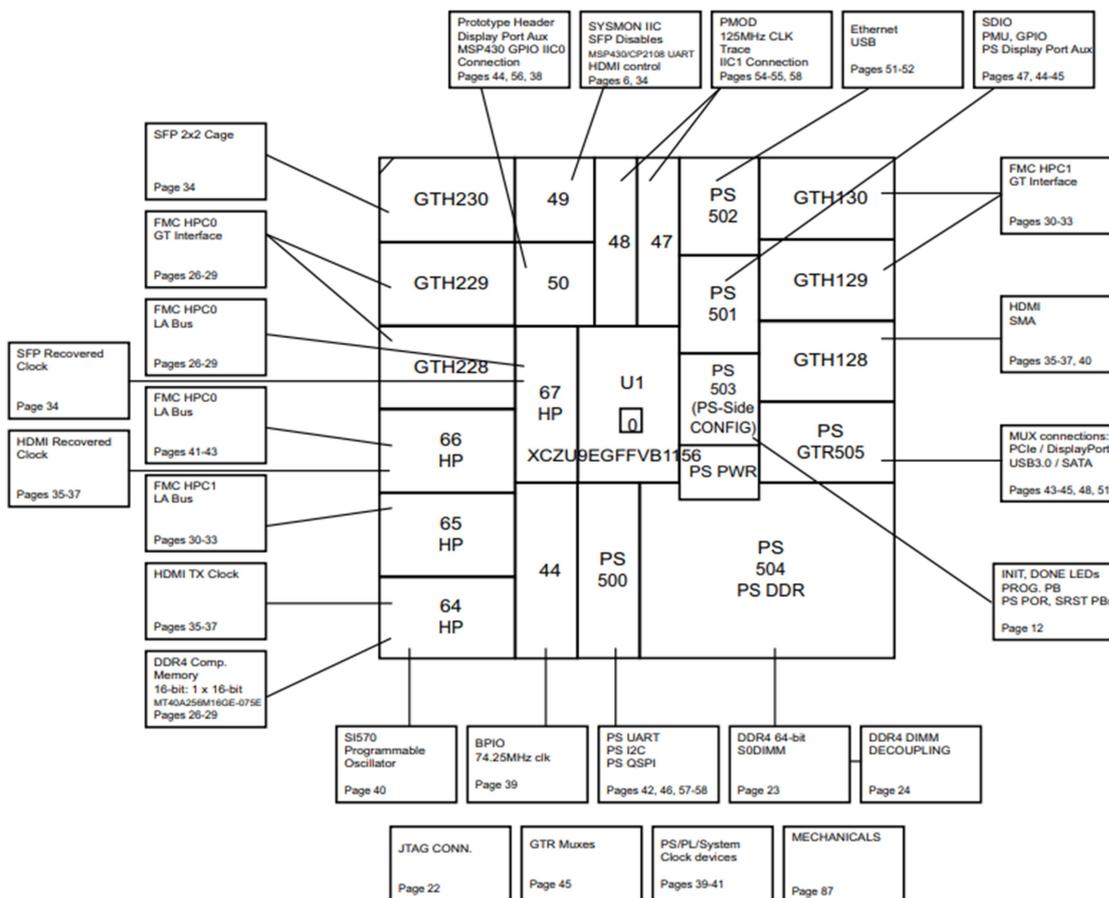
✓ **Opções de conectividade para desenvolvimento rápido de aplicativos**

- Componente DDR4 – 4GB, 64 bits, 2666MT/s, conectividade com lógica programável (PL)
- DDR4 SODIMM – 4GB 64 bits, 2400MT/s, conectividade com o subsistema de processamento (PS)
- Conjunto de gaiola quad zSFP/zSFP+

✓ **Cartões de mezanino e designs de referência para expansão**

- Conector FMC+ que permite expansão de E/S, com conectividade para 34 sinais de E/S diferenciais e E/S de transceptor de 12x 32Gb/s
- Placa XM650 RFMC 2.0 para loopback de banda N79, permitindo loopback pronto para uso e exemplo de layout de referência para baluns
- Cartão breakout XM755 RFMC 2.0 para medições detalhadas baseadas em laboratório, incluindo sincronização multi-tile (MTS)

2.1.2.2 Diagrama de blocos Xilinx



X16522-122118

2.1.3 Evenstar

O projeto Evenstar é baseado em vários anos de trabalho liderado pela Meta e envolveu vários parceiros ODM, CM e OEM. O projeto é baseado em várias novas soluções para desafios de projeto elétrico e mecânicos associados a uma RRU de banda dupla de alta potência, que está surgindo em mercados OpneRAN. Da mesma forma, o firmware associado a algoritmos complexos de processamento de sinal, como DPD e CFR, demonstraram ótimo desempenho em comparado com outros produtos de mercado atuais. Todos os módulos foram projetados, fabricados e testados em laboratório em bases individuais.

A Meta planeja contribuir com o IP de design de referência Evenstar Remote Radio Unit (RRU) da Meta para o subgrupo TIP OpenRAN PG, RU. O projeto

referência incluirá arquivos HW e SW para um componente 4G/5G RU de RAN compatível com as especificações O-RAN 7.2x.

A Contribuição será na forma de arquivos de projeto para os seguintes módulos e está em conformidade com as especificações da tabela abaixo:

- PAM (módulos amplificadores de potência)
- PSU (módulo de fonte de alimentação)
- Módulo de controle digital (placa)
- Módulo de Filtro Duplexador de Cavidade Ressonante
- Design mecânico
- DPD FW
- CFR FW
- scripts de teste mMIMO

2.1.3.1 Características Técnicas

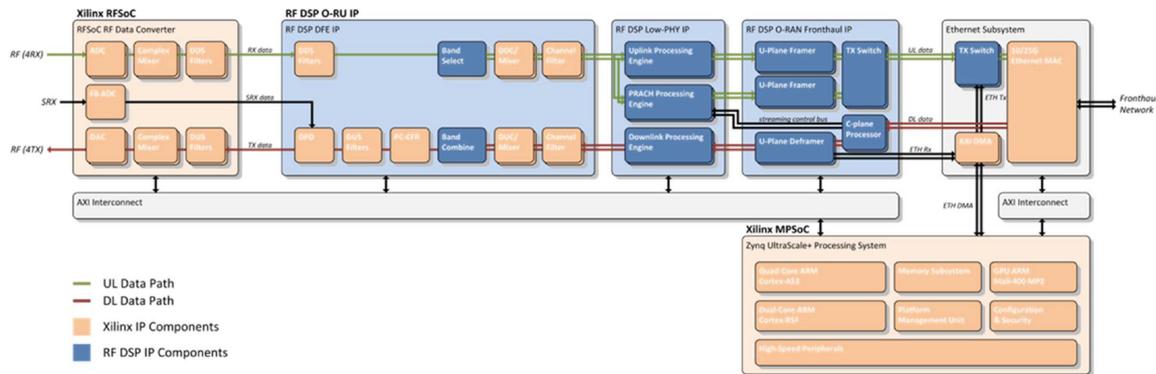
RRU Specifications	
Air interface	1. LTE, LTE-A 2. NB-IoT (modes- In-band NB-IoT, Guard-band NB-IoT) , NB-IoT boost factor <= 9 dB 3. 5G NR : BW up to 100 MHz
Operating mode	FDD
Single or multi-Band	Multi-band
Number of bands	2
Frequency Band #1	1
Frequency Band #1 Tx Power	40W
Frequency Band #1 MIMO order	4T4R
Frequency Band #2	3
Frequency Band #2 Tx Power	40W
Frequency Band #2 MIMO order	4T4R
Antenna Ports	4
Antenna Configuration	4T4R
Instantaneous BW (IBW)	Full band
Occupied BW (OBW)	Full Band
Carrier capacity	6 per band
Physical FH interface	4x 25GHz SFP28
O-RAN RRU Type	RRU Type A
Power supply	-48 VDC 3 wires
Antenna connector	4.3-10
External antenna line device	DIN-8 RET , AISG 2.0
External alarms	4-pin DIN connector
Mounting	Rail, wall and pole
Operating temperature	-40 ° to +55 °C
Attenuation mechanism	Remote Radio Unit must provide a mechanism for Tx and Rx input attenuation adjustment and consequently compensation of feeder loss: minimum range 0 to 30dB, with step 0.1dB step.
Volume	~ 27 liters
Weight target	~28 kg die cast
UL noise figure	1.9dB typical, 2.5dB Max
Phase Timing and Frequency synchronization	Usage of O-RAN 7-2x RRU Type A, S-plane PTP synchronization with SyncE optional

2.1.4 RF-DSP

O RFDSP SDE fornece uma ferramenta de nível de sistema para dar suporte ao desenvolvimento de produto O-RU em uma configuração de ponta a ponta, de fronthaul PHY e O-RAN alto em um emulador DU para emuladores UE PHY. Para oferecer suporte aos fornecedores de equipamentos RAN para desenvolver rapidamente e trazer para o mercado MIMO massivo completo e O-RUs e O-DUs de células pequenas usando os transceptores RFSoc ou SoC FPGA + RF, um nível de sistema O-RAN CUS-planes e M- ambiente de desenvolvimento de avião é necessário para permitir que os engenheiros de sistema, design e teste otimizem os designs de front-end de RF, avaliando a conformidade 3GPP, EVM, BER e os impactos de throughput das opções de design sob condições de canal 3GPP, gerando vetores de teste para verificação FPGA/RTL, testando O-RAN CUS- e Processamento de pacotes M-plane, controle e monitoramento de desempenhos de RU, incluindo a configuração do baixo PHY em tempo real usando mensagens C-plane e configurando os transceptores RFSoc ou RF de um O-DU simulado usando mensagens no fronthaul, etc.

O fronthaul O-RAN WG4 é uma interface complicada quando todos os recursos desejados na especificação estão incluídos, como múltiplas bandas, múltiplos Component Carriers (CCs), NR e LTE Dynamic Spectrum Sharing (DSS), NB-IoT (in-band, guard band e standalone), numerologia mista, Band-Width Parts (BWPs), MIMO beamforming, toda a gama de sequências e formatos PRACH longos e curtos.

2.1.4.1 Diagrama de blocos RF-DSP



2.2 Decisão de Plataformas de RU

Após reuniões de apresentação realizadas com os fornecedores indicados neste documento, a tabela 1 abaixo foi enviada aos fornecedores Analog Devices, Xilinx e RFDSP em busca de novos dados e valores para que uma decisão sobre qual a plataforma seria utilizada de base para o desenvolvimento do projeto OpenRAN @Brasil Fase 2.

Tabela 1 – Questionário

Vantagem							
Feature	Obs	Analog	AMD	RFDSP	Intel + ADI	AMD Xilinx	
O-RAN v8 Compliant	C/U/S plane?	Yes.	Yes. C/U/S planes	Yes. C/U/S planes	Intel + ADI	AMD Xilinx	
4G & 5G Radio Standard Support	Y / N ?	4G & 5G	5G	5G	Intel + ADI		
NB-IoT support	NB-IoT in-band, guard-band, stand alone?	Optional.	All in development (Since LTE is not supported ATM, IB & GB is almost the same as SA for 5G-NR for low-PHY)	All in development (Since LTE is not supported ATM, IB & GB is almost the same as SA for 5G-NR for low-PHY)	Intel + ADI	AMD Xilinx	AMD + RFDSP
O-RAN split 7-2x (Open Fronthaul) w/ O-RU Cat A	Y / N ?	Yes.	Supported	Supported	Intel + ADI		AMD + RFDSP
Duplex Mode	FDD/TDD ?	FDD/TDD	Both	Both			
Up/Downlink Bandwidth	What is the max. clock rate	400 MHz (@ 491.52	Depends on #CCs, carrier BW and # antennas.	Depends on #CCs, carrier BW and #		AMD Xilinx	

	in FPGA per antenna, assuming the max BW?	MHz FPGA clock max. rate)	491.52MHz clock max.	antennas. 491.52MHz clock max.			
Number of Component Carriers		<= 4 (<= 8 optional)	1 or 2 100MHz each. More if lower bandwidth. Can be customized.	1 or 2 100MHz each. More if lower bandwidth. Can be customized.			
Number of Antennas		<= 4 (<= 8 optional)	4T4R currently, 8T8R by Q2 2023	4T4R currently, 8T8R by Q2 2023	Intel + ADI	AMD Xilinx	
Cyclic Prefix	Normal + Extended ?	Normal + Extended	Normal	Normal			
LTE PRACH Preamble Length	Formats 0-3 (length 839), format 4 (length 139)	139, 839	Not supported, can be added	Not supported, can be added			
NR PRACH Preamble Length	Formats A1, A2, A3, B1, B2, B3, B4, C0, C2 and 0-3?	139, 839	All (0, B4, C2 first)	All (0, B4, C2 first)			
Non-compressed IQ Sample Width	# of bits per I/Q	12 to 16 bits per I/Q	16bits	16bits			
Block Floating Point Compression	Static / Dynamic?	Static or Dynamic 9, 12 or 14-bit mantissa	Static 9,12,14 bits in current IP, dynamic is available to add	Static 9,12,14 bits in current IP, dynamic is available to add	Intel + ADI		AMD + RFDSP
Block Scaling Compression	Static / Dynamic?	Static or Dynamic	Static 9,12,14 bits in current IP, dynamic is available to add	Static 9,12,14 bits in current IP, dynamic is available to add	Intel + ADI		AMD + RFDSP
Mu-law Compression	Static / Dynamic?	Static or Dynamic	Static 9,12,14 bits in current IP, dynamic is available to add	Static 9,12,14 bits in current IP, dynamic is available to add			
NR Carrier Bandwidth Support	What are the possible BWs?	5-100 MHz (FR1)	5,10,15,20,30,40,50,60,80,100Mhz	5,10,15,20,30,40,50,60,80,100Mhz			
LTE Carrier Bandwidth Support	What are the possible BWs?	1.4-20 MHz	Not supported, can be added	Not supported, can be added			
Subcarrier Spacing Numerology Support	15/30/60/120 kHz?	15, 30, 60, 120kHz	15, 30, 60, 120kHz	15, 30, 60, 120kHz	Intel + ADI		AMD + RFDSP
Inter & Intra Carrier Mixed Numerology		Inter carrier supported Intra carrier not	Supported	Supported			

		supported					
Intra Carrier Mixed Numerology for SSB		Optional	Currently not supported, can be added	Currently not supported, can be added			
Maximum number of PRACH occasions in frequency per CC	# across all Antennas and Component Carriers	8	Currently 4. Up to 1 per 20MHz bandwidth	Currently 4. Up to 1 per 20MHz bandwidth			
OFDM Phase Compensation		Supported	Supported	Supported			
IP Main Clock Frequency	Depends on target platform and utilization	122.88-491.52 MHz	245.76MHz	245.76MHz			
IP CPU Register Clock Frequency		100 MHz	100MHz	100MHz			
IP Eth. IF Clock Frequency	Toward Ethernet MAC	156.25-390.625 MHz	156.25MHz or 390.625MHz	156.25MHz or 390.625MHz			
GMII Clock Frequency	For SW M/S-plane processing	125 MHz					
Ethernet Line Rate	10G / 25G / ?	10G or 25G	10G or 25G	10G or 25G			
Jumbo Frames Support		Optional	Yes	Yes			
# of Ethernet Lines		<= 4	Currently 1 or 2	Currently 1 or 2			
eCPRI Protocol?	Y / N	Yes	Yes	Yes			
Eficiência Energética (Consumo)	Y / N						
Deliverables		Deliverables					
User Manual		Yes	Yes	Yes			
Constraint files		Yes					
Test Cases		Yes (Basic tests in RTL)	Typically, several per BW / SCS combination from Matlab SDE reference	Typically, several per BW / SCS combination from Matlab SDE reference			
		Outros					
Custo FPGA @ 100 pcs		\$495,00	\$909,00	\$909,00			
Custo FPGA @ 2000 pcs		\$395,00	\$414,00	\$414,00			
Custo transceiver @ 1k pcs		\$1328.94 (*ADRV9026 4T4R20 200 MHz iBW)	\$0,00	\$0,00		AMD Xilinx	AMD + RFDSP
Custo FPGA + transceiver		\$1.723,94	\$414,00	\$414,00		AMD Xilinx	AMD + RFDSP
Consumo de		39.8 W*	25W	25W	Intel + ADI	AMD Xilinx	

potência							
Possibilidade e Avaliação do IP		Yes	No	No		AMD Xilinx	
Preço do IP para desenvolvimento		\$200k license with derivative rights Portion of license fee will be credited towards Commercial license	\$1M + Royalties	\$1M + Royalties			
Preço do IP para comercialização		\$150k license \$5.05 royalty / unit up to 100k					
Suporte para desenvolvimento		Up to 40hrs Additional 40hr/\$7500	Inclui suporte + System Development Environment (SDE)	Inclui suporte + System Development Environment (SDE)			
		Mercado				AMD Xilinx	AMD + RFDSP
Fabricantes que conhecidamente adotaram a solução		1-Benotel	1-Mavenir 2-Tejas 3-RJIO 4-Samsung 5-Jabil 6-NEC 7-Fujitsu 8-Comba 9-Zilink 10-Abside 11-AW2S 12-META (Evenstar) 13-Commscope 14-VVDN 15-Cellxica 16-Talking heads 17-Nokia 18-Ericsson 19-SIAE 20-Viettel 21-SOLID	1-Mavenir 2-Tejas 3-RJIO 4-Samsung 5-Jabil 6-NEC 7-Fujitsu 8-Comba 9-Zilink 10-Abside 11-AW2S 12-META (Evenstar) 13-Commscope 14-VVDN 15-Cellxica 16-Talking heads 17-Nokia 18-Ericsson 19-SIAE 20-Viettel 21-SOLID	Intel + ADI	AMD Xilinx	
	Escolhido		AMD Xilinx				

Após as análises de todos os dados a plataforma comprada foi a Xilinx.

3 Referência bibliográfica

[1] Portfólio FPGA Intel® Agilex™, INTEL. Disponível

em: <<https://www.intel.com.br/content/www/br/pt/products/details/fpga/agilex.html> >.

Acesso em: 03 de Abr. de 2023.

[2] Folha de dados do produto Zynq UltraScale+ RSoC: visão geral (DS889) Xilinx.

Disponível em: <<https://docs.xilinx.com/v/u/en-US/ds889-zynq-usp-rfsoc-overview>

>. Acesso em: 31 de mar. de 2023.

[3] Evenstar: O caminho para uma cadeia de suprimentos infra alternativa para

RAN. Disponível em:

<<https://exchange.telecominfraproject.com/marketplace/offerings/60f99809398d330>

019bf6695 >. Acesso em: 31 de mar. de 2023.

[4] RF DSP Inc.. Disponível em: <<http://rfdsp.com/> >. Acesso em: 31 de mar. de

2023.

4 Histórico de alterações do documento consolidado

Data de emissão	Versão	Descrições das alterações realizadas
Mar/23	AA	Criação de documento de Soluções Fornecedores

5 Execução e aprovação

Elaborado por:

Centro de Pesquisa e Desenvolvimento em Telecomunicações (CPQD)
Fundação Instituto Nacional de Telecomunicações
Instituto de Pesquisas Eldorado - CAMPINAS

Revisado por:

Centro de Pesquisa e Desenvolvimento em Telecomunicações (CPQD)
Fundação Instituto Nacional de Telecomunicações
Instituto de Pesquisas Eldorado - CAMPINAS

Aprovado por:

Rede Nacional de Ensino e Pesquisa

Data da emissão: 04/04/23