



# Projeto Open RAN@Brasil

[Fase 2 - Meta 2 - Atividade 2.2 - Desenvolvimento do *Hardware* da O-RU]

<b>Título:</b>	Projeto Open RAN@Brasil
<b>Autor(es):</b>	Elivander Judas Tadeu Pereira Júnior Fábio Siqueira da Cruz Guimarães Sousa Francisco Martins Portelinha Júnior Gabriel Peres de Souza Gualberto Machado Roque Guilherme Lopes de Figueiredo Brandão Guilherme Rossi de Avelar Oliveira Luis Gustavo da Silva Luiz Fernando Siécola Rafaela Rosa Santos Rodrigo Mendonça Vilela Thales Augusto Molinari de Freitas Tiago Cardoso Barbosa Henry Douglas Rodrigues

<b>Data:</b>	31/03/2024
<b>Categoria:</b>	Público
<b>Meta:</b>	Meta 2 - Pesquisa e Desenvolvimento da O-RU
<b>Atividade:</b>	Atividade 2.2 - Desenvolvimento do <i>Hardware</i> da O-RU
<b>Documento:</b>	Desenvolvimento do <i>Hardware</i> da O-RU
<b>Versão:</b>	1
<b>Situação:</b>	Finalizado
<b>Arquivo:</b>	Relatório OpenRAN Atividade 2.2 - Desenvolvimento do <i>Hardware</i> da O-RU

## Histórico de Atualizações

Versão	Data	Autor(es)	Notas
1.0	18/09/2023	Elivander Judas Tadeu Pereira Júnior Fábio Siqueira da Cruz Guimarães Sousa Gabriel Peres de Souza Guilherme Lopes de Figueiredo Brandão Guilherme Rossi de Avelar Oliveira Gualberto Machado Roque Luiz Fernando Siécola Rafaela Rosa Santos Rodrigo Mendonça Vilela Thales Augusto Molinari de Freitas Tiago Cardoso Barbosa	Elaboração
1.1	06/03/2024	Guilherme Lopes de Figueiredo Brandão Fábio Siqueira da Cruz Guimarães Sousa Jean Pierre de Jesus Carlos Rafaela Rosa Santos Rodrigo Mendonça Vilela Thales Augusto Molinari de Freitas	Elaboração
1.2	22/03/2024	Luis Gustavo da Silva	Revisão
1.3	25/03/2024	Francisco Martins Portelinha Júnior	Revisão
1.4	26/03/2024	Henry Douglas Rodrigues	Revisão
1.5	27/03/2024	Francisco Martins Portelinha Júnior	Revisão

## Resumo

Este documento corresponde ao relatório da Atividade 2.2 - Desenvolvimento do *hardware* da *Open Radio Access Network (O-RAN) Radio Unit (O-RU)* da Meta Física 2 da Fase 2 do projeto OpenRAN@Brasil. A Atividade 2.2 consiste no desenvolvimento de *hardware* dos módulos conversor *Direct Current (DC)/DC*, módulo de processamento em Banda Base (BB), Transmissor/Receptor (TRX), filtros mecânicos e protótipo mecânico. O objetivo é documentar o desenvolvimento preliminar com os resultados dos testes de validação realizados em bancada e corroborar as principais funcionalidades que compõem a solução conforme as especificações do projeto.

O desenvolvimento do *hardware* da O-RU pode ser dividido em duas grandes partes: i) desenvolvimento individual dos módulos que compõe a O-RU e; ii) integração dos módulos para compor o equipamento completo. Atualmente, o projeto encontra-se na primeira fase, que por sua vez é composta por uma sequência de etapas, tais como: especificação, concepção, seleção de componentes, desenho de esquema elétrico e *layout* de Placa de Circuito Impresso (PCI), fabricação, montagem, testes de validação e eventuais ciclos extras das ações anteriores, com base nos erros e melhorias identificados nos testes. Este relatório mostra a situação atual de cada um dos módulos que compõe o projeto, que por sua vez, se encontram em diferentes etapas do desenvolvimento.

Para o conversor DC/ DC, já foram realizados testes funcionais para validação das tensões de saída, circuitos de proteção de entrada e testes de conformidade do conversor DC/DC em relação à compatibilidade eletromagnética, conforme diretrizes normativas.

Para o módulo de processamento em BB, já está disponível uma primeira versão de esquema elétrico e *layout* com a nova ferramenta ORCAD. Serão gerados os componentes com o dimensionamento mecânico em Três Dimensões (3D), necessário para a elaboração do projeto mecânico da O-RU.

Em relação ao TRX, foram realizados testes para medir o desempenho individual dos componentes selecionados, para na sequência realizar a integração dos componentes para compor uma única PCI.

Já para os filtros mecânicos, foi especificado todos os parâmetros para selecionar um fornecedor. Na sequência, serão validadas as medidas dos parâmetros S.

Na mecânica, foram realizadas simulações computacionais de termodinâmica para validar o projeto antes da fabricação de um protótipo.

## Lista de Siglas e Abreviações

<b>1PPS</b>	<i>Pulse Per Second</i>
<b>3D</b>	Três Dimensões
<b>3GPP</b>	<i>3<sup>rd</sup> Generation Partnership Project</i>
<b>5G</b>	5 <sup>a</sup> Geração
<b>ACLR</b>	<i>Adjacent Channel Leakage Ratio</i>
<b>ADC</b>	<i>Analog to Digital Converter</i>
<b>ANATEL</b>	Agência Nacional de Telecomunicações
<b>AMD</b>	<i>Advanced Micro Devices</i>
<b>APU</b>	<i>Accelerated Processing Unit</i>
<b>ARM</b>	<i>Advanced RISC Machine</i>
<b>ASIC</b>	<i>Application Specific Integrated Circuit</i>
<b>AXI</b>	<i>Advanced eXtensible Interface</i>
<b>BB</b>	Banda Base
<b>BPF</b>	<i>Band-Pass Filter</i>
<b>BW</b>	<i>Bandwidth</i>
<b>CAD</b>	<i>Computer Aided-Design</i>
<b>CC</b>	<i>Component Carrier</i>
<b>CFR</b>	<i>Crest Factor Reduction</i>
<b>CI</b>	Circuito Integrado
<b>CNC</b>	Controle Numérico por Computador
<b>COT</b>	<i>Constant-On-Time</i>
<b>CPQD</b>	Centro de Pesquisa e Desenvolvimento em Telecomunicações
<b>CW</b>	<i>Continuous Wave</i>
<b>DAC</b>	<i>Digital to Analog Converter</i>
<b>DC</b>	<i>Direct Current</i>
<b>DCM</b>	<i>Discontinuous-Conduction Mode</i>
<b>DCR</b>	Resistência de Corrente Contínua
<b>DDC</b>	<i>Digital Down Conversion</i>
<b>DDR</b>	<i>Double Data Rate</i>
<b>DFE</b>	<i>Digital Front-End</i>
<b>DL</b>	<i>Downlink</i>
<b>DMA</b>	<i>Direct Memory Access</i>
<b>DPD</b>	Pré-Distorção Digital
<b>DRV</b>	<i>Driver</i>

<b>DUC</b>	<i>Digital Up Conversion</i>
<b>eCPRI</b>	<i>evolved Common Public Radio Interface</i>
<b>EMC</b>	<i>Electromagnetic Compatibility</i>
<b>eMMC</b>	<i>Embedded Multimedia Card</i>
<b>EMI</b>	<i>Electromagnetic Interference</i>
<b>ERB</b>	Estação Rádio-Base
<b>ESD</b>	<i>Electrostatic Discharge</i>
<b>EVB</b>	<i>Evaluation Board</i>
<b>FFT</b>	<i>Fast Fourier Transform</i>
<b>FPGA</b>	<i>Field Programmable Gate Arrays</i>
<b>FT</b>	<i>Fourier Transform</i>
<b>FTDI</b>	<i>Future Technology Devices International Limited</i>
<b>GNSS</b>	<i>Global Navigation Satellite System</i>
<b>GPIO</b>	<i>General Purpose Input/Output</i>
<b>GPS</b>	<i>Global Position System</i>
<b>GUI</b>	<i>Graphical User Interface</i>
<b>HPA</b>	<i>High Power Amplifier</i>
<b>I<sup>2</sup>C</b>	<i>Inter-Integrated Circuit</i>
<b>iBW</b>	<i>instantaneous Bandwidth</i>
<b>IEEE</b>	<i>Institute of Electrical and Electronics Engineers</i>
<b>iFFT</b>	<i>inverse Fast Fourier Transform</i>
<b>INATEL</b>	Instituto Nacional de Telecomunicações
<b>IP</b>	<i>Intellectual Property</i>
<b>MTTF</b>	<i>Mean Time To Failure</i>
<b>IP65</b>	<i>Ingress Protection 65</i>
<b>JTAG</b>	<i>Joint Test Action Group</i>
<b>PHY</b>	<i>Physical Layer</i>
<b>LDO</b>	<i>Low-Dropout</i>
<b>LED</b>	<i>Light Emitting Diode</i>
<b>LNA</b>	<i>Low Noise Amplifier</i>
<b>MCU</b>	<i>Microcontroller Unit</i>
<b>MIMO</b>	<i>Multiple-Input Multiple-Output</i>
<b>MIO</b>	<i>Multiplexed Input/Output</i>
<b>MOSFET</b>	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
<b>MPS</b>	<i>Monolithic Power Systems</i>
<b>NR</b>	<i>New Radio</i>

<b>OCP</b>	<i>Open Compute Project</i>
<b>O-DU</b>	<i>O-RAN Distributed Unit</i>
<b>O-RAN</b>	<i>Open Radio Access Network</i>
<b>O-RU</b>	<i>O-RAN Radio Unit</i>
<b>OFDM</b>	<i>Orthogonal Frequency Division Multiplexing</i>
<b>PA</b>	<i>Power Amplifier</i>
<b>PAM</b>	<i>Power Amplifier Module</i>
<b>PCI</b>	Placa de Circuito Impresso
<b>PFM</b>	<i>Pulse Frequency Modulation</i>
<b>PL</b>	<i>Programmable Logic</i>
<b>PMBus</b>	<i>Power Management Bus</i>
<b>PMIC</b>	<i>Power Management ICs</i>
<b>PN</b>	<i>Part Number</i>
<b>PRACH</b>	<i>Physical Random Access Channel</i>
<b>PS</b>	<i>Processor System</i>
<b>PSRR</b>	<i>Power Supply Rejection Ratio</i>
<b>PTP</b>	Protocolo de Precisão de Tempo
<b>PWM</b>	<i>Pulse Width Modulation</i>
<b>QSPI</b>	<i>Quad Serial Peripheral Interface</i>
<b>RAM</b>	<i>Random Access Memory</i>
<b>RF</b>	<i>Radio Frequency</i>
<b>RFFE</b>	<i>RF Front End</i>
<b>RFMC</b>	<i>Radio FPGA Mezzanine Card</i>
<b>RFSoc</b>	<i>Radio Frequency System-on-Chip</i>
<b>RPU</b>	<i>Real-time Processing Unit</i>
<b>RX</b>	Recepção
<b>SD</b>	<i>SanDisk</i>
<b>SDRAM</b>	<i>Synchronous Dynamic Random-Access Memory</i>
<b>SDIO</b>	<i>Secure Digital Input Output</i>
<b>SDR</b>	<i>Software Defined Radio</i>
<b>SFP</b>	<i>Small Form-factor Pluggable</i>
<b>SLP</b>	Serviço Limitado Privado
<b>SMP</b>	Serviço Móvel Pessoal
<b>SMU</b>	<i>Synchronization Management Unit</i>
<b>SODIMM</b>	<i>Small-Outline Dual in-line Memory Module</i>

<b>SPI</b>	<i>Serial Peripheral Interface</i>
<b>SWOT</b>	<i>Strengths, Weaknesses, Opportunities, Threats</i>
<b>SyncE</b>	<i>Synchronous Ethernet</i>
<b>TDD</b>	<i>Time Division Duplexing</i>
<b>TI</b>	<i>Texas Instruments</i>
<b>TRX</b>	Transmissor/Receptor
<b>TX</b>	Transmissão
<b>UART</b>	<i>Universal Asynchronous Receiver/Transmitter</i>
<b>UE</b>	<i>User Equipment</i>
<b>UL</b>	<i>Uplink</i>
<b>USB</b>	<i>Universal Serial Bus</i>
<b>VGA</b>	<i>Variable Gain Amplifier</i>
<b>VGS</b>	<i>Gate-Source Voltage</i>
<b>TVS</b>	<i>Transient Voltage Suppressor</i>

## Lista de Figuras

1	Diagrama em blocos geral da O-RU. . . . .	1
2	Diagrama em blocos do módulo conversor DC/DC para O-RU. . . . .	7
3	Diagrama em blocos do conversor DC/DC <i>Multiple-Input Multiple-Output</i> (MIMO) 4T4R (20W por canal). . . . .	9
4	Diagrama em blocos 1 do conversor DC/DC MIMO 8T8R (20W por canal). . .	10
5	Diagrama em blocos 2 do conversor DC/DC MIMO 8T8R (20W por canal). . .	10
6	Diagrama em blocos 1 do conversor DC/DC MIMO 8T8R (40W por canal). . .	11
7	Diagrama em blocos 2 do conversor DC/DC MIMO 8T8R (40W por canal). . .	12
8	Diagrama em blocos do conversor DC/DC MIMO 8T8R (40W por canal) definido.	13
9	Esquema elétrico do circuito conversor DC/DC $-48 V_{DC}$ para $+48 V_{DC}$ . . . . .	14
10	Esquema elétrico do circuito conversor DC/DC $-48 V_{DC}$ para $+12 V_{DC}$ . . . . .	14
11	Esquema elétrico do circuito conversor DC/DC $+48 V_{DC}$ para $+32 V_{DC}$ . . . . .	15
12	Estimativa de consumo da 1 <sup>a</sup> PCI. . . . .	15
13	Estimativa de consumo da 2 <sup>a</sup> PCI. . . . .	16
14	Ambiente de simulação LTspice <sup>®</sup> . . . . .	17
15	Esquema elétrico do circuito <i>surge stopper</i> . . . . .	17
16	Vista superior do <i>layout</i> do conversor DC/DC. . . . .	18
17	Vista inferior do <i>layout</i> do conversor DC/DC. . . . .	18
18	(a) Sinal medido na saída do <i>Low-Dropout</i> (LDO); (b) Sinal medido na saída sem o LDO. . . . .	19
19	Monitoramento de temperatura na alimentação dos pré-amplificadores sem LDO.	20
20	Monitoramento de temperatura na alimentação dos pré-amplificadores sem LDO e com novos resistores. . . . .	21
21	PCIs do conversor DC/DC montadas. . . . .	21
22	<i>Setup</i> de teste do <i>surge stopper</i> . . . . .	22
23	Resistor <i>shunt</i> projetado no circuito <i>surge stopper</i> . . . . .	23
24	<i>Setup</i> das medidas de corrente máxima de saída do <i>surge stopper</i> com $R_1 = 6m\Omega$ e $R_1 = 5m\Omega$ , respectivamente. . . . .	24
25	Medida da tensão de saída. . . . .	25
26	Medida da tensão de saída após o ajuste. . . . .	26
27	<i>Datasheet</i> do componente BMR66841100/001. . . . .	26
28	Método de ajuste $48V_{DC}$ . . . . .	27
29	Mapeamento dos componentes de maior aquecimento. . . . .	28
30	Frequência de chaveamento versus valor do resistor no pino FREQ ( $R_{10}$ ). . . . .	29
31	Posicionamento dos termopares durante o teste. . . . .	29
32	Monitoramento da temperatura de operação dos componentes com frequência de chaveamento $400kHz$ e $800kHz$ e corrente de 13,3A. . . . .	30
33	Monitoramento da temperatura de operação dos componentes com frequência de chaveamento $400kHz$ e $200kHz$ e corrente de 15,5A. . . . .	31
34	Árvore de potência do módulo processamento em BB. . . . .	32
35	Diagrama em blocos do sistema de processamento e memória. . . . .	33
36	Diagrama em blocos do <i>Synchronization Management Unit</i> (SMU). . . . .	36
37	Esquema elétrico das alimentações VCCINT e VCCINT_AMS - Parte 1. . . . .	37
38	Esquema elétrico das alimentações VCCINT e VCCINT_AMS - Parte 2. . . . .	38
39	Esquema elétrico das alimentações VCCINT e VCCINT_AMS - Parte 3. . . . .	38

40	Esquema elétrico das alimentações VCCINT e VCCINT_AMS - Parte 4. . . . .	39
41	Esquema elétrico da alimentação VCC_IO_BRAM_PS. . . . .	39
42	Esquema elétrico da alimentação MGTAVCC. . . . .	40
43	Esquema elétrico da alimentação VCC1V8. . . . .	40
44	Esquema elétrico da alimentação ADC_AVCC. . . . .	41
45	Esquema elétrico da alimentação DAC_AVCC. . . . .	41
46	Esquema elétrico da alimentação ADC_AVCCAUX. . . . .	42
47	Esquema elétrico da alimentação DAC_AVCCAUX e DAC_AVTT. . . . .	42
48	Esquema elétrico da alimentação UTIL_3V3. . . . .	43
49	Esquema elétrico da alimentação UTIL_5V0. . . . .	43
50	Esquema elétrico do PMIC2 - Parte 1. . . . .	44
51	Esquema elétrico do PMIC2 - Parte 2. . . . .	44
52	Esquema elétrico do PMIC3. . . . .	45
53	Esquema elétrico do <i>Power Management Bus</i> (PMBus) para os <i>Power Management ICs</i> (PMIC)s. . . . .	45
54	Esquema elétrico do banco 0 do <i>Radio Frequency System-on-Chip</i> (RFSoc) <i>Digital Front-End</i> (DFE). . . . .	46
55	Esquema elétrico dos bancos 65 e 66 do RFSoc DFE. . . . .	46
56	Esquema elétrico dos bancos 67 e 68 do RFSoc DFE. . . . .	47
57	Esquema elétrico dos bancos 127 e 128 do RFSoc DFE. . . . .	47
58	Esquema elétrico dos bancos <i>Analog to Digital Converter</i> (ADC) e <i>Digital to Analog Converter</i> (DAC) do RFSoc DFE. . . . .	47
59	Esquema elétrico dos bancos 500 e 501 do RFSoc DFE. . . . .	48
60	Esquema elétrico dos bancos 503 e 504 do RFSoc DFE. . . . .	48
61	Esquema elétrico do banco 505 do RFSoc DFE. . . . .	49
62	Esquema elétrico das alimentações ADC e DAC do RFSoc DFE. . . . .	49
63	Esquema elétrico das outras alimentações do RFSoc DFE. . . . .	50
64	Esquema elétrico dos capacitores de desacoplamento do RFSoc DFE. . . . .	50
65	Esquema elétrico do aterramento do RFSoc DFE. . . . .	51
66	Esquema elétrico da memória <i>flash</i> do RFSoc DFE. . . . .	51
67	Esquema elétrico do cartão <i>SanDisk</i> (SD). . . . .	52
68	Esquema elétrico do barramento <i>Inter-Integrated Circuit</i> (I <sup>2</sup> C)0. . . . .	52
69	Esquema elétrico do barramento I <sup>2</sup> C1. . . . .	53
70	Esquema elétrico do <i>Universal Serial Bus</i> (USB) 2.0. . . . .	53
71	Esquema elétrico do controlador do sistema. . . . .	54
72	Esquema elétrico do conector <i>Small Form-factor Pluggable</i> (SFP)28 25G. . . . .	54
73	Esquema elétrico da memória <i>Double Data Rate</i> (DDR)4 <i>Synchronous Dynamic Random-Access Memory</i> (SDRAM) <i>Small-Outline Dual in-line Memory Module</i> (SODIMM) <i>Processor System</i> (PS). . . . .	55
74	Esquema elétrico da memória DDR4 SDRAM <i>Programmable Logic</i> (PL) inferior. . . . .	56
75	Esquema elétrico da memória DDR4 SDRAM PL superior. . . . .	56
76	Esquema elétrico das terminações das memórias. . . . .	57
77	Esquema elétrico das gaiolas de <i>Radio Frequency</i> (RF). . . . .	57
78	Esquema elétrico do conector <i>Radio FPGA Mezzanine Card</i> (RFMC) 2.0 - Parte 1. . . . .	57
79	Esquema elétrico do conector RFMC 2.0 - Parte 2. . . . .	58
80	Esquema elétrico dos capacitores de desacoplamento por pino. . . . .	58

81	Esquema elétrico dos <i>clocks evolved Common Public Radio Interface</i> (eCPRI) - Parte 1. . . . .	59
82	Esquema elétrico dos <i>clocks</i> eCPRI - Parte 2. . . . .	59
83	Esquema elétrico dos <i>clocks</i> eCPRI - Parte 3. . . . .	60
84	Esquema elétrico do gerador de <i>clock</i> . . . . .	60
85	Esquema elétrico do gerador de <i>clock</i> programável. . . . .	61
86	Esquema elétrico da alimentação da interface eCPRI - Parte 1. . . . .	61
87	Esquema elétrico da alimentação da interface eCPRI - Parte 2. . . . .	62
88	Lado superior do <i>layout</i> do módulo de processamento em BB. . . . .	63
89	Lado inferior do <i>layout</i> do módulo de processamento em BB. . . . .	63
90	Comparativo entre as referências <i>Evenstar</i> x <i>kit ZCU670</i> . . . . .	64
91	Temperatura do RFSoc DFE. . . . .	66
92	Árvore de potência do módulo TRX. . . . .	68
93	Diagrama em blocos inicial dos sistemas de RF e controle. . . . .	69
94	Diagrama em blocos 2ª versão dos sistemas de RF e controle. . . . .	71
95	Opções de <i>line-up</i> para composição do RF <i>Front End</i> (RFFE) Transmissão (TX). . . . .	72
96	Opções de <i>line-up</i> para composição do RFFE Recepção (RX). . . . .	73
97	Opções de <i>line-up</i> para composição do <i>Power Amplifier Module</i> (PAM). . . . .	75
98	<i>Setup</i> de testes para validação do atenuador variável F1956. . . . .	77
99	Parâmetros S do atenuador variável F1956. . . . .	78
100	<i>Setup</i> de testes para validação do limitador PE45361. . . . .	79
101	Parâmetros S do limitador PE45361 - Parte 1. . . . .	79
102	Parâmetros S do limitador PE45361 - Parte 2. . . . .	80
103	Relação entre potência de saída e potência de entrada do limitador PE45361, considerando um sinal <i>Continuous Wave</i> (CW). . . . .	81
104	<i>Setup</i> de testes para validação do <i>driver</i> F1485. . . . .	82
105	Parâmetros S do <i>driver</i> F1485 - Parte 1. . . . .	82
106	Parâmetros S do <i>driver</i> F1485 - Parte 2. . . . .	83
107	Relação entre potência de saída e potência de entrada do <i>driver</i> F1485, conside- rando um sinal CW de entrada. . . . .	84
108	<i>Adjacent Channel Leakage Ratio</i> (ACLR) do <i>driver</i> F1485, com sinal 5ª Geração (5G) gerado pelo kit de desenvolvimento. . . . .	84
109	<i>Setup</i> de testes para validação do <i>driver</i> /LNA SKY67181-396LF. . . . .	85
110	Parâmetros S do <i>driver</i> /LNA SKY67181. . . . .	85
111	Relação entre potência de saída e potência de entrada do <i>driver</i> /LNA SKY67181, considerando um sinal CW. . . . .	86
112	ACLR do <i>driver</i> /LNA SKY67181, considerando um sinal 5G gerado pelo kit de desenvolvimento. . . . .	86
113	<i>Setup</i> de testes para validação do pré-amplificador A5M36TG140. . . . .	87
114	Relação entre potência de saída e potência de entrada, considerando um sinal CW aplicado no pré-amplificador A5M36TG140. . . . .	87
115	Relação entre ganho e potência de entrada do pré-amplificador A5M36TG140, considerando um sinal CW. . . . .	88
116	Corrente consumida pelo pré-amplificador A5M36TG140, considerando um sinal CW. . . . .	88
117	Relação temperatura e potência de entrada do pré-amplificador A5M36TG140, considerando um sinal CW. . . . .	89

118	Especificações preliminares do filtro mecânico - Parte 1. . . . .	90
119	Especificações preliminares do filtro mecânico - Parte 2. . . . .	91
120	Composição da caixa metálica. . . . .	92
121	Simulação 1 - Modelo conceitual. . . . .	94
122	Simulação 2 - Modelo conceitual com outro sólido. . . . .	94
123	Gabinete comercial LM-15K007. . . . .	96
124	Simulação 1 - MIMO 4T4R (20W por canal) com gabinete comercial. . . . .	96
125	Simulação 2 - MIMO 4T4R (20W por canal) com <i>heat spreader</i> e alteração no volume interno. . . . .	97
126	Gabinete RU-4T4R 20W. . . . .	98
127	Simulação 3 - MIMO 4T4R (20W por canal) com gabinete RU-4T4R 20W. . . . .	98
128	Simulação 1 - MIMO 4T4R (40W por canal) com gabinete RU-4T4R 40W. . . . .	99
129	Gabinete do lado A RU-8T8R 20W. . . . .	100
130	Simulação 1 - MIMO 8T8R (20W por canal) com gabinete RU-4T4R 20W lado A. . . . .	101
131	Simulação 1 - Outra perspectiva do MIMO 8T8R (20W por canal) com gabinete RU-4T4R 20W lado A. . . . .	101
132	Simulação 2 - MIMO 8T8R (20W por canal) com gabinete RU-4T4R 20W lado A e recorte das aletas. . . . .	102
133	Simulação 2 - Outra perspectiva do MIMO 8T8R (20W por canal) com gabinete RU-4T4R 20W lado A e recorte das aletas. . . . .	102
134	Gabinete RU-8T8R 20W. . . . .	103
135	Simulação 3 - MIMO 8T8R (20W por canal) com gabinete RU-8T8R 20W. . . . .	103
136	Simulação 3 - Outra perspectiva do MIMO 8T8R (20W por canal) com gabinete RU-8T8R 20W. . . . .	103
137	Gabinete RU-8T8R 40W. . . . .	104
138	Simulação 1 - MIMO 8T8R (40W por canal) com gabinete RU-8T8R 40W. . . . .	105
139	Simulação 1 - Outra perspectiva do MIMO 8T8R (40W por canal) com gabinete RU-8T8R 40W. . . . .	105
140	Simulação 2 - MIMO 8T8R (40W por canal) com gabinete RU-8T8R 40W e aumento das aletas. . . . .	106
141	Simulação 2 - Outra perspectiva do MIMO 8T8R (40W por canal) com gabinete RU-8T8R 40W e aumento das aletas. . . . .	107
142	Variações das dimensões e espaçamentos das aletas e dimensões do dissipador. . . . .	108
143	Simulação E19_03. . . . .	108
144	Incrementos nas espessuras de base. . . . .	109
145	Simulação E19_19. . . . .	110
146	Simulações E19_19 a E20_06. . . . .	110
147	Mudanças no posicionamento do <i>pallet</i> e uso de dispositivos auxiliares. . . . .	111
148	Simulações E20_06 a E20_12. . . . .	111
149	Variações nas disposições dos <i>heat pipes</i> . . . . .	112
150	Simulação E20_10. . . . .	112
151	Simulações E21_01 a E21_11. . . . .	113
152	Alterações nos desenhos e ângulos das aletas no sistema 4T4R. . . . .	114
153	Simulação E21_01. . . . .	114
154	Simulações E21_01 a E22_06. . . . .	115
155	Mudanças nas disposições dos <i>pallets</i> 2 x 2 no sistema 4T4R. . . . .	115
156	Simulação E22_02. . . . .	116

157	Simulações E23_01 a E23_12. . . . .	116
158	Variações de dimensões do <i>pallet</i> na vertical. . . . .	117
159	Simulação E23_09. . . . .	118
160	Simulações E24_01 a E24_07. . . . .	118
161	Alterações nas dimensões do dissipador e nas disposições dos <i>Pallets</i> 1 x 4 na vertical no sistema 4T4R. . . . .	119
162	Simulação E24_06. . . . .	120
163	Simulações E25_01 a E25_09. . . . .	120
164	Mudanças no <i>pallet</i> na vertical com <i>heat pipe</i> e <i>coin</i> de cobre. . . . .	121
165	Simulação E25_01. . . . .	121
166	Simulação E25_09. . . . .	122
167	Simulações E26_01 a E26_13. . . . .	122
168	Variações no <i>pallet</i> na horizontal com <i>heat pipe</i> e <i>coin</i> de cobre. . . . .	123
169	<i>Heat pipe</i> "amassado". . . . .	124
170	Posicionamento do <i>Heat pipe</i> . . . . .	124
171	Simulação E26_13. . . . .	125
172	Simulações E27_01 a E27_08. . . . .	125
173	Mudanças nas disposições do <i>pallet</i> 2 x 2 na horizontal com <i>heat pipe</i> e <i>coin</i> de cobre. . . . .	126
174	Simulação E27_05. . . . .	126
175	Simulações E28_01 a E28_13. . . . .	127
176	Refinamento nas disposições do <i>pallet</i> 2 x 2 na horizontal com <i>heat pipe</i> . . . . .	128
177	Simulação E28_13. . . . .	129
178	Simulações E29_01 a E30_01. . . . .	129
179	Variações do <i>pallet</i> inteiro. . . . .	130
180	Simulação E29_06. . . . .	130
181	Simulação E30_01. . . . .	131
182	Configuração do PAM e RFFE no <i>software</i> . . . . .	131
183	Simulações 2-E01_01 a 2-E01_05. . . . .	132
184	Variações com o módulo <i>Electronic Cooling</i> . . . . .	132
185	Simulação 2-E01_04. . . . .	133
186	Arranjo de 8 fontes de calor. . . . .	133
187	Simulações 2-E02_01 a 2-E02_03. . . . .	134
188	Variações da largura e malha. . . . .	134
189	Simulação 2-E02_03. . . . .	135
190	Exemplo de montagem das principais fontes de calor. . . . .	136
191	Simulações 2-E03_01 a 2-E03_09. . . . .	136
192	Mudanças nas simulações com as principais fontes de calor. . . . .	137
193	Simulação 2-E03_08. . . . .	137

## Lista de Tabelas

1	Limites para elevação de temperatura em relação ao ambiente. . . . .	4
2	Especificações técnicas para o conversor DC/DC. . . . .	7
3	Informações técnicas dos principais conversores DC/DC da FLEX. . . . .	8
4	Informações técnicas dos principais conversores DC/DC de outros fabricantes. . . . .	9
5	Especificações dos principais componentes do conversor DC/DC. . . . .	12
6	Medidas na alimentação dos pré-amplificadores. . . . .	19
7	Medidas da alimentação dos pré-amplificadores sem o LDO. . . . .	20
8	Medidas da alimentação dos pré-amplificadores sem o LDO e com novos resistores. . . . .	20
9	Resultados obtidos variando a tensão do <i>surge stopper</i> . . . . .	23
10	Medidas de corrente máxima de saída do <i>surge stopper</i> . . . . .	24
11	Modos de operação do CI MAX17574ATG+. . . . .	25
12	Medidas de saída do módulo FLEX. . . . .	27
13	Especificações técnicas do módulo de processamento em BB - Parte 1. . . . .	34
14	Especificações técnicas do módulo de processamento em BB - Parte 2. . . . .	35
15	Informações técnicas dos componentes para o RFFE TX. . . . .	73
16	Informações técnicas dos componentes para o RFFE RX. . . . .	74
17	Informações técnicas dos componentes para o PAM. . . . .	76
18	Parâmetros da simulação 1 - Modelo conceitual. . . . .	94
19	Fontes de calor das simulações 1 a 3 - MIMO 4T4R (20W por canal). . . . .	95
20	Parâmetros da simulação 1 - MIMO 4T4R (20W por canal) com gabinete comercial. . . . .	95
21	Resultados da simulação 1 MIMO 4T4R (20W por canal) com gabinete comercial. . . . .	96
22	Parâmetros da simulação 2 - MIMO 4T4R (20W por canal) com <i>heat spreader</i> e alteração no volume interno. . . . .	97
23	Resultados da simulação 2 MIMO 4T4R (20W por canal) com <i>heat spreader</i> e alteração no volume interno. . . . .	97
24	Parâmetros da simulação 3 - MIMO 4T4R (20W por canal) com <i>heat spreader</i> e alteração no volume interno. . . . .	98
25	Resultados da simulação 3 - MIMO 4T4R (20W por canal) com gabinete RU-4T4R 20W. . . . .	98
26	Fontes de calor das simulações 1 e 2 - MIMO 4T4R (40W por canal). . . . .	99
27	Resultados da simulação 1 - MIMO 4T4R (40W por canal) com gabinete RU-4T4R 40W. . . . .	99
28	Fontes de calor das simulações 1 a 3 - MIMO 8T8R (20W por canal). . . . .	100
29	Parâmetros da simulação 1 - MIMO 8T8R (20W por canal) com gabinete RU-4T4R 20W lado A. . . . .	101
30	Resultados da simulação 1 MIMO 8T8R (20W por canal) com gabinete RU-4T4R 20W lado A. . . . .	102
31	Resultados da simulação 2 MIMO 8T8R (20W por canal) com gabinete RU-4T4R 20W lado A e recorte das aletas. . . . .	102
32	Resultados da simulação 3 MIMO 8T8R (20W por canal) com gabinete RU-8T8R 20W. . . . .	104
33	Fontes de calor das simulações 1 e 2 - MIMO 8T8R (40W por canal). . . . .	104
34	Parâmetros da simulação 1 - MIMO 8T8R (40W por canal) com gabinete RU-8T8R 40W. . . . .	105

Título:	Projeto Open RAN@Brasil		
Documento:	Desenvolvimento do <i>Hardware</i> da O-RU		
Versão:	1	Data:	31/03/2024

35	Resultados da simulação 1 - MIMO 8T8R (40W por canal) com gabinete RU-8T8R 40W. . . . .	106
36	Variações das dimensões e espaçamentos das aletas. . . . .	108
37	Incrementos nas espessuras de base. . . . .	109
38	Mudanças no posicionamento do <i>pallet</i> e uso de dispositivos auxiliares. . . . .	111
39	Variações nas disposições dos <i>heat pipes</i> . . . . .	112
40	Alterações nos desenhos e ângulos das aletas no sistema 4T4R. . . . .	113
41	Mudanças nas disposições dos <i>pallets</i> 2 x 2 no sistema 4T4R. . . . .	115
42	Variações de dimensões do <i>pallet</i> na vertical. . . . .	117
43	Alterações nas dimensões do dissipador e nas disposições dos <i>Pallets</i> 1 x 4 na vertical no sistema 4T4R. . . . .	119
44	Mudanças no <i>pallet</i> na vertical com <i>heat pipe</i> e <i>coin</i> de cobre. . . . .	121
45	Variações no <i>pallet</i> na horizontal com <i>heat pipe</i> e <i>coin</i> de cobre. . . . .	123
46	Mudanças nas disposições do <i>pallet</i> 2 x 2 na horizontal com <i>heat pipe</i> e <i>coin</i> de cobre. . . . .	126
47	Refinamento nas disposições do <i>pallet</i> 2 x 2 na horizontal com <i>heat pipe</i> . . . . .	128
48	Variações do <i>pallet</i> inteiro. . . . .	130
49	Variações com o <i>Electronic Coolings</i> . . . . .	132
50	Variações da largura e malha. . . . .	134
51	Mudanças nas simulações com as principais fontes de calor. . . . .	137

## Sumário

<b>1</b>	<b>Introdução</b>	<b>1</b>
1.1	Especificações de requisitos . . . . .	3
<b>2</b>	<b>Objetivo</b>	<b>6</b>
<b>3</b>	<b>Conversor DC/DC</b>	<b>7</b>
3.1	Sistema MIMO 4T4R (20W por canal) . . . . .	9
3.2	Sistema MIMO 8T8R (20W por canal) . . . . .	9
3.3	Sistema MIMO 8T8R (40W por canal) . . . . .	11
3.4	Desenvolvimento do módulo conversor DC/DC . . . . .	12
3.5	Testes preliminares . . . . .	18
3.5.1	Testes de temperatura . . . . .	19
3.6	Testes de validação preliminares do protótipo funcional . . . . .	21
3.6.1	Circuito de proteção contra sobretensão e sobrecorrente . . . . .	22
3.6.2	Conversor DC/DC $48V_{DC}$ para $32V_{DC}$ . . . . .	24
3.6.3	Conversor DC/DC $-48V_{DC}$ para $48V_{DC}$ . . . . .	26
3.6.4	Conversores DC/DC integrados . . . . .	28
<b>4</b>	<b>Módulo de processamento em banda base</b>	<b>32</b>
4.1	Sistema de alimentação . . . . .	32
4.2	Sistema de processamento e memória . . . . .	33
4.3	Sistema de sincronização . . . . .	36
4.4	Desenvolvimento preliminar do <i>hardware</i> DFE . . . . .	37
4.4.1	Comparativo projeto <i>Evenstar</i> x <i>Evaluation Kit</i> AMD ZCU670 . . . . .	64
<b>5</b>	<b>Transmissor/Receptor (TRX)</b>	<b>67</b>
5.1	Sistema de alimentação . . . . .	67
5.2	Sistemas de controle de RF . . . . .	68
5.3	Desenvolvimento preliminar do <i>hardware</i> . . . . .	72
5.3.1	Módulo RFFE . . . . .	72
5.3.2	Módulo PAM . . . . .	75
5.4	Testes preliminares de validação . . . . .	76
5.4.1	Atenuador variável F1956 . . . . .	77
5.4.2	Limitador PE45361 . . . . .	79
5.4.3	<i>Driver</i> F1485 . . . . .	82
5.4.4	<i>Driver</i> /LNA SKY67181-396LF . . . . .	85
5.4.5	Pré-amplificador A5M36TG140 . . . . .	87
<b>6</b>	<b>Filtros mecânicos</b>	<b>90</b>
6.1	Especificações preliminares do filtro mecânico . . . . .	90
<b>7</b>	<b>Mecânica</b>	<b>92</b>
7.1	Termodinâmica . . . . .	92
7.2	Sistema com tecnologia MIMO 4T4R (20W por canal) . . . . .	95
7.3	Sistema com tecnologia MIMO 4T4R (40W por canal) . . . . .	99

7.4	Sistema com tecnologia MIMO 8T8R (20W por canal)	100
7.5	Sistema com tecnologia MIMO 8T8R (40W por canal)	104
7.6	Otimização térmica	107
7.6.1	Dimensões e espaçamento entre as aletas	107
7.6.2	Espessuras de base	109
7.6.3	Posicionamento do <i>pallet</i> e dispositivos auxiliares	110
7.6.4	Disposição do <i>heat pipe</i>	111
7.6.5	Ângulo das aletas em sistema 4T4R	113
7.6.6	<i>Pallets</i> 2 x 2 no sistema 4T4R	114
7.6.7	<i>Pallet</i> na vertical	116
7.6.8	<i>Pallets</i> 1 x 4 na vertical no sistema 4T4R	118
7.6.9	<i>Pallet</i> na vertical com <i>coin</i> de cobre	120
7.6.10	<i>Pallet</i> na horizontal	122
7.6.11	<i>Heat pipe</i> nos <i>pallets</i> 2 x 2 do sistema 4T4R	125
7.6.12	Refinamento do <i>Heat pipe</i> nos <i>pallets</i> 2 x 2 do sistema 4T4R	127
7.6.13	<i>Pallet</i> inteiriço	129
7.6.14	Módulo <i>Electronics Cooling</i> e dimensionamento dos <i>pallets</i>	131
7.6.15	Sistema 8T8R	133
7.6.16	Principais fontes de calor	135

## 8 Conclusões

138

# 1 Introdução

A solução de *hardware* da O-RU foi construída conforme ilustra o diagrama em blocos da Figura 1 [1].

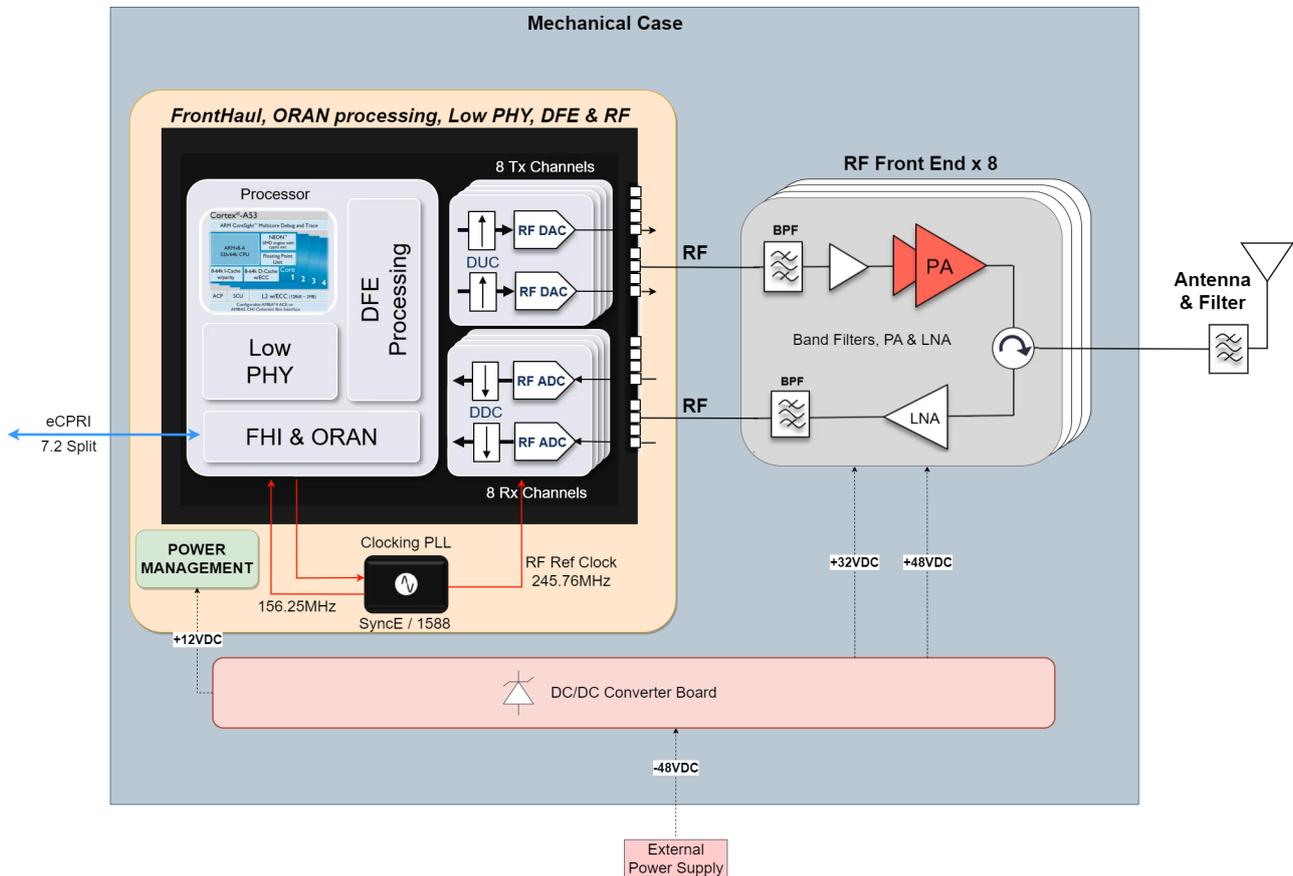


Figura 1: Diagrama em blocos geral da O-RU.

Como pode ser observado na Figura 1, o primeiro módulo é um conversor DC/DC responsável por converter uma tensão contínua em outras tensões contínuas necessárias para o funcionamento da O-RU.

O segundo módulo é de processamento em BB operando com  $+12V_{DC}$ , responsável pela interface *Fronthaul*, o processamento O-RAN, as funções de baixo nível da *Physical Layer* (PHY) tais como *inverse Fast Fourier Transform* (iFFT)/*Fast Fourier Transform* (FFT), um DFE, conversores digital-analógico (para TX) e analógico-digital (para RX) e algumas funções de RF.

A plataforma escolhida para o desenvolvimento do módulo de processamento em BB foi a *Advanced Micro Devices* (AMD) Xilinx<sup>®</sup> RFSoc DFE, baseada no dispositivo ZU67DR [2]. Neste projeto, ela é denominada como DFE. A pastilha, ou *die*, desse circuito integrado pode ser subdividido em:

- PS: composta por uma unidade de processamento acelerado *Accelerated Processing Unit* (APU) com um processador *quad-core Advanced RISC Machine* (ARM) Cortex A53, para execução de aplicações embarcadas e uma unidade de processamento em tempo real *Real-time Processing Unit* (RPU) com um processador *dual-core* ARM Cortex-R5F para

Título:	Projeto Open RAN@Brasil		
Documento:	Desenvolvimento do <i>Hardware</i> da O-RU		
Versão:	1	Data:	31/03/2024

execução de aplicações críticas em confiabilidade e desempenho, controlador de memória DDR, segurança e criptografia, conectividade e interfaces;

- PL: parte de lógica programável baseado na arquitetura *Ultrascale+* da AMD Xilinx®, diretamente ligado com as interfaces transeptoras de alta velocidade do RFSoc DFE;
- DFE: uma estrutura do tipo *Application Specific Integrated Circuit* (ASIC) para processamento digital de sinais, integrando as funcionalidades de iFFT/FFT, filtragem, *Crest Factor Reduction* (CFR), Pré-Distorção Digital (DPD), entre outras;
- Blocos RF (ADCs/DACs): formado por blocos de ADCs e DACs para transmissão e recepção do RFSoc DFE. O chip ZU67DR possui dois blocos quad DAC de 10 GSPS (totalizando 8 DACs), dois blocos quad ADC de 2,95 GSPS (totalizando 8 ADCs) e um bloco dual ADC de 5,9 GSPS para 2 *observation paths*.

Em seguida, o terceiro módulo é o TRX n78 (módulo RFFE + módulo PAM), composto por *Power Amplifiers* (PAs) com a finalidade de aumentar a intensidade do sinal de RF em um nível adequado para transmissão e *Low Noise Amplifiers* (LNAs) com intuito de amplificar os sinais de baixa intensidade, enquanto mantém o nível de ruído gerado pelo amplificador o mais baixo possível.

Os filtros mecânicos são utilizados para eliminar as emissões fora da faixa no *Downlink* (DL) e eliminar os sinais indesejados captados pela antena no *Uplink* (UL). Como a banda de operação escolhida utiliza duplexação *Time Division Duplexing* (TDD), o filtro mecânico é um filtro simples, pois há uma única banda para DL e UL.

A mecânica do projeto é formada diversas peças, tais como: caixa com proteção *Ingress Protection 65* (IP65), peças para arrefecimento de calor feitas de cobre, bases de alumínio, tampas para proteção contra choque elétrico, blindagens de RF e espaçadores de placa.

## 1.1 Especificações de requisitos

O desenvolvimento de *hardware* está seguindo as especificações de requisitos inicialmente definidos pelo relatório de requisitos técnicos para desenvolvimento de uma unidade remota O-RAN [3], Atividade 2.1 realizada do projeto OpenRAN@Brasil Fase 2.

A partir das especificações abordadas em [3] e, conforme andamento do projeto, os seguintes requisitos foram ajustados e/ou estabelecidos de forma complementar.

### Módulo Conversor DC/DC:

- Proteção contra intempéries naturais;
- Proteção contra inversão de polaridade;
- Proteção contra sobretensão e sobrecorrente;
- Ajuste das tensões de saída para ajustar a relação de compromisso entre linearidade e eficiência dos PAs.

### Módulo TRX:

- Configuração de um conjunto de TRXs como 8T8R 40 W por TX, com possibilidade de realizar um recuo de potência, ou *back-off*, para 20 W caso necessário para fins de linearidade ou dissipação de calor;
- A Agência Nacional de Telecomunicações (ANATEL) estabelece a divisão da banda n78 entre 3300-3700 MHz para aplicações associadas às operadoras com licença Serviço Móvel Pessoal (SMP) e 3700-3800 MHz para aplicações privativas com licença Serviço Limitado Privado (SLP) [4], [5]. Serão desenvolvidos duas versões de PAM. Na banda  $B_1$  de 3300 a 3600 MHz e  $B_2$  de 3600 a 3800 MHz, sob responsabilidade do Instituto Nacional de Telecomunicações (INATEL) e Centro de Pesquisa e Desenvolvimento em Telecomunicações (CPQD), respectivamente;
- O desenvolvimento do esquemático e do *layout* do *hardware* e *firmware* de controle dos módulos de RF caberá ao CPQD, sendo de responsabilidade do INATEL o desenvolvimento do módulo RFFE para as bandas  $B_1$  e  $B_2$ .

### Protótipo Mecânico:

- Ao dimensionar o dissipador de calor, um parâmetro crítico para o funcionamento adequado dos PAs do módulo PAM é a temperatura máxima permitida para a junção do transistor. Apesar das simulações térmicas indicarem a inviabilidade do sistema 8T8R 40 W, foi determinada a execução de um estudo de otimização térmica e refinamento na seleção do transistor do PA para realizar escolhas mais adequadas, alcançar melhores resultados e enquadrar o projeto nos requisitos desejáveis. O estudo térmico é detalhado na Seção 7;
- A mecânica do TRX deve seguir os seguintes requisitos:

- Transistor soldado em um *coin* de cobre;

– PCI soldada em *pallet* de alumínio.

- A caixa metálica externa será feito em alumínio;
- Construção do protótipo através do processo de usinagem Controle Numérico por Computador (CNC) com liga a ser definida e possibilidade de injeção em fundição sob pressão (*die casting*);
- A solução não contempla o desenvolvimento do processo *die casting*;
- Simulações termodinâmicas devem considerar a liga de alumínio para usinagem CNC e pintura e, posteriormente, definir uma liga para *die casting*;
- Possibilidade de pintura nas faces externas das partes integrantes do gabinete, com definição após resultados de simulações termodinâmicas;
- Projeto para facilitar a integração do *hardware* no gabinete;
- Posicionamento das fontes de calor principais na parte superior do gabinete;
- Grau de proteção mínimo IP65 para todas as partes, incluindo as vedações criadas levando em conta a usabilidade das conexões da O-RU;
- Todos os conectores devem ser posicionados na parte inferior do gabinete;
- Dissipação de calor sem ventilação forçada.

#### Filtros Mecânicos:

- Os filtros mecânicos serão colocados dentro da caixa;
- Uso de filtros de cavidade comerciais.

É relevante destacar para o TRX que, a ANATEL e o *3<sup>rd</sup> Generation Partnership Project* (3GPP) definem requisitos normativos e testes de conformidade para operação e homologação de Estação Rádio-Base (ERB) na banda n78 [4][5][6][7]. Por exemplo, para estações rádio base do tipo 1-C, no qual este projeto se enquadra, o 3GPP define o conjunto de requisitos aplicáveis conforme apresentado [6], [3].

Em termos de requisitos de proteção contra aquecimento excessivo, segundo norma da ANATEL, a elevação de temperatura em relação ao ambiente, de qualquer parte externa do equipamento a ser certificado acessível ao homem, não deve exceder os limites da Tabela 1 [8].

Tabela 1: Limites para elevação de temperatura em relação ao ambiente.

	Superfície Metálica	Superfície Não-Metálica
Partes tocadas frequentemente	30°C	40°C
Partes tocadas eventualmente	45°C	55°C

Portanto, os pontos de maior temperatura devem ser levados em conta nas simulações computacionais. Em partes tocadas frequentemente, a temperatura não deve exceder:

$$\begin{aligned} T_{PF} &= T_{ambiente} + T_{limite} \\ &= 55^{\circ}C + 30^{\circ}C = 85^{\circ}C, \end{aligned} \quad (1)$$

em que  $T_{PF}$  é a temperatura máxima em partes tocadas frequentemente,  $T_{ambiente}$  é a temperatura ambiente máxima e  $T_{limite}$  é temperatura limite do gabinete nas partes tocadas frequentemente.

E a temperatura em partes tocadas eventualmente não deve ultrapassar:

$$\begin{aligned} T_{PE} &= T_{ambiente} + T_{limite} \\ &= 55^{\circ}C + 45^{\circ}C = 100^{\circ}C, \end{aligned} \quad (2)$$

em que  $T_{PE}$  é a temperatura máxima em partes tocadas eventualmente,  $T_{ambiente}$  é a temperatura ambiente máxima e  $T_{limite}$  é temperatura limite do gabinete nas partes tocadas eventualmente.

Título:	Projeto Open RAN@Brasil		
Documento:	Desenvolvimento do <i>Hardware</i> da O-RU		
Versão:	1	Data:	31/03/2024

## 2 Objetivo

O propósito deste relatório consiste em documentar os resultados obtidos do desenvolvimento preliminar e funcionamento do módulo conversor DC/DC, do módulo de processamento em BB, do TRX, filtros mecânicos e do protótipo mecânico a ser integrado a solução O-RU 5G. Neste relatório são apresentados toda a metodologia de desenvolvimento para a escolha de componentes, topologia escolhida e detalhamento das funcionalidades considerando os requisitos mínimos especificados [3]. Posteriormente, testes de validação serão apresentados a partir da avaliação dos testes de integração dos módulos, assegurando que todos os módulos estejam operando conforme as especificações do projeto OpenRAN@Brasil.

### 3 Conversor DC/DC

A solução proposta neste projeto consta em desenvolver um módulo responsável por converter a tensão de entrada de  $-48 V_{DC}$  nas tensões internas necessárias, fornecendo a potência necessária para alimentação dos módulos internos da O-RU e demais circuitos ativos do equipamento [9].

O conversor DC/DC tem como função disponibilizar as tensões necessárias para os dispositivos que integram a O-RU. Durante o desenvolvimento inicial do *hardware* do projeto, foram especificadas todas as tensões necessárias para garantir o correto funcionamento dos blocos macros que compõem a O-RU, conforme ilustra a Tabela 2.

Tabela 2: Especificações técnicas para o conversor DC/DC.

$V_{in}$ [ $V_{DC}$ ]	$V_{out}$ [ $V_{DC}$ ]	Módulo alimentado
-48	+12	Processamento em BB (DFE e RFFE)
-48	+48	PAM
+48	+32	PAM

A Figura 2 ilustra o diagrama em blocos da solução do módulo conversor DC/DC.

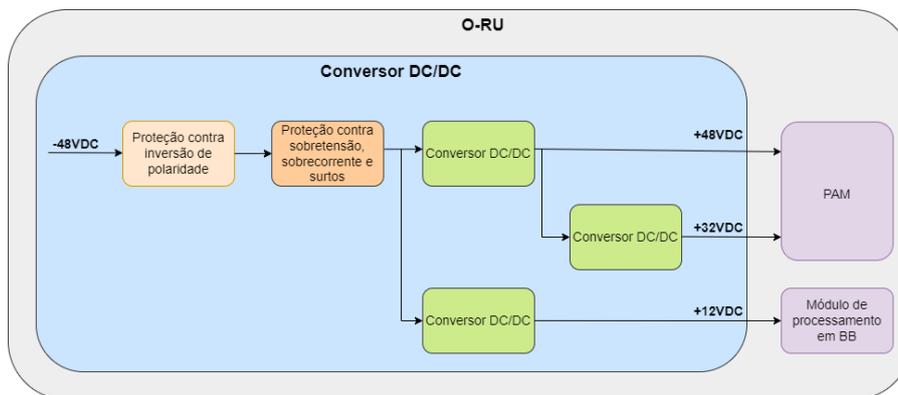


Figura 2: Diagrama em blocos do módulo conversor DC/DC para O-RU.

O módulo conversor DC/DC possui as seguintes características:

- Proteção contra intempéries naturais;
- Proteção contra inversão de polaridade por parte de uma eventual manutenção;
- Proteção contra sobretensão e sobrecorrente;
- Robustez, para suportar possíveis sobrecargas;
- Alta eficiência energética dos estágios de conversão de tensão, para minimizar a geração de calor por perda de potência;
- Alimentação do módulo PAM, de alto consumo e com ajuste na tensão de saída em  $\pm 5V$  da tensão nominal de polarização;

- Alimentação do módulo de processamento em BB. É importante destacar que este módulo atualmente é composto pelo DFE e RFFE.

A potência necessária depende da ordem do TRX e a potência consumida por cada canal. Um fator importante na escolha das configurações de operação da O-RU está diretamente ligado à temperatura de operação dos componentes. O transistor de potência do PAM é o componente mais crítico relacionado à dissipação térmica, com baixa eficiência ( $\approx 40\%$ ) e alta dissipação de calor. Além disso, a dissipação de calor da O-RU é dificultada devido à característica de dissipação passiva, sem o emprego de ventilação forçada. Desta forma, simulações foram realizadas com diferentes dimensões e formatos das aletas do gabinete, além de estudar opções de circuitos, no intuito de viabilizar o projeto, resultando no desenvolvimento de diferentes topologias de conversores DC/DC.

Durante a fase de especificação de requisitos no desenvolvimento do *hardware*, foram pesquisadas diferentes topologias para o módulo DC/DC com o objetivo de obter a maior eficiência energética dos estágios de conversão. Esta pesquisa resultou na identificação de potenciais componentes a serem utilizados no projeto. Um resumo das principais características dos componentes de conversão DC/DC da fabricante FLEX é apresentado na Tabela 3 com seus respectivos *Part Numbers* (PNs).

Tabela 3: Informações técnicas dos principais conversores DC/DC da FLEX.

Parâmetro	BMR6853301 /001		BMR6841100 /001		PKM4516HD		PKU4913 DPIHS		PKU4113 DPIHS	
	Min.	Máx.	Min.	Máx.	Min.	Máx.	Min.	Máx.	Min.	Máx.
$V_{IN}$	36V	75V	36V	75V	36V	75V	36V	75V	36V	75V
$V_{OUT}$	25V	55V	25V	55V	25V	55V	9,6V	13,2V	9,6V	13,2V
$V_{OUT(typ)}$	50V		50V		50V		12V		12V	
$P_{OUT}$	1300W		700W		500W		100W		120W	
$I_{OUT}$	26A		14A		10A		8,3A		10A	
Eficiência	97%		95,9%		95,1%		94,3%		94,2%	
Requisitos Capacitores Adicionais	$C_{IN}$	$C_{OUT}$	$C_{IN}$	$C_{OUT}$	$C_{IN}$	$C_{OUT}$	$C_{IN}$	$C_{OUT}$	$C_{IN}$	$C_{OUT}$
	470 $\mu$ F	1640 $\mu$ F	470 $\mu$ F	1000 $\mu$ F	200 $\mu$ F	680 $\mu$ F	100 $\mu$ F	100 $\mu$ F	100 $\mu$ F	100 $\mu$ F
Isolação	2250 $V_{DC}$		1500 $V_{DC}$		2250 $V_{DC}$		2250 $V_{DC}$		2250 $V_{DC}$	
Temperatura operação (TBP)	Min.	Máx.	Min.	Máx.	Min.	Máx.	Min.	Máx.	Min.	Máx.
	-40°C	100°C	-40°C	100°C	-40°C	100°C	-40°C	125°C	-40°C	125°C
MTBF (90% Confiança)	4,65Mh		5,23Mh		7,27Mh		12,33Mh		11,11Mh	
Dimensões	61×57,9×		58,4×36,8×		58,4×36,8×		33,02×22,86x		33,02×22,88x	
	12,7mm		12,7mm		13,2mm		11,3–12,7mm		11,3–13,2mm	
OTP (TP1)	125°C		110°C		110°C		130°C		130°C	
Custo	\$ 93,36		\$ 63,82		\$ 58,92		\$ 21,20		\$ 29,96	

Existem também outros fabricantes com conversores DC/DC disponíveis. Contudo, estes conversores não atendem aos requisitos mínimos de potência para a configuração do TRX 8T8R 40W, definido como configuração desejada do projeto. Para conhecimento, uma visão geral das principais características dos componentes de conversão DC/DC de outros fabricantes é apresentado na Tabela 4 com seus respectivos fabricantes.

Tabela 4: Informações técnicas dos principais conversores DC/DC de outros fabricantes.

Parâmetro	TDK		Murata		Cosel		Delta
PN	PAH450 S48-48	iQE48017A 120V-007-R	PAH-48/8.5- D48NB-C	UWE-12/10 Q48NB-C	CHS400 4848	CHS120 4812	E48SH 12010
$V_{OUT}$	48V	12V	48V	12V	48V	12V	12V
$I_{OUT}$	9,4A	10A	8,5A	10A	8,4A	10A	10A
$P_{OUT}$	451W	204W	408W	120W	400W	120W	120W
Distribuidor	Mouser	LTL Group	Arrow	RS	Ampacity Systems	Aztech	Aztech
Custo Unitário	\$208,00	\$100,00	\$106,00	\$55,00	\$121,00	\$16,50	\$11,10

Portanto, com base na disponibilidade de mercado e análises dos conversores, os componentes com PNs BMR6841100/001, PKM4516HD e PKU4913DPIHS são os mais prováveis de serem utilizados no projeto do conversor DC/DC.

Durante a fase de especificação do projeto, foram pesquisadas diferentes topologias do módulo conversor DC/DC para atender as diferentes especificações de configuração do sistema. Para cada mudança de requisito, foi proposta uma diferente topologia de conversor DC/DC.

### 3.1 Sistema MIMO 4T4R (20W por canal)

A Figura 3 apresenta o diagrama em blocos proposto para um sistema com tecnologia MIMO 4T4R e potência de transmissão de 20W por antena. Nesta configuração são utilizados 4 amplificadores de RF, ou seja, 4 módulos PAM. Estes possuem eficiência em torno de 40%, e, considerando as perdas adicionais entre saída do PA e conector da antena, tem-se uma potência de operação em torno de 30W no transistor de potência.

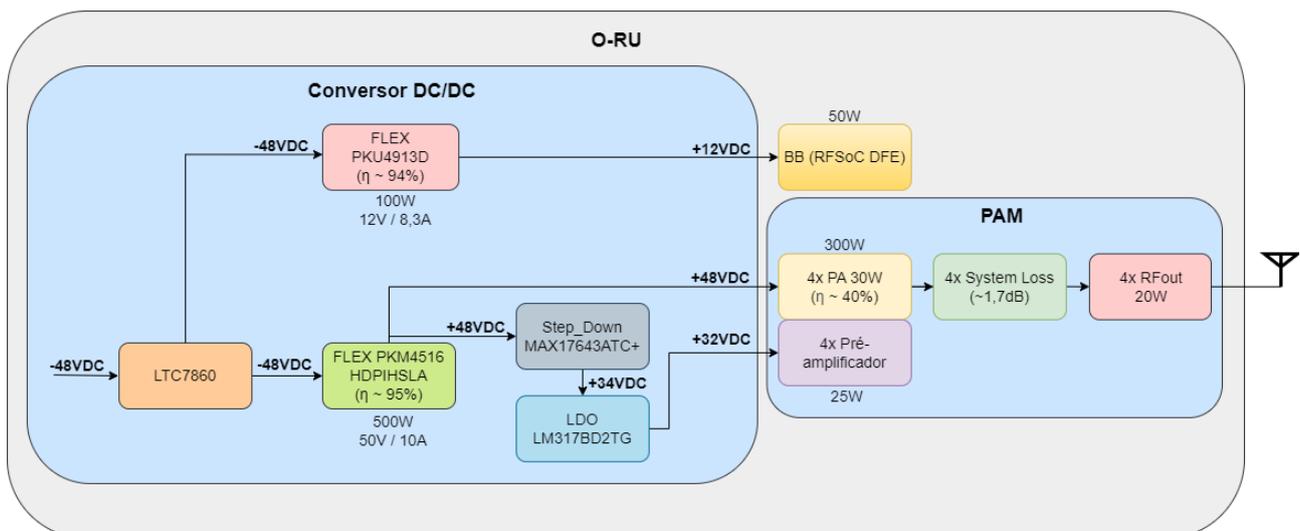


Figura 3: Diagrama em blocos do conversor DC/DC MIMO 4T4R (20W por canal).

### 3.2 Sistema MIMO 8T8R (20W por canal)

O diagrama em blocos da Figura 4 apresenta um sistema com tecnologia MIMO 8T8R, com potência de transmissão fornecida de 20W por antena. Nesta configuração são utilizados

8 amplificadores de RF (8 PAMs), que possuem eficiência em torno de 40%, e, semelhante ao caso anterior, tem-se uma potência de operação em torno de 30W no transistor de potência.

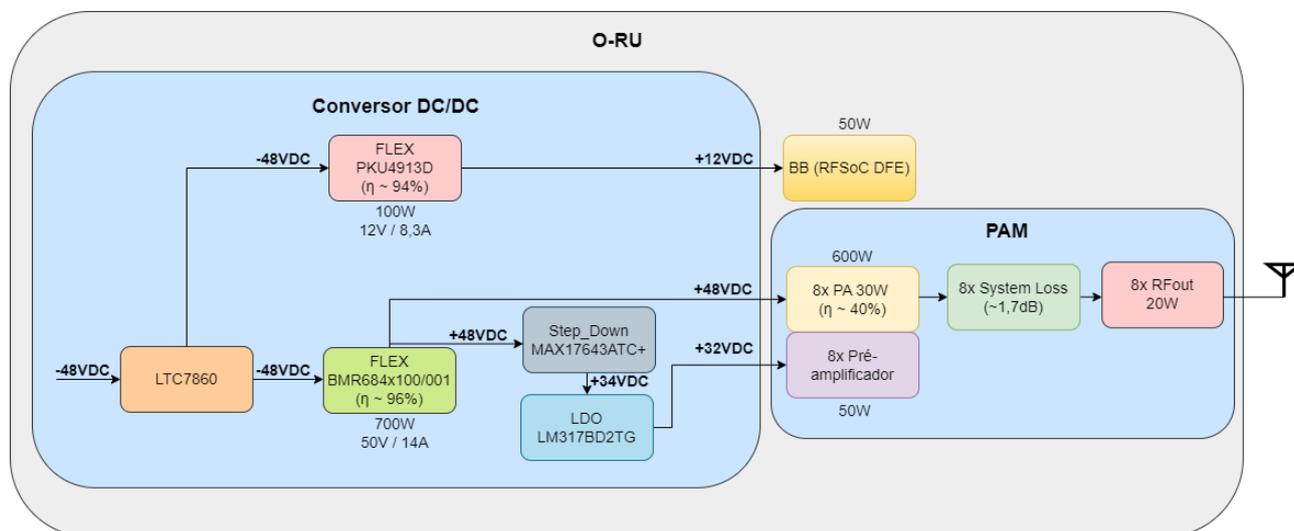


Figura 4: Diagrama em blocos 1 do conversor DC/DC MIMO 8T8R (20W por canal).

Analisando os 8 PAMs, a potência total de RF entregue na saída dos PAs é de 240W, ou seja, a potência total DC consumida da fonte é de 600W. Outra possibilidade estudada para o sistema 8T8R 20W é apresentada na Figura 5.

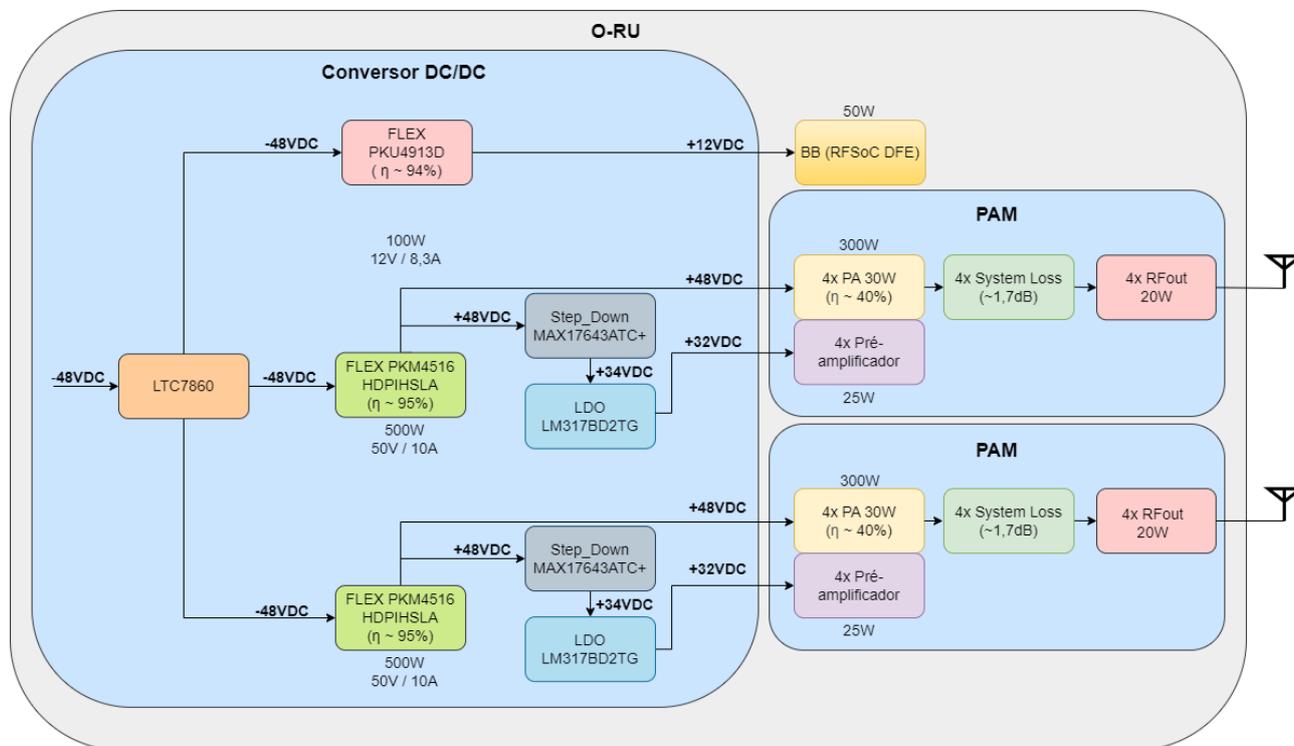


Figura 5: Diagrama em blocos 2 do conversor DC/DC MIMO 8T8R (20W por canal).

Nesta proposta, utiliza-se dois módulos FLEX que possuem potência de 500W cada e, desta forma, seria possível alimentar 4 canais com um módulo FLEX e os outros 4 canais com outro

módulo FLEX. Em vista disso, há a vantagem de que, caso um dos módulos pare de operar, apenas uma parte do sistema seria afetada, e 4 canais ativos continuariam ativos.

### 3.3 Sistema MIMO 8T8R (40W por canal)

O diagrama em blocos da Figura 6 apresenta um sistema com tecnologia MIMO 8T8R, com potência de transmissão fornecida de 40W por antena. Nesta configuração são considerados 8 amplificadores de RF com eficiência em torno de 40%, exigindo uma potência de saída do PA em torno de 60W para compensação das perdas. Neste caso, os 8 PAMs fornecem uma potência de saída de 480W com uma potência total de consumo DC de 1200W.

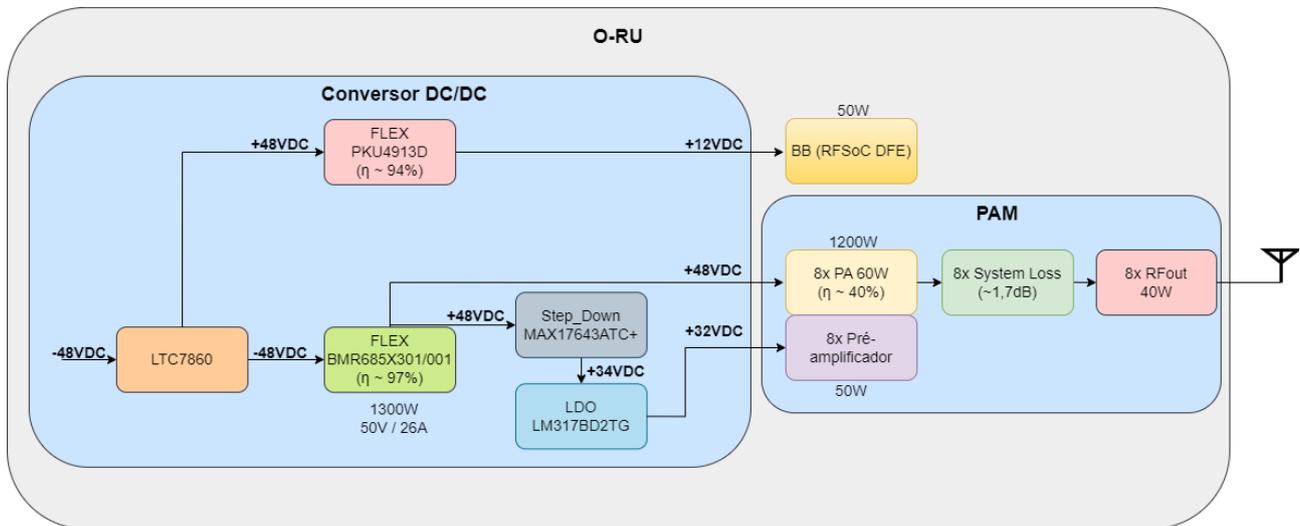


Figura 6: Diagrama em blocos 1 do conversor DC/DC MIMO 8T8R (40W por canal).

Uma outra possibilidade estudada para o sistema 8T8R 40W é apresentada na Figura 7.

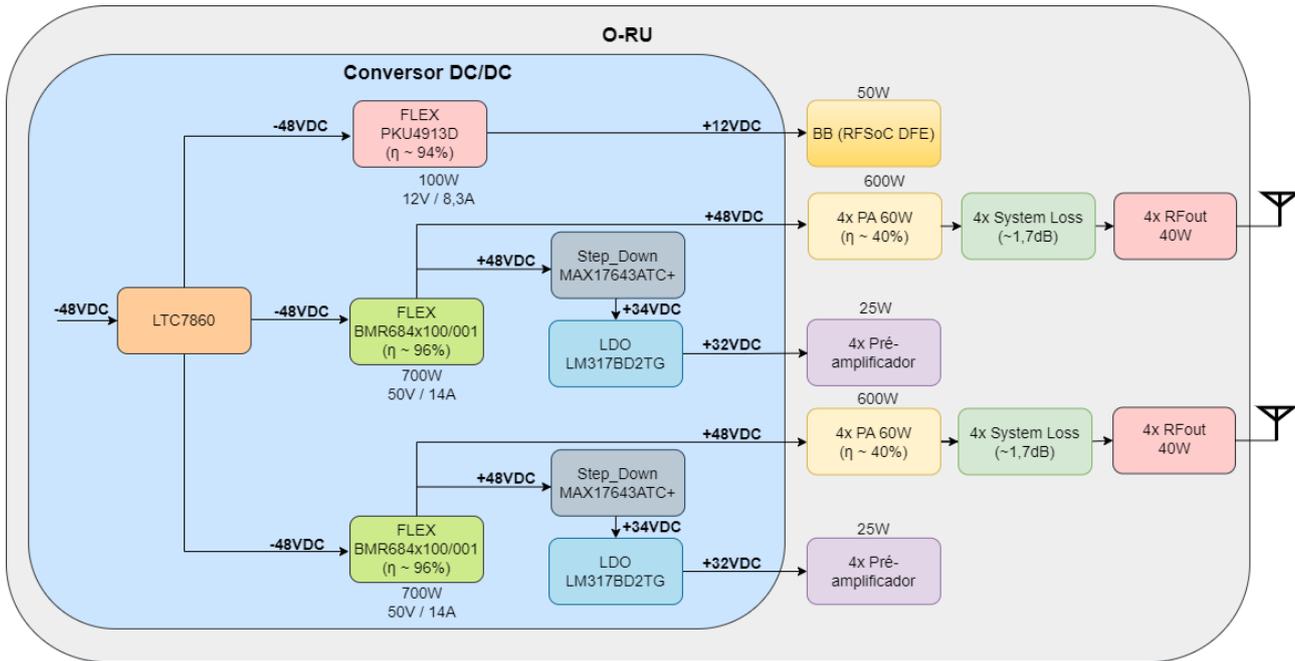


Figura 7: Diagrama em blocos 2 do conversor DC/DC MIMO 8T8R (40W por canal).

Nesta opção, dois módulos FLEX que possuem potência de 700W cada seriam utilizados para alimentar 4 canais com um módulo FLEX e os outros 4 restantes com outro módulo FLEX. Nesta condição, há a vantagem de que caso um dos módulos pare de operar, afetaria apenas parte do sistema, mantendo ainda 4 canais ativos.

Os requisitos estabelecidos para a O-RU no que compete à resistência contra intempéries, como ser especialmente projetada para operar em ambientes externos, evitando a entrada de poeira e sendo a prova d'água, resultam na necessidade de que o *hardware* seja *fanless*. Dado que os PAMs geram muito calor, associado à característica *fanless* da O-RU, isto implica que o aquecimento apresentado na configuração MIMO 8T8R 40W é um dos maiores desafios do projeto.

### 3.4 Desenvolvimento do módulo conversor DC/DC

Dentre os sistemas apresentados, foi definido o sistema MIMO 8T8R (40W por canal) como opção desejável a ser desenvolvida, e caso se encontre restrições mecânicas devido aos problemas térmicos, a solução MIMO 8T8R (20W por canal) será utilizada. Para esta solução, é ilustrado na Tabela 5, os principais componentes a serem utilizados com seus respectivos PNs.

Tabela 5: Especificações dos principais componentes do conversor DC/DC.

Função	PN	Fabricante
Conversão $-48 V_{DCIN} / +48 V_{DCOUT}$	BMR6841100/001	FLEX
Conversão $+48 V_{DCIN} / +32 V_{DCOUT}$	MAX17574ATG+	Analog Devices
Conversão $-48 V_{DCIN} / +12 V_{DCOUT}$	PKU4913DPIHS	FLEX
Proteção contra sobretensão	LTC7860HMSEPBF	Analog Devices

A partir da análise dos possíveis componentes do projeto, iniciou-se o desenvolvimento do módulo conversor DC/DC, com o intuito de desenvolver o esquema elétrico completo. Conside-

rando a mecânica e a melhor dissipação térmica, onde a parte frontal do gabinete é composta por 4 PAM e a parte posterior por outros 4 PAM, optou-se pela divisão do conversor DC/DC em 2 PCIs, sendo:

- 1ª PCI: alimentação dos 4 PAMs frontais, módulo DFE e módulo RFFE;
- 2ª PCI: alimentação dos 4 PAMs posteriores.

Além da divisão em duas PCIs, o conversor *step-down* de PN MAX17643ATC+ e o regulador LDO de PN LM317BD2TG foram substituídos para somente o conversor *step-down* MAX17574ATG+. O motivo dessa troca é explicado na Seção 3.5. Desta forma, o diagrama atualizado para a solução, com potência de transmissão fornecida de 40W por antena, é mostrado na Figura 8.

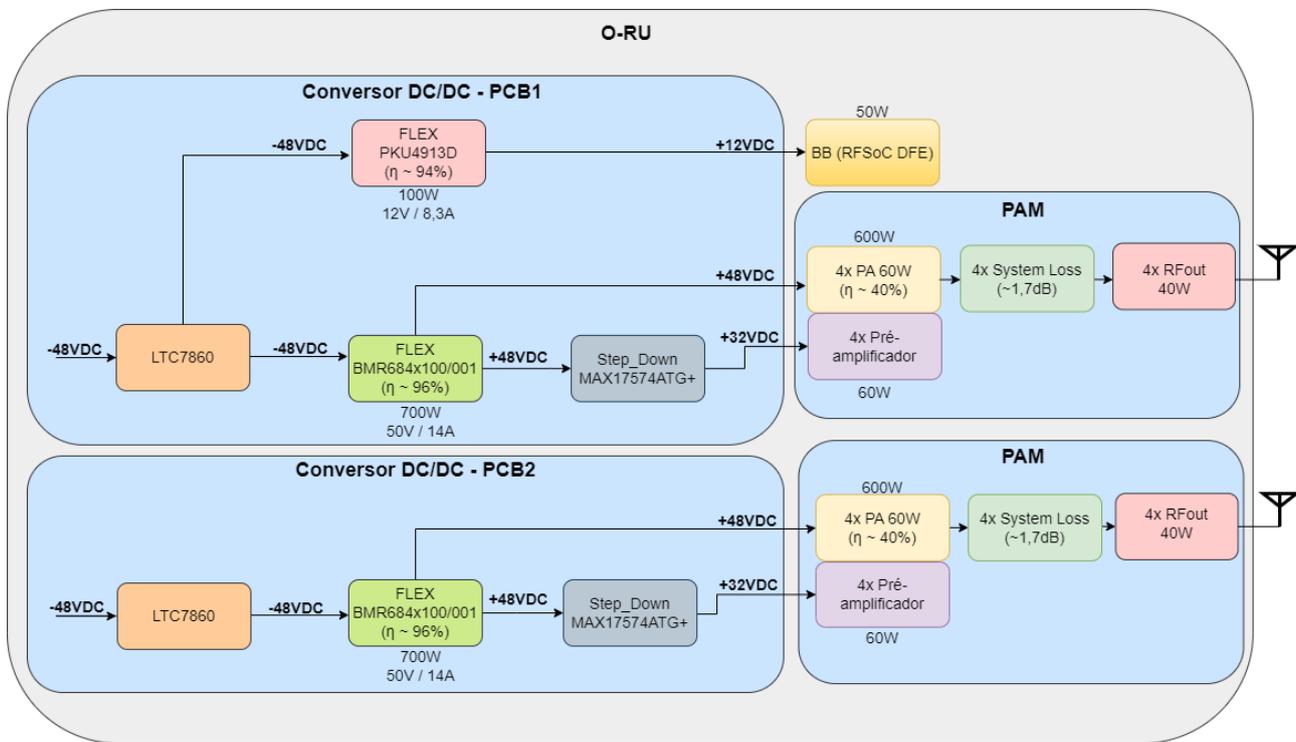


Figura 8: Diagrama em blocos do conversor DC/DC MIMO 8T8R (40W por canal) definido.

No bloco de conversão de tensão de  $-48 V_{DC}$  para  $+48 V_{DC}$ , foram utilizados dois módulos que suportam até 700W de potência, cujo PN é BMR6841100/001 da fabricante FLEX. As tensões derivadas do  $+48 V_{DC}$  foram projetadas para atender os amplificadores de potência de RF e pré-amplificadores presentes no PAM. A Figura 9 apresenta o esquema elétrico elaborado para o bloco de conversão de tensão de  $-48 V_{DC}$  para  $+48 V_{DC}$ .

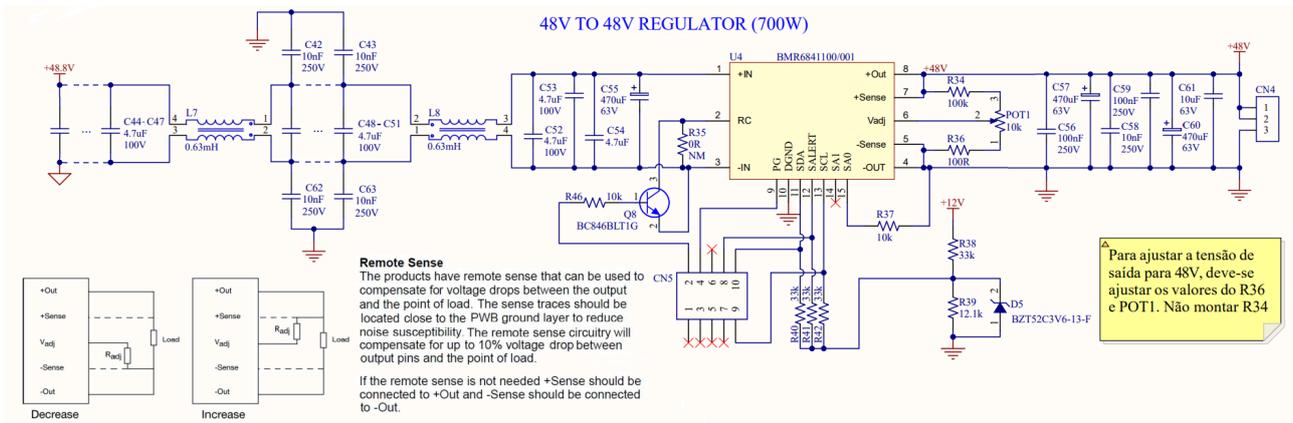


Figura 9: Esquema elétrico do circuito conversor DC/DC  $-48 V_{DC}$  para  $+48 V_{DC}$

No bloco de conversão de tensão de  $-48 V_{DC}$  para  $+12 V_{DC}$ , foi utilizado um módulo que suporta até 100W de potência, cujo PN é PKU4913DPIHS da fabricante FLEX. As principais características do BMR6841100/001 e do PKU4913DPIHS, estão relacionadas à capacidade de isolar eletricamente a tensão de entrada da tensão de saída, com limiar mínimo de tensão de entrada de funcionamento de  $+36 V_{DC}$ , e limiar máximo de tensão de entrada de  $+75 V_{DC}$ , fornecendo uma tensão nominal de saída de  $+48 V_{DC}$  e  $+12 V_{DC}$ , respectivamente. A Figura 10 apresenta o esquema elétrico elaborado para o bloco de conversão de tensão de  $-48 V_{DC}$  para  $+12 V_{DC}$ .

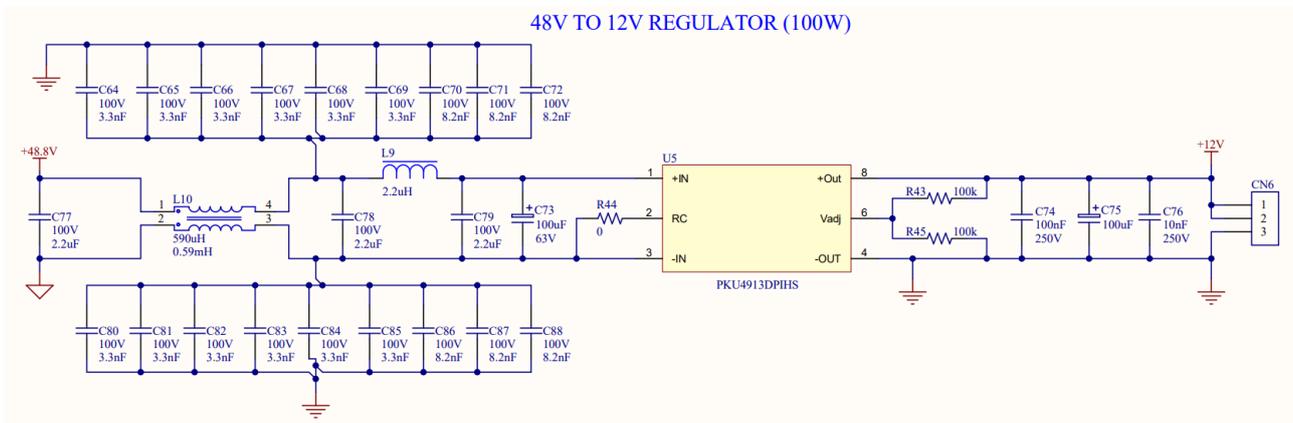


Figura 10: Esquema elétrico do circuito conversor DC/DC  $-48 V_{DC}$  para  $+12 V_{DC}$

No bloco de conversão de tensão de  $-48 V_{DC}$  para  $+32 V_{DC}$ , foi utilizado um módulo que entrega até 3A de corrente, cujo PN é MAX17574ATG+ da fabricante *Analog Devices / Maxim Integrated*®. A Figura 11 apresenta o esquema elétrico elaborado para o bloco de conversão de tensão de  $+48 V_{DC}$  para  $+32 V_{DC}$ .

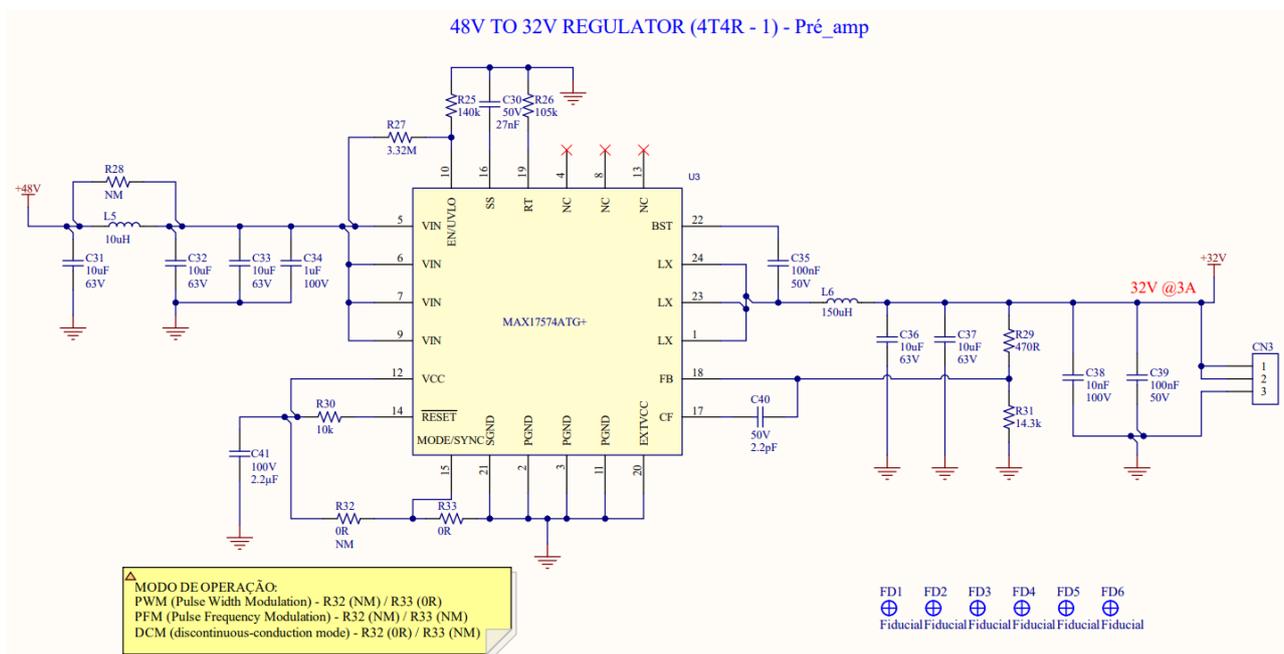


Figura 11: Esquema elétrico do circuito conversor DC/DC +48  $V_{DC}$  para +32  $V_{DC}$

Este dispositivo também possui a capacidade de isolar eletricamente a tensão de entrada da tensão de saída, mas com limiar mínimo de tensão de entrada de funcionamento de +4,5  $V_{DC}$ , e limiar máximo de tensão de entrada de +60  $V_{DC}$ , fornecendo uma tensão nominal de saída de +32  $V_{DC}$ .

Para validar o funcionamento dos blocos conversores da FLEX, foram realizadas simulações computacionais utilizando o *software Flex Power Designer*®, disponibilizado pelo fabricante do componente. A Figura 12 apresenta a estimativa de consumo da primeira PCI e a Figura 13 apresenta a estimativa de consumo da segunda PCI.

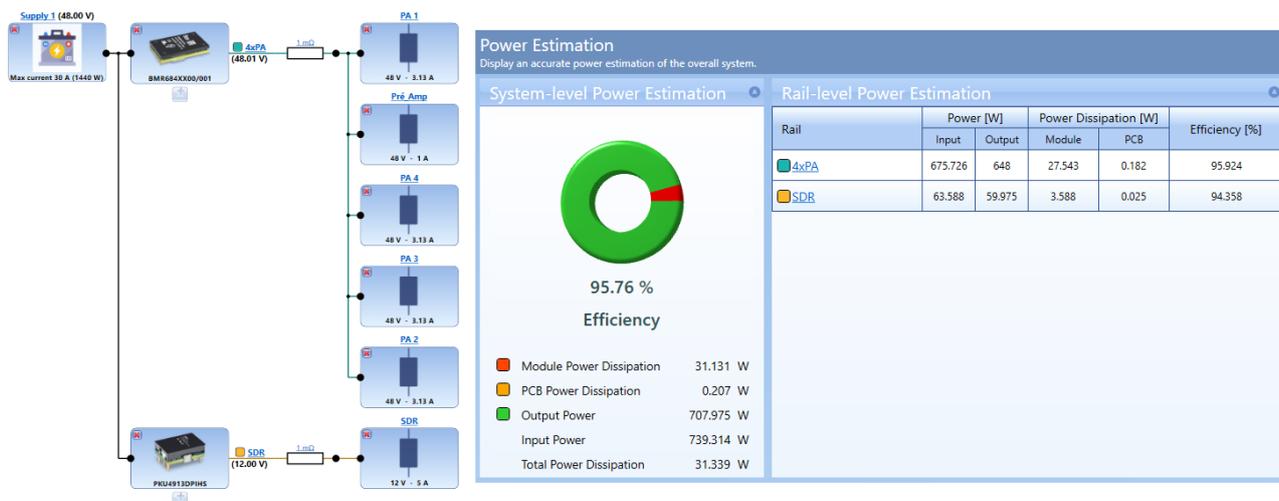


Figura 12: Estimativa de consumo da 1ª PCI.

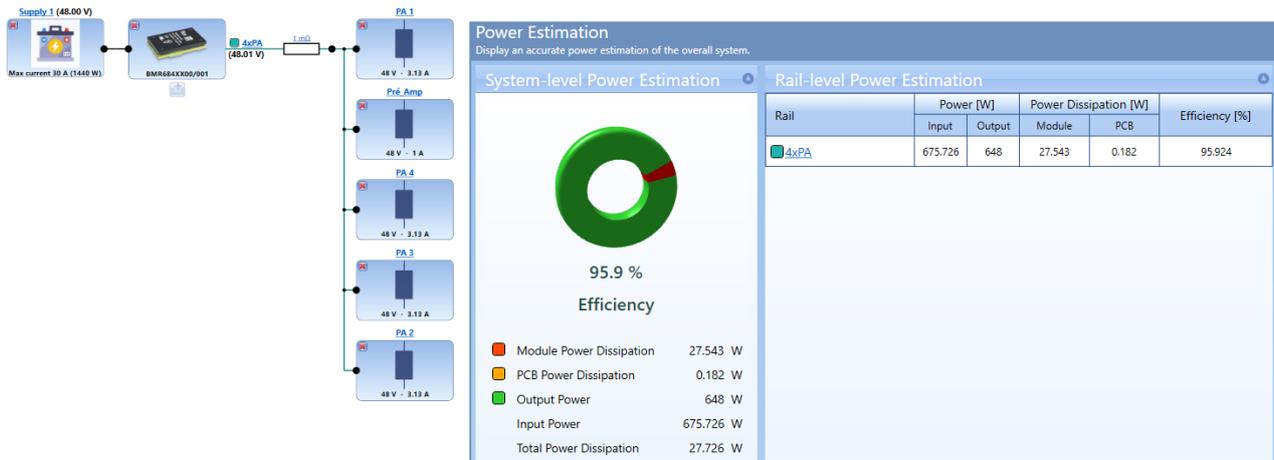


Figura 13: Estimativa de consumo da 2ª PCI.

Além do módulo conversor de tensão, também foram projetados diferentes circuitos para proteção da placa, sendo eles: i) circuito de proteção contra inversão de polaridade da tensão de entrada; ii) circuito de surto de tensão, ou sobretensão; iii) circuito para proteção de descargas atmosféricas, e; iv) proteção contra sobrecorrente.

Na proteção contra surto de tensão e também de sobrecorrente, foi utilizado o componente de PN LTC7860HMS da fabricante *Analog Devices*<sup>®</sup>. Este dispositivo tem como propósito proteger o circuito caso a tensão ou corrente de entrada exceda um valor limite de operação.

A proteção contra inversão de polaridade de tensão na entrada do sistema, foi feita com um transistor do tipo *Metal Oxide Semiconductor Field Effect Transistor* (MOSFET). O transistor MOSFET de PN SQM120P10\_10M1LGE3 da fabricante *Vishay Semiconductors*<sup>®</sup> foi selecionado, pois suporta altas correntes e possui uma baixa resistência interna, sendo o mais eficiente ao ser comparado com outras soluções de proteção. Ainda, para aumentar a robustez, foram utilizados componentes de proteção contra descargas elétricas como supressores a gás e *Transient Voltage Suppressor* (TVS).

Para validar o funcionamento deste circuito, foram realizadas simulações computacionais utilizando o *software* LTspice<sup>®</sup>. As simulações foram feitas explorando os seguintes cenários de uso:

- Surto de tensão na entrada do dispositivo;
- Corrente máxima na saída do circuito de proteção;
- Inversão de polaridade da tensão na entrada do  $-48 V_{DC}$ ;
- *Ripple* da tensão de saída;
- Limiares de tensões mínima e máxima de funcionamento.

A Figura 14 apresenta o ambiente do *software* utilizado para realizar as simulações, bem como a caracterização do circuito elétrico correspondente.

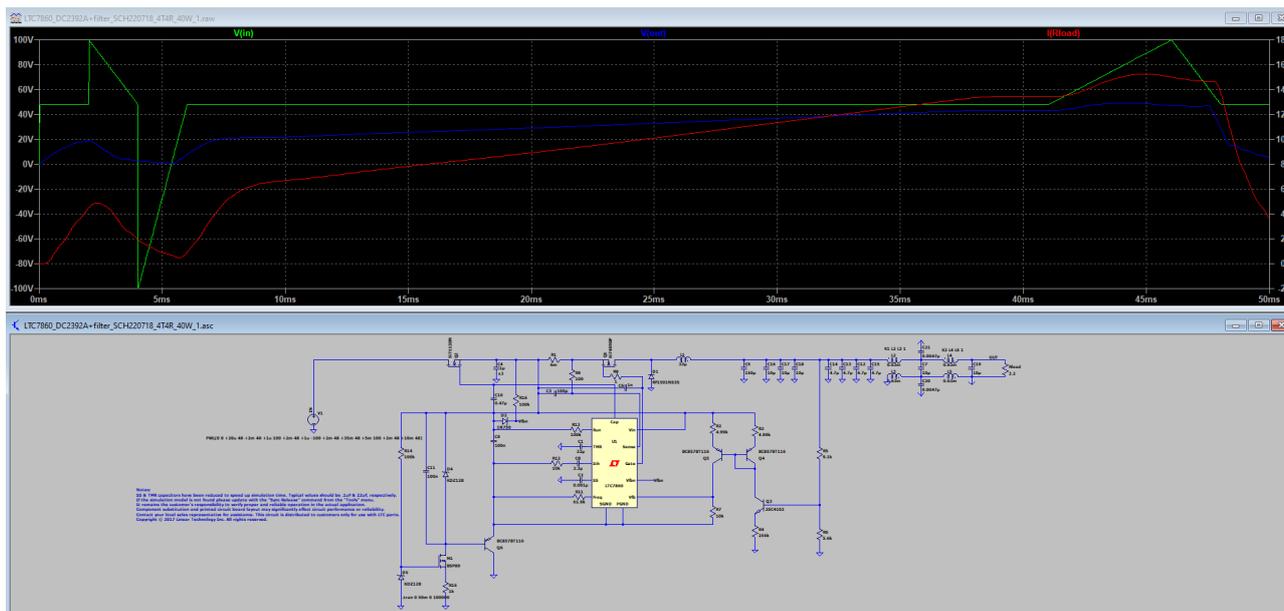


Figura 14: Ambiente de simulação LTSpice®.

O resultado observado na Figura 14, ilustra o comportamento da tensão de saída  $V_{OUT}$  em função das variações da tensão de entrada  $V_{IN}$ , do qual a tensão máxima de saída é de  $50 V_{DC}$  e a proteção atua para tensão negativa. O esquema elétrico do circuito de proteção de entrada pode ser observado na Figura 15, com o dimensionamento e especificação dos componentes.

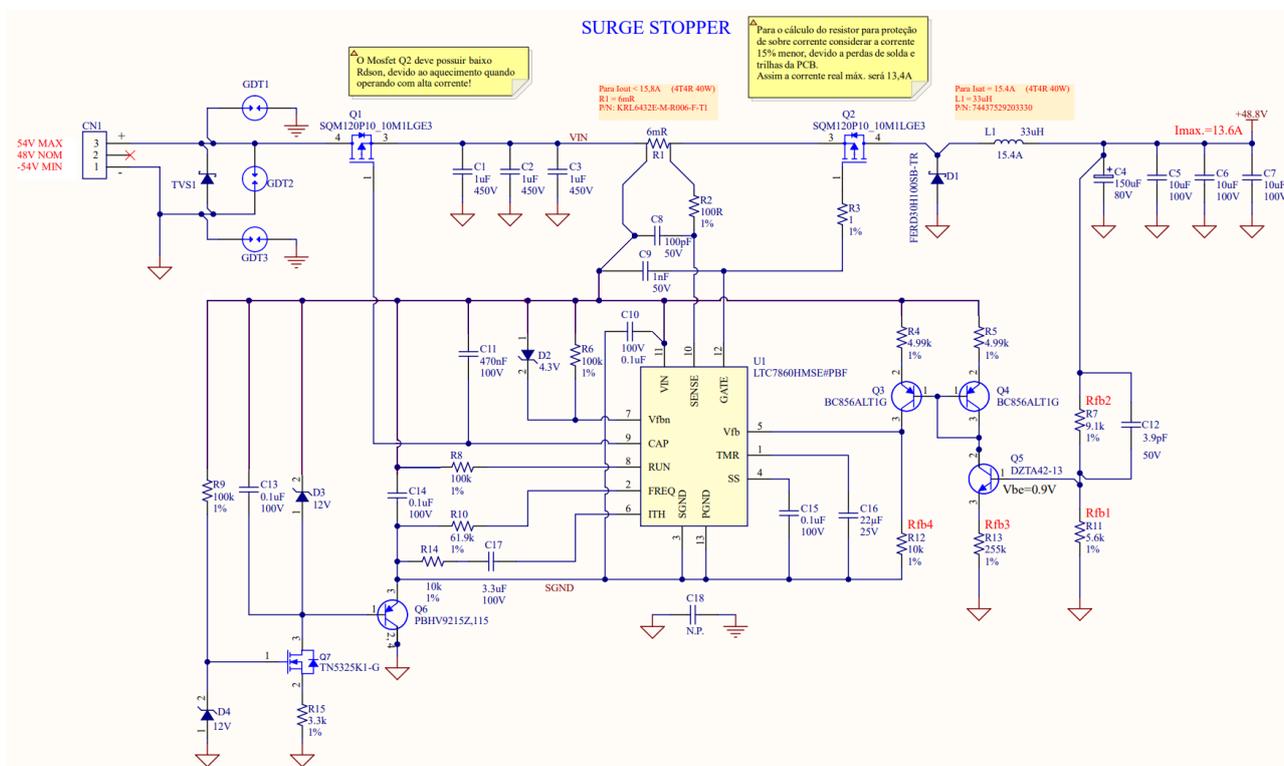


Figura 15: Esquema elétrico do circuito *surge stopper*.

Durante a fase de especificação do projeto, foi identificado que o circuito de proteção deve

operar com uma faixa de tensão de entrada variando de  $-100 V_{DC}$  até  $+100 V_{DC}$ , sendo a tensão nominal de trabalho igual a  $-48 V_{DC}$ , com uma corrente máxima de saída de 15,8 A.

O *layout* da PCI foi desenvolvido conforme as definições dos componentes e a elaboração dos esquemas elétricos dos circuitos. Em seguida, foram gerados os componentes com o dimensionamento mecânico em 3D, necessário para a elaboração do *layout* e o projeto mecânico do módulo conversor DC/DC.

Durante o desenvolvimento do *layout*, estudou-se a mecânica do módulo conversor DC/DC para prever o mecanismo de dissipação de calor dos componentes. Levantou-se, também, as regras para a disposição dos blocos dos circuitos e espaçamentos a fim de atender os requisitos de rigidez elétrica por toda a extensão da PCI.

As Figuras 16 e 17 mostram o resultado final do projeto da primeira versão de *layout* da PCI do conversor DC/DC. É importante salientar que a mesma PCI é utilizada para as 2 PCIs propostas, sendo que na segunda não é montado o conversor DC/DC de  $-48 V_{DC}$  para  $+12 V_{DC}$ .

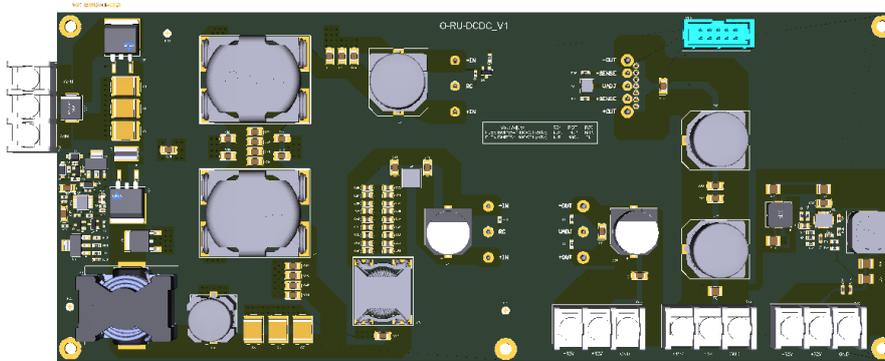


Figura 16: Vista superior do *layout* do conversor DC/DC.

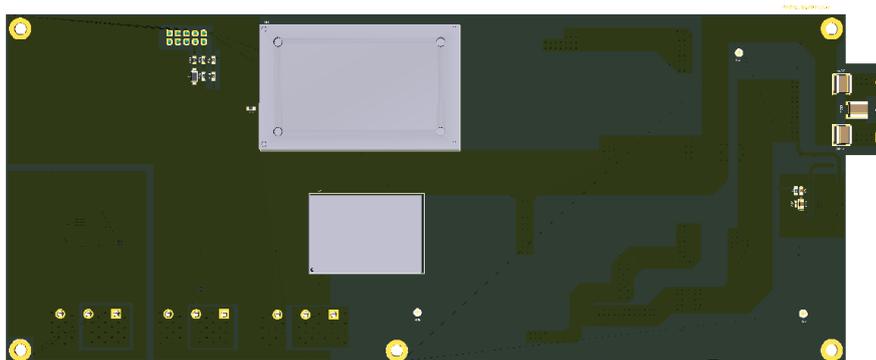


Figura 17: Vista inferior do *layout* do conversor DC/DC.

### 3.5 Testes preliminares

Os testes preliminares para validação possuem a finalidade de aperfeiçoar o funcionamento do módulo conversor DC/DC, conforme especificado nos requisitos do projeto. Nos testes descritos a seguir, algumas informações do bloco conversor DC/DC foram exploradas de forma isolada, sendo os blocos conversores testados separadamente e integrados sobre a bancada.

Desta forma, empregaram-se equipamentos adicionais para operação, tais como, uma fonte de alimentação externa com saída ajustável, multímetros e osciloscópio.

### 3.5.1 Testes de temperatura

O desenvolvimento da O-RU com configuração MIMO 8T8R (40W por canal) possui um grande desafio na questão de temperatura operacional. Nesse sentido, testes iniciais monitorando a temperatura do conversor de tensão existente em laboratório foram realizados com a finalidade de comparar e otimizar a versão elaborada do conversor DC/DC. É importante ressaltar que os testes laboratoriais para monitorar a temperatura de operação dos componentes do conversor DC/DC serão realizados na versão de placa final, com todos os requisitos do projeto validados.

A alimentação dos pré-amplificadores, presentes no PAM, é realizada através do conversor DC/DC *step-down* síncrono com compensação interna MAX17643ATC+ e do regulador de tensão linear LDO LM317BD2TG, conforme ilustrado na Figura 6. A Tabela 6 apresenta as medidas dos componentes desta etapa de conversão DC.

Tabela 6: Medidas na alimentação dos pré-amplificadores.

$V_{in}$ [V <sub>DC</sub> ]	$V_{out}$ [V <sub>DC</sub> ]	$I_{out}$ [mA]	$T_{max}$ [°C]
48	31,7	600	85

Durante os testes, notou-se que o componente LDO apresentou a maior temperatura de operação no circuito. A partir disso, mediu-se a tensão de saída no ponto sem o LDO e após o LDO, como mostra a Figura 18.



Figura 18: (a) Sinal medido na saída do LDO; (b) Sinal medido na saída sem o LDO.

Com base no resultado ilustrado na Figura 18, nota-se que ambos sinais estão estáveis e sem ruídos. Adicionalmente, constatou-se que o componente MAX17643ATC+ possui LDO interno para melhoria da eficiência. Então, decidiu-se remover o LDO LM317BD2TG da solução para redução de componentes, e menos fontes de geração de calor na PCI. Em sequência, foi realizado o teste com a carga variável, para explorar o limite do conversor, e considerando o circuito sem o LDO, obtiveram-se os seguintes resultados ilustrados na Tabela 7.

Tabela 7: Medidas da alimentação dos pré-amplificadores sem o LDO.

$V_{in}$ [V <sub>DC</sub> ]	$V_{out}$ [V <sub>DC</sub> ]	$I_{out}$ [mA]	$T_{max}$ [°C]
48	33,6	600	55,9
48	33,6	800	67,8
48	33,6	1000	85,2
48	33,6	1200	102,8

De acordo com a Tabela 7, o componente que apresentou maior temperatura de operação foi o Circuito Integrado (CI) chaveador MAX17643ATC+. Na condição extrema, em que a corrente de saída foi de 1200mA, a temperatura máxima de operação atingida foi de 102,5 °C, conforme pode ser observado na Figura 19.

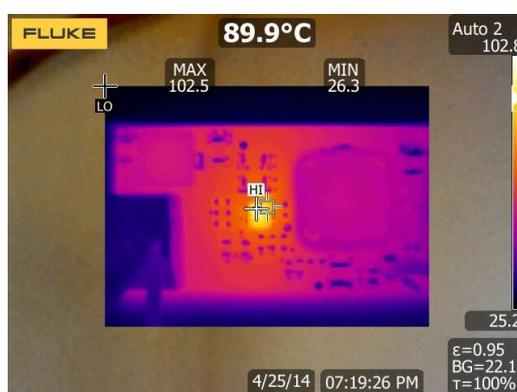


Figura 19: Monitoramento de temperatura na alimentação dos pré-amplificadores sem LDO.

Percebe-se pela Figura 19, que a temperatura ainda é elevada nesta região da PCI. Para diminuir a temperatura de operação do conversor, foram ajustados os resistores  $R_2$ ,  $R_4$ ,  $R_7$  e  $R_9$  para 110kΩ, 330kΩ, 9,53kΩ e 49,9kΩ, respectivamente. Após realizar as alterações, as medidas de temperatura de operação do CI MAX17643ATC+ variando a carga foram refeitas, e o resultado é ilustrado na Tabela 8.

Tabela 8: Medidas da alimentação dos pré-amplificadores sem o LDO e com novos resistores.

$V_{in}$ [V <sub>DC</sub> ]	$V_{out}$ [V <sub>DC</sub> ]	$I_{out}$ [mA]	$T_{max}$ [°C]
48	32	1000	64,2
48	32	1200	74,0
48	32	1400	81,5

Na condição extrema, em que a corrente de saída foi de 1400mA, a temperatura máxima de operação atingida foi de 81,5°C, conforme pode ser observado na Figura 20.

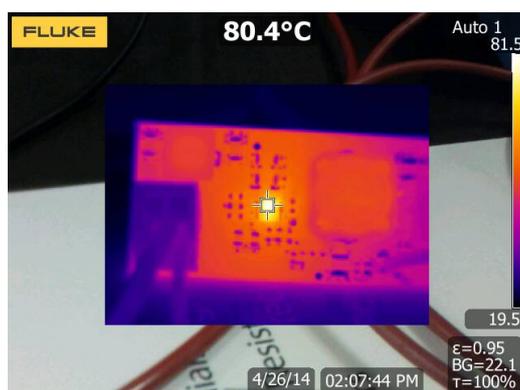


Figura 20: Monitoramento de temperatura na alimentação dos pré-amplificadores sem LDO e com novos resistores.

Ao se comparar as Tabelas 7 e 8, é possível observar a redução da tensão de saída para o valor desejado de  $+32V_{DC}$  e a diminuição da temperatura máxima atingida. Portanto, estes resultados comprovam o aumento da eficiência térmica da solução proposta.

### 3.6 Testes de validação preliminares do protótipo funcional

Os testes de validação com o protótipo funcional possuem o intuito de corroborar e validar o funcionamento do módulo conversor DC/DC conforme os requisitos do projeto. Nos testes descritos a seguir, foram realizadas análises iniciais com o protótipo do conversor DC/DC e, posteriormente, também serão executados com todos os módulos integrados operando como a O-RU 5G desenvolvida.

Para que o protótipo seja devidamente validado, foram realizados testes de bancada minuciosos em cada parte do circuito de forma separada, antes da integração do conversor DC/DC com o sistema completo da O-RU 5G. As duas PCIs confeccionadas para execução dos testes são ilustradas na Figura 21.

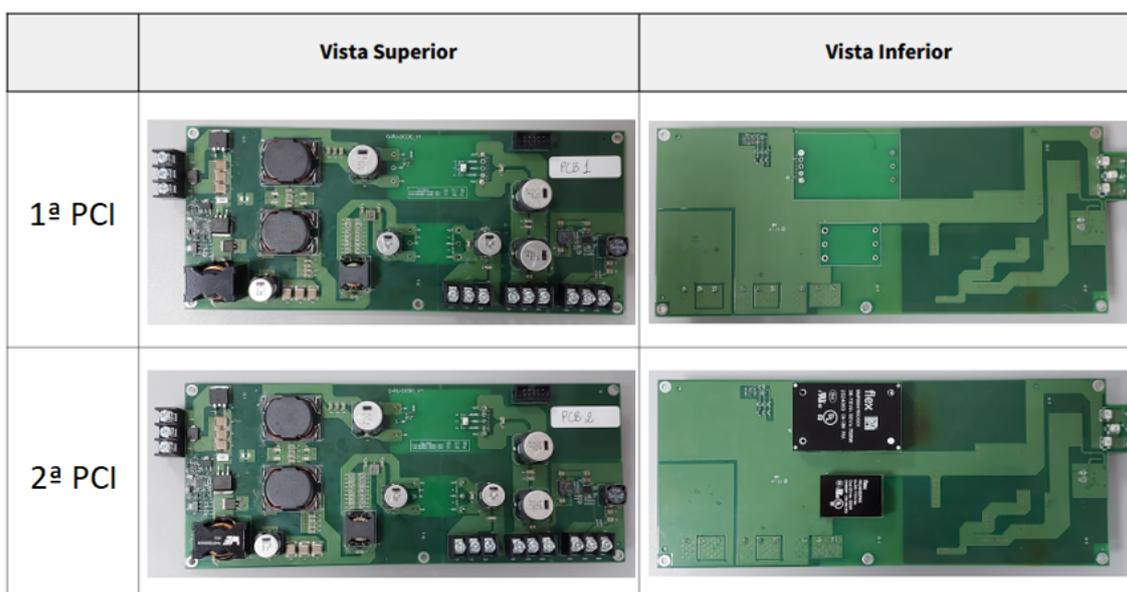


Figura 21: PCIs do conversor DC/DC montadas.

### 3.6.1 Circuito de proteção contra sobretensão e sobrecorrente

A proteção contra surto de tensão (sobretensão) e surto de corrente (sobrecorrente) é feita a partir do CI de PN LTC7860HM SE#PBF, com limiares mínimo e máximo de tensão de entrada de  $3,5V_{DC}$  e  $60V_{DC}$ , respectivamente [10], e a proteção contra inversão de polaridade na tensão de entrada é realizada pelo transistor MOSFET de entrada. Já o chaveamento da tensão de saída é feito pelo transistor MOSFET de saída. Em uma primeira análise, o PN proposto para os dois transistores era o SQM120P10\_10M1LGE3, porém, por conta da indisponibilidade do componente nos fornecedores, foi definido outro transistor MOSFET de PN SUM110P08-11L, cujas características são similares e atendem aos requisitos do projeto. Este circuito tem como especificação uma corrente de saída máxima  $I_{OUTmax}$  igual a 15,8 A.

No teste de inversão de polaridade da tensão de entrada, utilizou-se uma fonte de bancada para alimentar a entrada do circuito *surge stopper*. Por segurança, a corrente de saída da fonte foi limitada em torno de 150mA e, como resultado, observou-se a premissa de que o circuito *surge stopper* atua ao aplicar-se uma tensão invertida em seus terminais de entrada, não causando danos aos circuitos. A Figura 22 apresenta o *setup* montado para os testes no *surge stopper*.



Figura 22: *Setup* de teste do *surge stopper*.

Nos testes em que foram validados os limiares de tensão mínima e máxima de funcionamento, varreu-se a faixa de tensão de operação do conversor DC/DC, modificando a tensão de entrada e monitorando a tensão de saída no circuito *surge stopper*. O resultado pode ser visto na Tabela 9.

Tabela 9: Resultados obtidos variando a tensão do *surge stopper*.

$V_{in}$ [V <sub>DC</sub> ]	$V_{out}$ [V <sub>DC</sub> ]
1	1
3	3
5	5
10	10
20	20
30	30
40	40
45	45
48	48
50	50
52	52
54	54
55	55
56	0
57	0

Nota-se que, quando a tensão de entrada  $V_{in}$  alcança o limiar de proteção do circuito ( $56V_{DC}$ ), o circuito entra em modo de proteção e a saída é desligada ( $0V_{DC}$ ). Após alguns segundos, ocorre a tentativa de rearme do circuito, e, caso tenha sido apenas um surto na entrada, o circuito restabelece sua operação normal.

No teste de proteção contra sobrecorrente, a medida é realizada através do resistor  $R_1$ , conforme ilustra a Figura 23. A limitação de corrente pelo circuito ocorreu com o consumo de 13,15 A, como pode ser observado na Tabela 10.

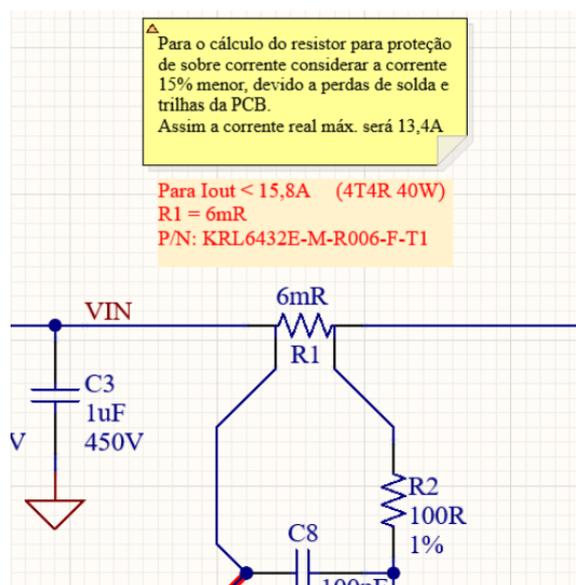


Figura 23: Resistor *shunt* projetado no circuito *surge stopper*.

Tabela 10: Medidas de corrente máxima de saída do *surge stopper*.

$R_1$ [ $\Omega$ ]	$I_{out}$ calculado [A]	$I_{out}$ medido [A]
6m	15,8	13,15
5m	19,0	15,80

Como, para o projeto, é necessário aumentar a corrente máxima suportada, reduziu-se o valor de  $R_1$  de acordo com:

$$I_{L(PEAK)} = \left( \frac{95mV}{R_{SENSE}} \right) = I_{out} = \left( \frac{95mV}{R_1} \right) [A] \quad (3)$$

Após a alteração do valor de  $R_1$  para  $5m\Omega$ , foi verificado novamente a corrente em que o circuito de proteção atuava. Com esta nova configuração a corrente máxima de saída foi de 15,8 A. O *setup* utilizado para os testes avaliados é evidenciado na Figura 24.

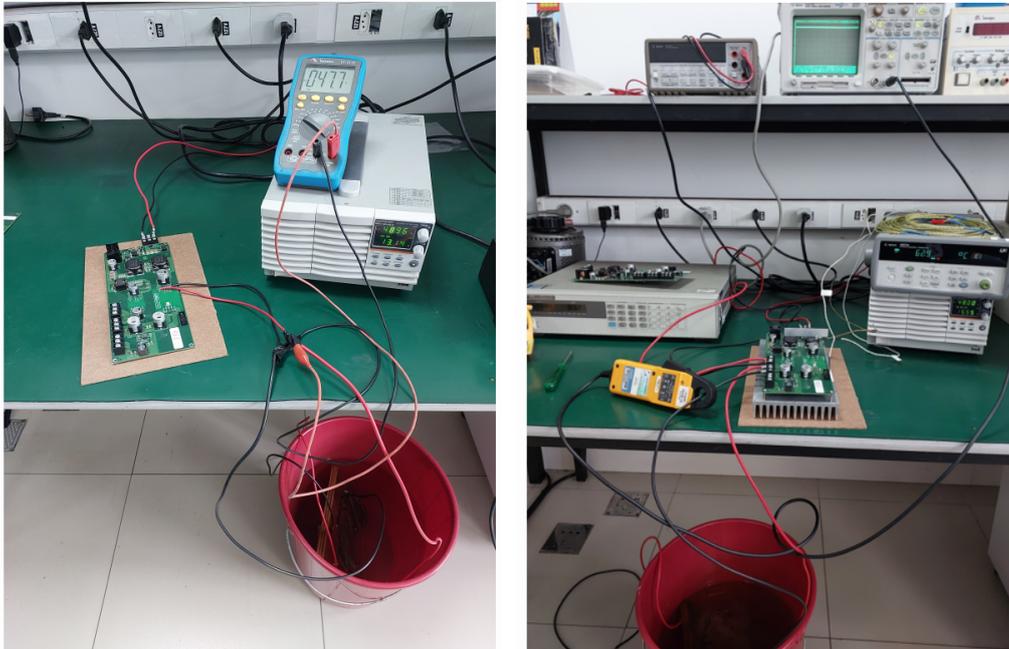


Figura 24: *Setup* das medidas de corrente máxima de saída do *surge stopper* com  $R_1 = 6m\Omega$  e  $R_1 = 5m\Omega$ , respectivamente.

É importante ressaltar que todos os testes acima descritos foram realizados apenas na parte do circuito *surge stopper*, estando completamente isolado dos módulos conversores DC/DC.

### 3.6.2 Conversor DC/DC $48V_{DC}$ para $32V_{DC}$

O conversor DC/DC de  $48V_{DC}$  para  $32V_{DC}$  emprega o CI de PN MAX17574ATG+ da fabricante *Analog Devices*. Suas especificações elétricas incluem corrente máxima de operação de até 3A, bem como tensão de entrada mínima  $V_{INmin}$  de  $4,5V_{DC}$  e tensão de entrada máxima  $V_{INmax}$  de  $60V_{DC}$  [11]. Uma característica importante deste CI é que ele contempla a definição de três modos de operação, sendo eles o *Pulse Width Modulation* (PWM), o *Pulse Frequency Modulation* (PFM) e o *Discontinuous-Conduction Mode* (DCM). A escolha do modo a ser

utilizado é conduzida por meio da montagem ou não dos resistores de valor 0R,  $R_{32}$  e  $R_{33}$  na PCI, seguindo a Tabela 11.

Tabela 11: Modos de operação do CI MAX17574ATG+.

Modo	$R_{32}$	$R_{33}$
PWM	Não montado	0R
PFM	Não montado	Não montado
DCM	0R	Não montado

A 1ª PCI foi configurada com o MAX17574ATG+ atuando no modo DCM, enquanto que a 2ª PCI foi configurada com o MAX17574ATG+ atuando no modo PWM.

O ajuste de tensão na saída do conversor DC/DC  $48V_{DC}$  para  $32V_{DC}$  é feito através da manipulação dos resistores  $R_{29}$  e  $R_{31}$  [11]. O *datasheet* do CI MAX17574ATG+ auxilia na determinação destes resistores conforme a tensão de saída desejada. Esta relação é dada em (4), com  $R_{29}$  e  $R_{31}$  do conversor DC/DC  $48V_{DC}$  para  $32V_{DC}$  da Figura 11 dados em  $k\Omega$ .

$$R_{31} = \frac{0,9 * R_{29}}{(V_{OUT} - 0,9)} \Omega \quad (4)$$

A primeira montagem, tanto na PCI1 como na PCI2, foi feita com os valores dos resistores  $R_{29}$  e  $R_{31}$  em  $510 k\Omega$  e  $14,3k\Omega$ , respectivamente. Isto resultou em uma tensão de saída  $V_{OUT}$  calculada igual a  $32,99V_{DC}$ . Contudo, nos testes práticos, notou-se que a tensão de saída  $V_{OUT}$  medida para a PCI 1 foi de  $34,12V_{DC}$  e para a PCI 2  $34,8V_{DC}$ . A Figura 25 exhibe o procedimento realizado para a medição.

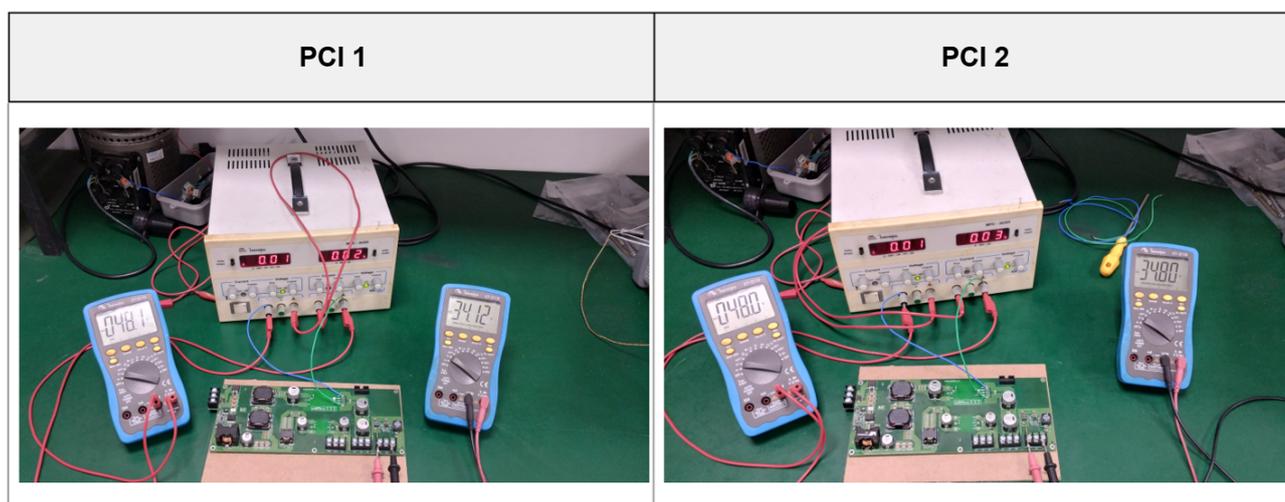


Figura 25: Medida da tensão de saída.

Percebe-se que a tensão  $V_{OUT}$  medida apresentou um leve aumento em relação à calculada e desejada, em torno de  $2V_{DC}$ . Com o intuito de ajustar esta diferença, ajustou-se  $R_{31}$  para  $15,4k\Omega$  de forma que a tensão  $V_{OUT}$  calculada fosse  $2V_{DC}$  menor que os  $32V_{DC}$  desejados, ou seja, aproximadamente  $30V_{DC}$ . Desta forma, se o comportamento se repetisse, seria medido um  $V_{OUT}$  de  $32V_{DC}$  na saída do circuito. No entanto, não aconteceu conforme previsto, e constatou-se um efeito direto, medindo-se  $30,62V_{DC}$  na saída do conversor. Desta forma, o

valor medido resultou no valor calculado e empregado em ambas as PCIs nos testes, conforme mostra a Figura 26.

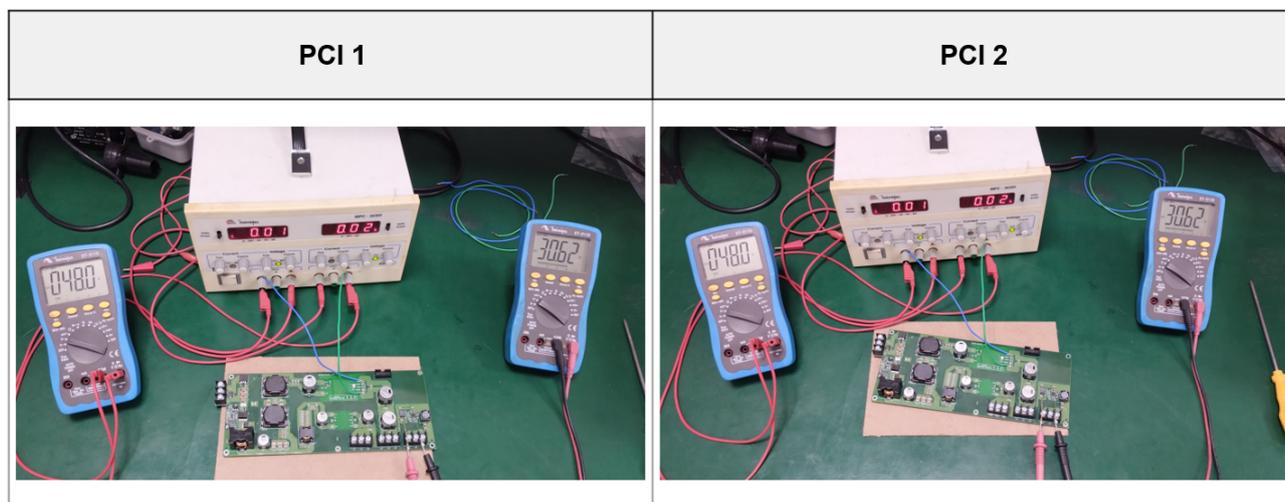


Figura 26: Medida da tensão de saída após o ajuste.

Portanto, conclui-se que o valor de  $R_{31}$  ainda precisa de um ajuste fino para alcançar a tensão desejada. Uma possibilidade de teste posterior seria aplicar  $R_{31}$  igual a  $14,7\text{k}\Omega$ , que é justamente o valor de  $R_{31}$  em que, com  $R_{29}$  igual a  $510\text{ k}\Omega$ , resulta em um valor calculado de  $32 V_{DC}$ .

### 3.6.3 Conversor DC/DC $-48V_{DC}$ para $48V_{DC}$

O conversor DC/DC de  $-48V_{DC}$  para  $48V_{DC}$  utiliza o CI de PN BMR6841100/001 da fabricante FLEX. Suas especificações elétricas incluem, por exemplo, potência máxima de operação de até  $700\text{W}$  e tensão nominal de  $50V_{DC}$ .

De acordo com a especificação técnica do módulo FLEX ilustrado na Figura 27 [12], as tensões mínima e máxima de operação são de  $36V_{DC}$  a  $75V_{DC}$ .

<p><b>Electrical specifications for BMR684 1100/001</b></p> <p><b>50 V, 14 A / 700 W</b></p> <p>Min and Max values are valid for: <math>T_{p1} = -40</math> to <math>+85\text{ }^\circ\text{C}</math>, <math>V_{in} = 36</math> to <math>75\text{ V}</math>, unless otherwise specified under conditions. Typical values given at: <math>T_{p1} = +25\text{ }^\circ\text{C}</math>, <math>V_{in} = 48\text{ V}</math>, max <math>I_o</math>, unless otherwise specified under conditions.</p> <p>Additional external <math>C_{in} = 470\text{ }\mu\text{F}</math>, <math>C_{out} = 1\text{ mF}</math>.</p>
--

Figura 27: *Datasheet* do componente BMR66841100/001.

O módulo FLEX foi testado e montado na PCI do conversor DC/DC, variando-se a tensão de entrada através de fonte de bancada. Os resultados podem ser observados na Tabela 12.

Tabela 12: Medidas de saída do módulo FLEX.

$V_{in}$ [V <sub>DC</sub> ]	$V_{out}$ [V <sub>DC</sub> ]
32	0
33	48
34	48
35	48
36	48
37	48
40	48
45	48
48	48
52	48
55	48
56	0

É importante salientar que, em testes feitos anteriormente, com a tensão de entrada maior ou igual a  $56V_{DC}$ , o circuito *surge stopper* entra em modo de proteção (*Overvoltage Protection*).

Para o teste de corrente máxima na saída deste circuito, observou-se primeiramente a especificação técnica do módulo FLEX BMR6841100/001, sendo uma corrente máxima de saída de 14A. No ensaio em laboratório, utilizou-se uma carga resistiva fixa com consumo de corrente igual a 12,2A. Como a tensão de saída é de  $48V_{DC}$ , a potência entregue pelo módulo foi de 585W.

Outro detalhe importante é que a tensão de saída necessária para a solução é de  $48V_{DC}$ , e sabe-se que a tensão de saída nominal do módulo FLEX BMR6841100/001 é  $50V_{DC}$ . Desta forma, para realizar o ajuste na tensão de saída é preciso configurar os componentes  $R_{36}$  e  $POT_1$  com  $15k\Omega$  e  $10k\Omega$ , respectivamente.

A Figura 28 apresenta o método de ajuste da tensão de saída do módulo FLEX para  $48V_{DC}$ . Ele é feito através de uma tabela que define os valores padrão de porcentagem de decaimento ou incremento da tensão de saída  $V_{OUT}$  desejada, ajustada através do resistor  $R_{adj}$ , ou  $R_{36}$ , nas PCBs montadas.

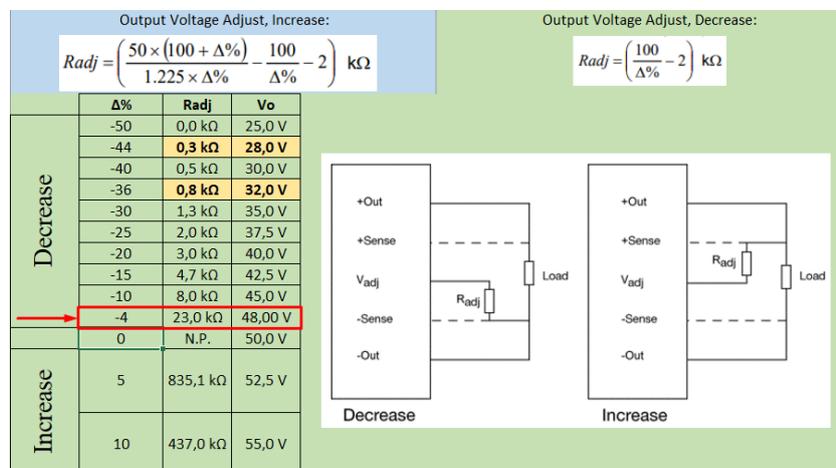


Figura 28: Método de ajuste  $48V_{DC}$ .

### 3.6.4 Conversores DC/DC integrados

Um dos principais desafios do projeto é o consumo de potência e de temperatura. Com isto em mente, foi feito um mapeamento macro do conversor DC/DC com o intuito de identificar quais componentes apresentam maior aquecimento para que, posteriormente, seja realizado um monitoramento pontual dos mesmos. Com uma câmera térmica com sensor infravermelho, foram identificados os componentes que apresentavam maior aquecimento, conforme Figura 29.

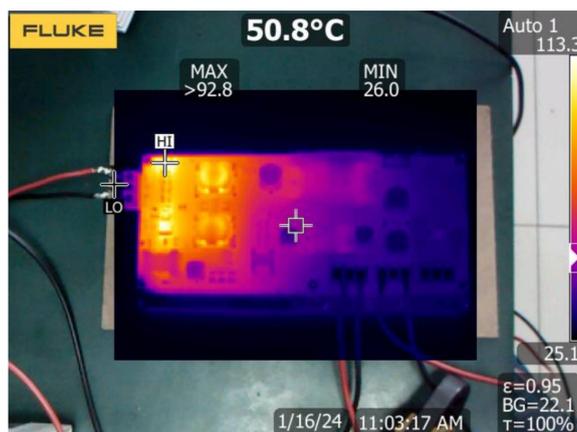


Figura 29: Mapeamento dos componentes de maior aquecimento.

As condições para os testes realizados nos conversores DC/DC foram:

- Frequência de chaveamento do *surge stopper* de 400 kHz com consumo de corrente de 13,3A, 14,5A ou 15,5A;
- Frequência de chaveamento do *surge stopper* de 800kHz com consumo de corrente de 13,3A;
- Frequência de chaveamento do *surge stopper* de 200kHz com consumo de corrente de 15,38A.

Foram utilizadas cargas para consumo de corrente de 15,5A e tensão de  $48V_{DC}$ , totalizando uma potência consumida de 745W:

- No módulo Flex BMR6841100/001 com saída de  $48V_{DC}$ , foi consumida uma corrente de 12,2A, resultando em uma potência entregue de 585W;
- No módulo Flex PKU4913DPIHS com saída de  $12V_{DC}$ , foi consumida uma corrente de 8,33A, resultando em uma potência entregue de 100W.

Portanto, a potência real entregue nas saídas foi de 685W, e, baseado nessas informações, calculou-se o rendimento total do módulo conversor DC/DC em aproximadamente 92%.

Um ponto importante a ser destacado é que a frequência de chaveamento do circuito *surge stopper* é feita através do resistor  $R_{10}$ , conforme apresentado na Figura 30.

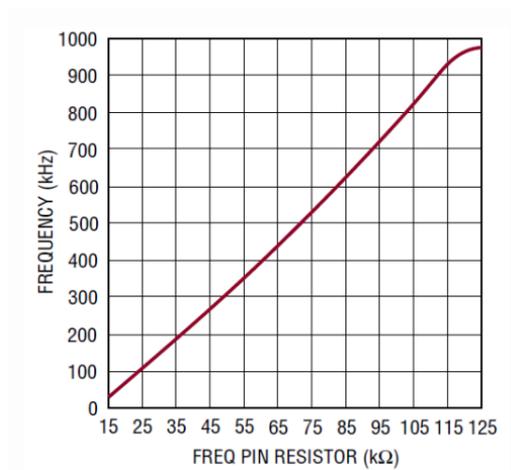


Figura 30: Frequência de chaveamento versus valor do resistor no pino FREQ ( $R_{10}$ ).

O comparativo de temperatura de operação dos componentes do conversor DC/DC foi feito através do uso de 3 termopares com monitoramento das temperaturas do MOSFET ( $Q_1$  - *surge stopper*), do indutor ( $L_8$  - filtro *Electromagnetic Interference* (EMI) do FLEX 48V) e do dissipador acoplado aos módulos FLEXs, como mostra a Figura 31.

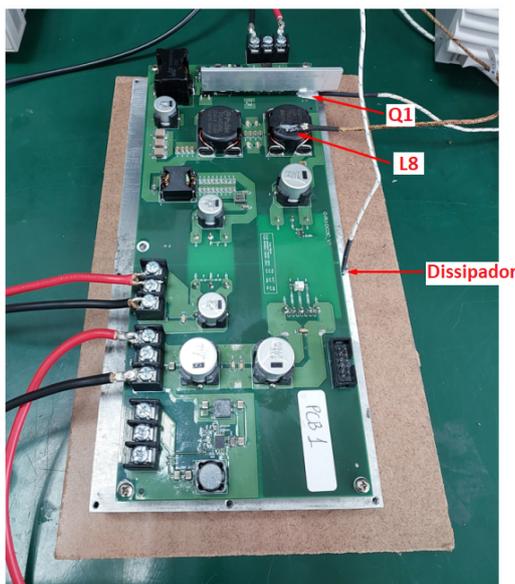


Figura 31: Posicionamento dos termopares durante o teste.

Na Figura 32 é apresentado o comparativo de temperatura de operação dos componentes, com o *surge stopper* ajustado para operar com as frequências de chaveamento de  $400kHz$  e  $800kHz$ , e com o circuito consumindo  $13,3A$  na entrada.

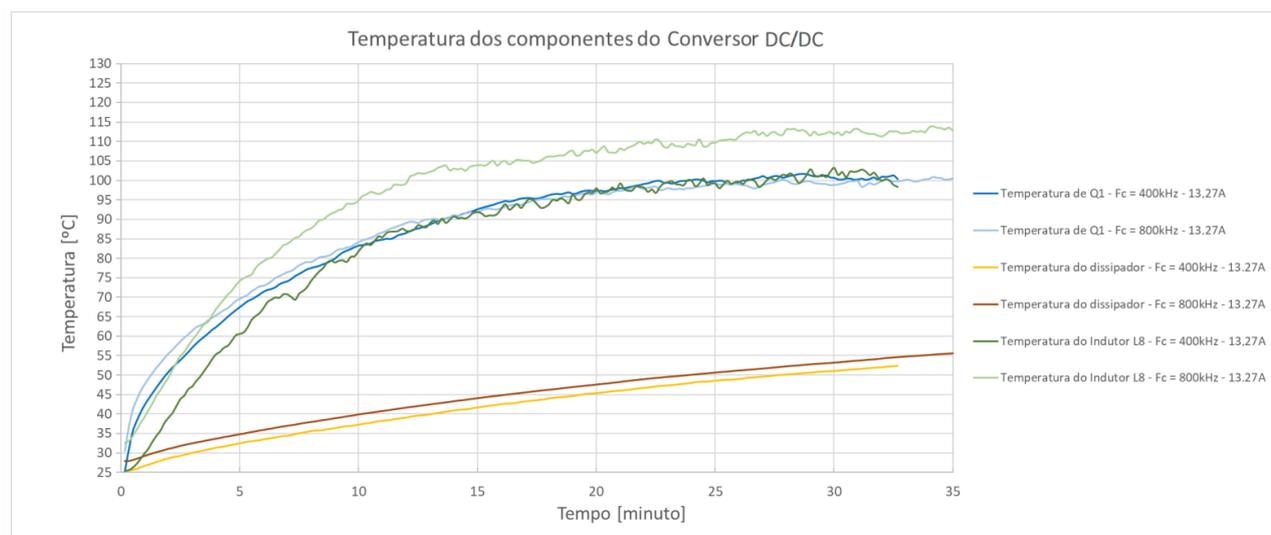


Figura 32: Monitoramento da temperatura de operação dos componentes com frequência de chaveamento  $400kHz$  e  $800kHz$  e corrente de  $13,3A$ .

Analisando os resultados obtidos, identificou-se que:

- A temperatura do MOSFET  $Q_1$  não apresentou mudança significativa com diferentes frequências de chaveamento;
- A temperatura do dissipador aumentou levemente com a elevação da frequência de chaveamento;
- O indutor  $L_8$  apresentou aumento considerável de temperatura ao operar com frequência de chaveamento de  $800kHz$ ;
- O circuito *surge stopper* operando com menor frequência de chaveamento o conversor DC/DC apresenta melhor desempenho.

Na Figura 33 é apresentado o comparativo de temperatura de operação dos componentes com o *surge stopper* ajustado para operar com as frequências de chaveamento de  $400kHz$  e  $200kHz$  e com o circuito consumindo  $15,5A$  na entrada.

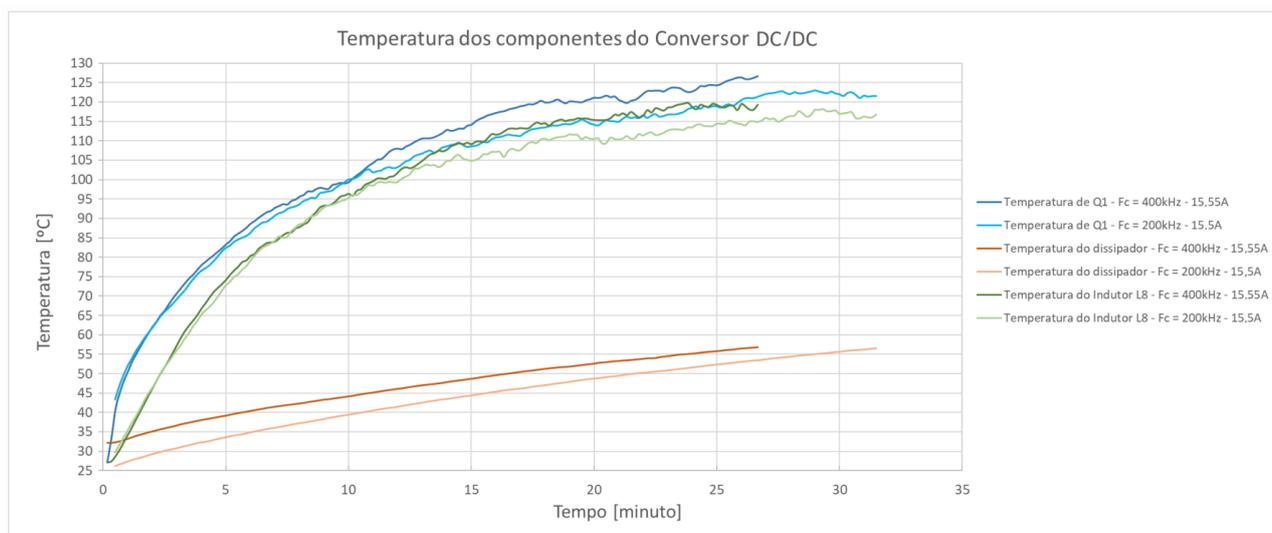


Figura 33: Monitoramento da temperatura de operação dos componentes com frequência de chaveamento  $400kHz$  e  $200kHz$  e corrente de  $15,5A$ .

Avaliando os resultados alcançados, constata-se que:

- A temperatura dos componentes MOSFET  $Q_1$ , indutor  $L_8$  e dissipador apresentaram uma redução em torno de  $4^{\circ}C$  quando operam com frequência de chaveamento de  $200kHz$ . Portanto, é possível afirmar que o desempenho do conversor DC/DC é melhor quando a frequência de operação do circuito *surge stopper* é menor ( $200kHz$ ).

Soluções alternativas estão sendo avaliadas para mitigar as altas temperaturas. Uma delas é empregar o CI protetor de surto LTC7862HFE#PBF, cujas características que o diferem do atual LTC7860HMSE#PBF são mais atrativas em relação ao problema térmico. Ao invés de empregar MOSFETs de canal P operando em modo assíncrono, o LTC7862HFE#PBF utiliza MOSFETs de canal N operando em modo síncrono. Esta configuração garante melhor estabilidade, a solução mostra menor elevação térmica em seus componentes, e podem ser encontrados no mercado componentes com resistência interna relativamente menor.

Embora os testes feitos já comprovem seu funcionamento assertivo, há, ainda, diferentes validações que precisam ser realizadas no conversor DC/DC. É necessário verificar o nível de *ripple* da tensão de saída do circuito *surge stopper*, bem como testar os limiares de tensão de entrada e a corrente máxima de saída entregue nos módulos conversores  $48V_{DC}/32V_{DC}$  e  $48V_{DC}/12V_{DC}$ . Também é preciso que se valide o acionamento lógico remoto do módulo FLEX BMR6841100/001 e que sejam feitos ajustes finos de tensão de saída em todos os módulos conversores de tensão. Deve-se, aqui, pontuar que os testes iniciais com o protótipo funcional indicam uma potência entregue total medida de  $685W$  e, com base nas estimativas iniciais, espera-se que os circuitos consumam uma potência real máxima de  $710W$ . Uma vez normalizada a temperatura dos MOSFETs, serão realizados mais testes de consumo de potência, sendo desta vez utilizado uma carga resistiva.

A garantia de que o conversor DC/DC esteja validado em relação à *Electromagnetic Compatibility* (EMC) é muito importante. Para tal, serão realizados os testes de emissão conduzida e radiada, imunidade conduzida e irradiada, e também os testes de imunidade a sinais *burst*, a descargas eletrostáticas (*Electrostatic Discharge* (ESD)) e a surtos de tensão, bem como testes de resistibilidade.

## 4 Módulo de processamento em banda base

A solução proposta no projeto OpenRAN@Brasil consta em desenvolver um módulo de processamento em BB responsável pelo tratamento dos sinais e executar diversas funcionalidades necessárias na camada PHY em uma O-RAN, operando com  $+12V_{DC}$ . Este módulo é constituído por recursos de comunicação da interface *Fronthaul*, processamento O-RAN, iFFT/FFT na camada PHY, DFE e RF, conversões DACs e ADCs, entre outros.

### 4.1 Sistema de alimentação

Uma das responsabilidades do módulo conversor DC/DC é fornecer a tensão de alimentação de  $+12V_{DC}$  para o RFSoc DFE. A Figura 34 apresenta a árvore de potência do RFSoc DFE[13].

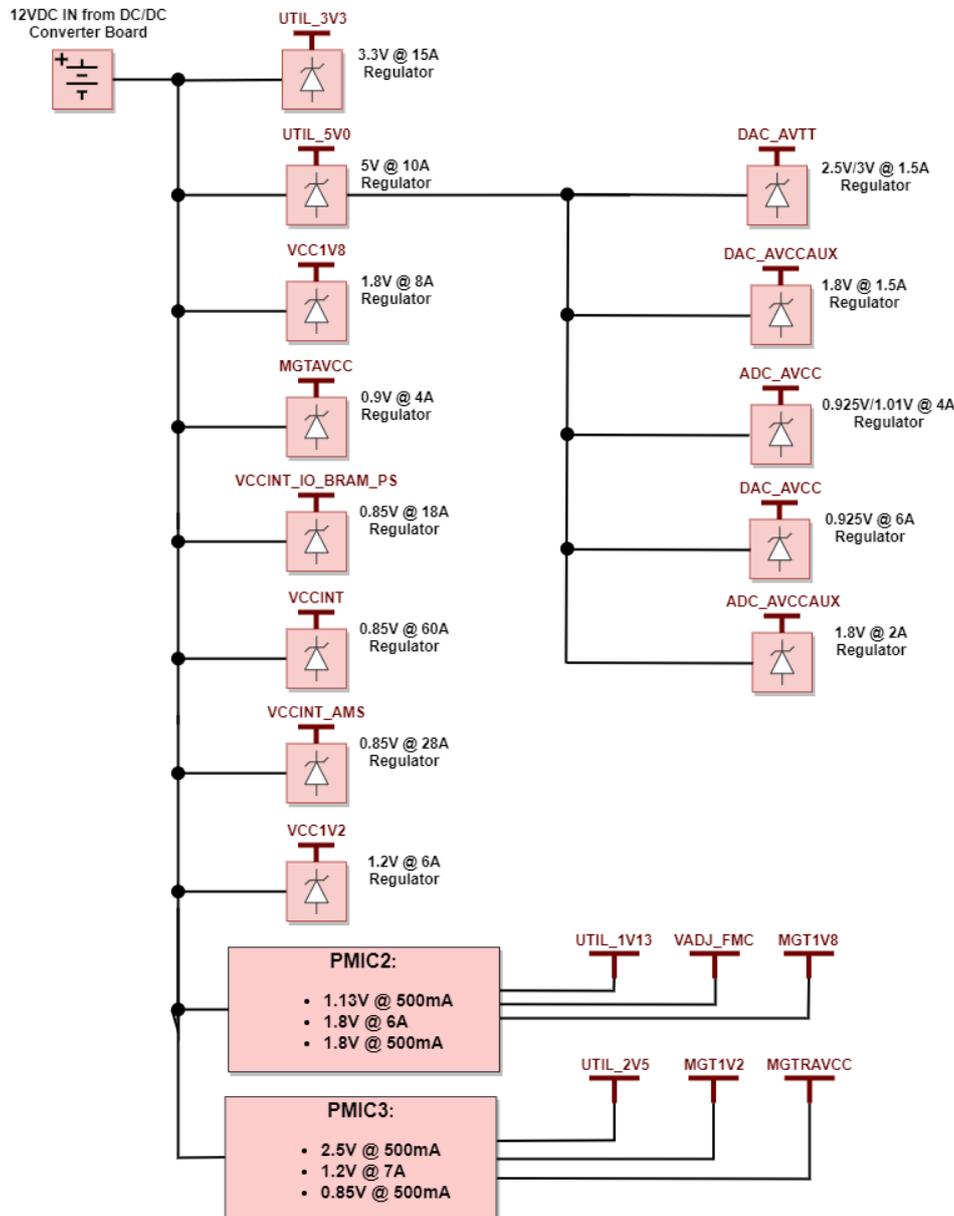


Figura 34: Árvore de potência do módulo processamento em BB.

Esta árvore tem como objetivo avaliar a capacidade de fornecimento de corrente do PMIC, reguladores e chaveadores de tensão. Estão previstos circuitos com funcionalidade de medidas de segurança protetivas como supressores de picos de tensão (diodo TVS), filtragem através de indutores e capacitores e a utilização de PMIC, reguladores e chaveadores de tensão para obter as tensões necessárias de operação de todo o sistema.

## 4.2 Sistema de processamento e memória

O diagrama em blocos do sistema de processamento e memória é ilustrado na Figura 35. O RFSoc DFE definido possui o PN XCZU67DR-2FSVE1156I e é composto por: conversores de dados de RF (8 RF DAC em relação à TX e 8 RF ADC em relação à RX) para uma banda direta de até 7,125 GHz e *instantaneous Bandwidth* (iBW) de 400 MHz, núcleos 5G *New Radio* (NR) otimizados, incluindo *Digital Up Conversion* (DUC), *Digital Down Conversion* (DDC), DPD, CFR e *core Intellectual Property* (IP) de processamento *Low-PHY*, subsistema de processamento ARM para calibração de RF, DPD, entre outros. Além disso, possui uma memória *Random Access Memory* (RAM) DDR4 de 4GB para dar mais agilidade e velocidade no funcionamento do lado PL e também uma outra memória RAM DDR4 de 4GB para o lado PS.

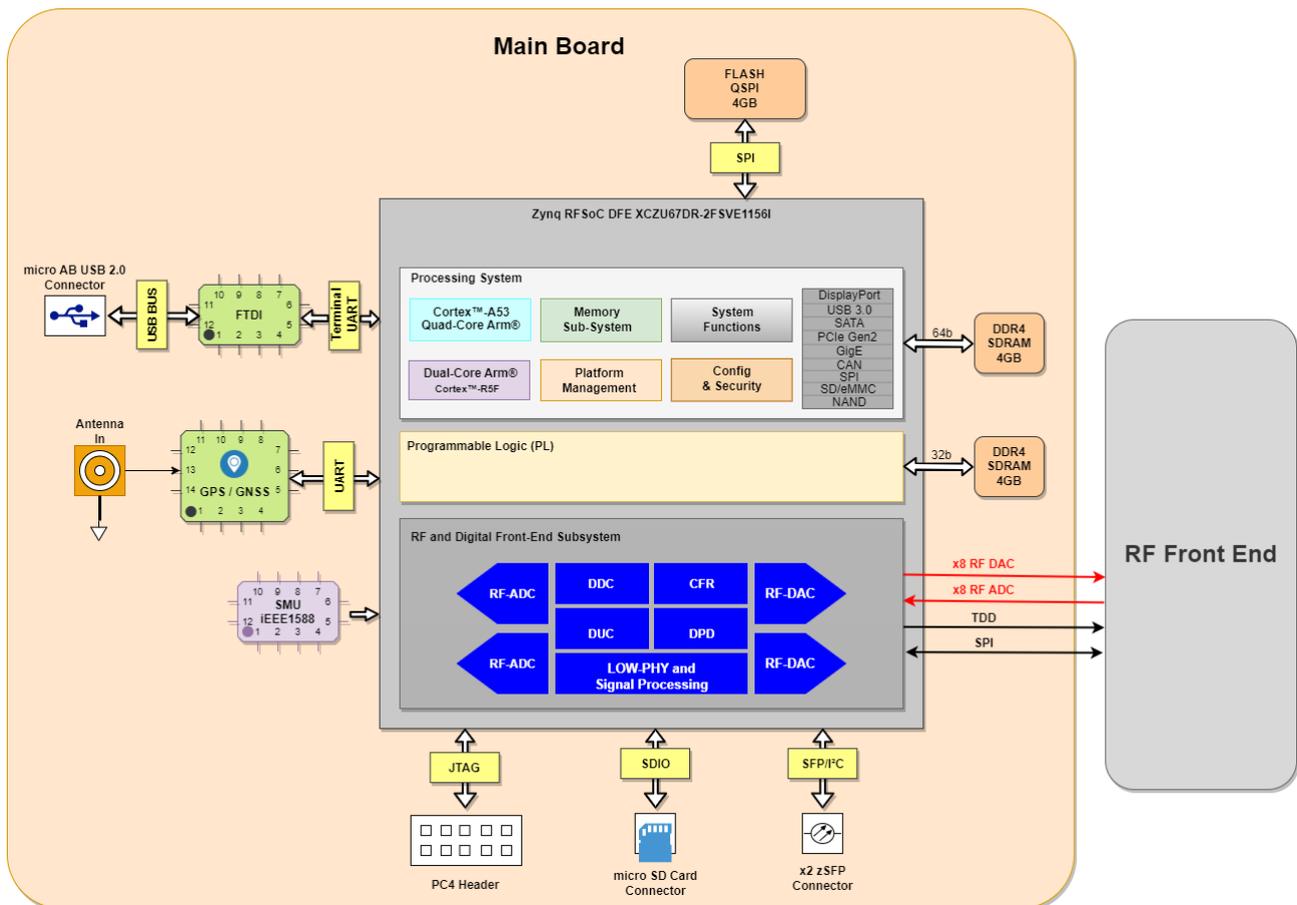


Figura 35: Diagrama em blocos do sistema de processamento e memória.

Dentre os diversos tipos de controle de acesso aos periféricos, a O-RU possui os seguintes requisitos de tecnologias de comunicação estabelecidas:

- USB 2.0: para *debug* serial e monitoramento de funcionamento do dispositivo a nível de *log files* (histórico de tudo que acontece com o sistema) utilizando um chip com PN FT4232HL para conversão de uma interface *Universal Asynchronous Receiver/Transmitter* (UART) para USB 2.0;
- *Global Position System* (GPS)/*Global Navigation Satellite System* (GNSS): para sincronização do sistema fornecendo o sinal de sincronismo de *Pulse Per Second* (1PPS), caso for necessário. Este periférico utiliza a interface UART e possui um conector de RF para interligar uma antena externa ao módulo;
- SMU: para uso de ferramentas de gerenciamento de referências de sincronismo, fontes de *clocks* e caminhos de sincronismo para relógios baseados em *Institute of Electrical and Electronics Engineers* (IEEE) 1588 e *Synchronous Ethernet* (SyncE), através da matriz de *clocks* com PN 8A34001;
- *Joint Test Action Group* (JTAG): para realização da gravação do RFSoc DFE e a depuração da aplicação em tempo de desenvolvimento. Para esta interface é utilizada um conector PC4 *Header*, padrão para o gravador JTAG SmartLynq *Data Cable* da AMD Xilinx®;
- *Secure Digital Input Output* (SDIO) *card*, *Quad Serial Peripheral Interface* (QSPI) e JTAG: para *boot*, ou seja, carregar um sistema operacional;
- SFP28/I<sup>2</sup>C: para implementar a interface *Open Fronthaul* utilizando conector zSFP/zSFP+.

O projeto pode operar em ambientes externos, portanto, é preciso que os dispositivos suportem temperaturas elevadas. Por isso, definiram-se componentes que operem em ambientes industriais, os quais funcionam em temperatura maior quando comparados aos modelos convencionais. Resumidamente, as especificações da DFE são descritas nas Tabelas 13 e 14[13].

Tabela 13: Especificações técnicas do módulo de processamento em BB - Parte 1.

Item	Descrição
Tensão de entrada	+ 12 $V_{DC}$
Potência máxima [13]	50 W
PN do RFSoc DFE	XCZU67DR-2FSVE1156I
Unidades de Processamento	APU Cortex-A53
	RPU Cortex-R5F
Interfaces	UART
	USB 2.0
	JTAG
	SDIO
	25G Ethernet / I <sup>2</sup> C
	<i>Serial Peripheral Interface</i> (SPI)

Tabela 14: Especificações técnicas do módulo de processamento em BB - Parte 2.

Periféricos	GPS/GNSS
	SMU
	SD <i>card</i>
	QSPI <i>flash</i> 4GB
	zSFP/zSFP+
Faixa de temperatura de operação de junção de temperatura industrial [14]	-40°C a 100°C

Para controlar e interagir com a cadeia de processamento de dados [15], os subsistemas no RFSoc DFE possuem os seguintes requisitos:

- Zynq: sistema de processamento Zynq (PS), interconexão *Advanced eXtensible Interface* (AXI) de alto nível e interfaces/conectividade para periféricos PS, como interfaces SPI e I<sup>2</sup>C;
- Vetor: principal *source* e *sink* para vetores na/e da cadeia de processamento;
- Interface RF: conversão dos dados de RF e sua conectividade de barramento;
- *Clock*: geração de *clock/reset* de nível superior, tanto para processamento de caminho de dados quanto para mapa de memória AXI;
- Temporizador: sincronização de alto nível e geração de *strobe* que faz o *clock* IEEE 1588 Protocolo de Precisão de Tempo (PTP) 1PPS criar *strobes* de temporização para O-RAN e cadeias de processamento de DL e UL;
- *Ethernet*: subsistema *Ethernet* 25G e blocos *Direct Memory Access* (DMA) e IEEE 1588 PTP necessários;
- O-RAN: IP da interface de rádio O-RAN conectado à *Ethernet* 25G para enviar e receber tráfego *Fronthaul* e blocos necessários para fazer interface com a cadeia de processamento DFE para o tráfego do plano de usuário e controle.

A cadeia de processamento principal consiste em caminhos de dados separados em DL e UL. Estes são agrupados em diversos subsistemas com base no tipo de processamento de sinal realizado. O processamento de sinal de DL e UL, normalmente executa operações inversas na cadeia de processamento [15]. Estes subsistemas são:

- *Fourier Transform* (FT): recepção e conversão de símbolos *Orthogonal Frequency Division Multiplexing* (OFDM) no domínio da frequência em amostras no domínio do tempo para cada portadora componente em DL e UL. Em UL, há o processamento *Physical Random Access Channel* (PRACH);
- *Component Carrier* (CC): filtragem e conversão ascendente de portadoras componentes em um sinal combinado para aplicação em RF. Em UL, o fluxo de sinal é reverso, sendo extraído e filtrado as portadoras componentes do sinal combinado;

- *Front-End* Digital: *Front-end* de processamento de RF, do qual na transmissão o sinal combinado é otimizado para transmitir e na recepção pode ser equalizado com o intuito de corrigir a polarização no circuito. Os blocos de RF (DACs e ADCs) do RFSoc apresentam potência máxima de saída do sinal 5G na banda n78 de aproximadamente -20 dBm e potência de entrada recomendada entre -38 a 2 dBm.

### 4.3 Sistema de sincronização

O diagrama da Figura 36 ilustra o sistema de *clocks* elaborado para o projeto, parte vital para o funcionamento correto da solução.

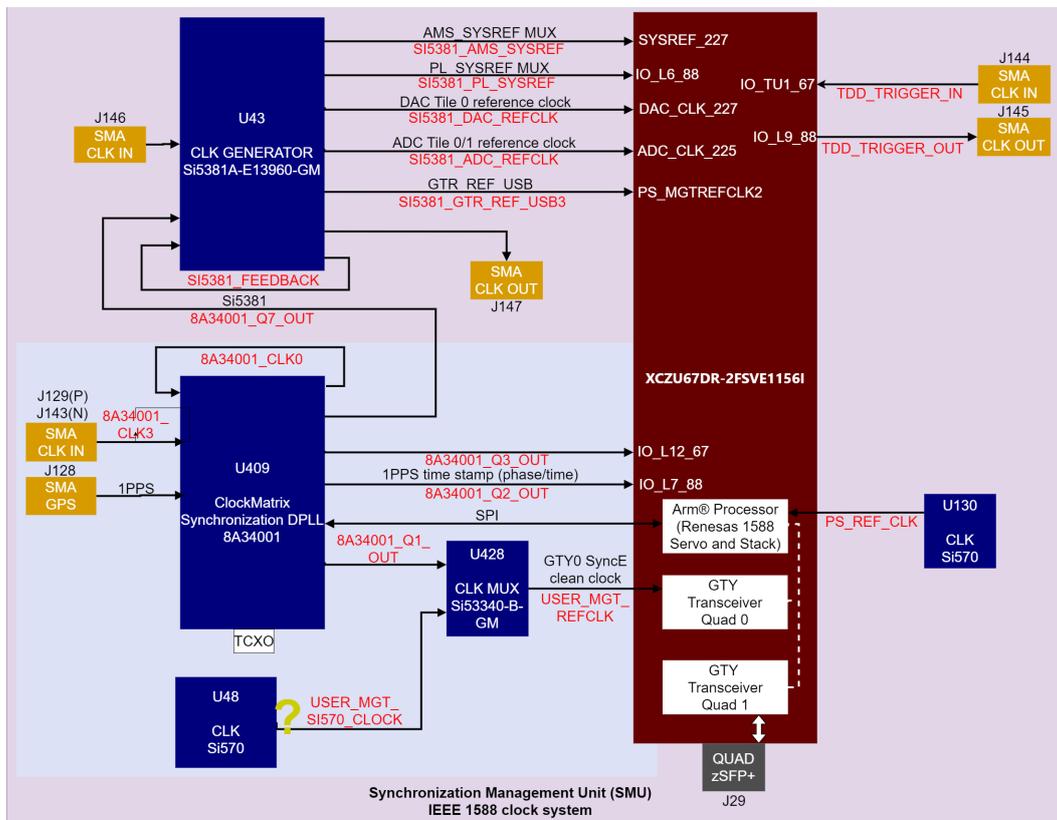


Figura 36: Diagrama em blocos do SMU.

O gerador de *clocks* programável com PN Si5381A-E13960-GM é responsável pela maior parte dos *clocks*. A matriz de *clock* 8A34001 da Renesas® faz a parte de sincronização entre os *clocks* recuperados do SyncE e do GNSS, e seu controle é feito por via da interface SPI com o PS do RFSoc DFE utilizando os *drivers* de servo e pilha IEEE 1588 fornecidos pela Renesas. A fabricante Renesas® disponibiliza *firmwares*, documentações e todo material necessário em seu site [16].

O SMU recebe os *clocks* de referência recuperados do SyncE como entradas e o sinal de 1PPS do GPS/GNSS e fornece os *clocks* sincronizados. Entre os *clocks* que o SMU gera está o *clock* referência do gerador que alimenta a referência dos blocos ADC/DAC. Nesta placa apenas o grupo de transceptores GTY 1 (banco 128) está conectado ao conector quad zSFP+.

#### 4.4 Desenvolvimento preliminar do *hardware* DFE

A partir da análise da solução de *hardware* do projeto, iniciou-se o desenvolvimento preliminar do módulo de processamento em BB, com o intuito de elaborar o esquema elétrico completo. O RFSoc DFE escolhido possui o PN XCZU67DR-2FSVE1156I, e é formada por grupos de esquemas de alimentações, núcleo, memórias e periféricos [13]. Esse conjunto de circuitos possibilita que o RFSoc trabalhe como um *Software Defined Radio* (SDR).

Através da alimentação +12V<sub>DC</sub> do módulo conversor DC/DC são ramificadas diversas alimentações utilizadas na solução, conforme ilustrado no sistema de alimentação da Figura 34. Nas alimentações VCCINT e VCCINT\_AMS, o componente principal IR35215 da fabricante Infineon® é um controlador *buck* PWM multifásico digital de *loop* duplo que regula a tensão de 0,85V, com capacidade de corrente máxima de 60A e 28A, respectivamente. Ele possui estágios de energia de detecção de corrente integrados, recursos de proteção integrados, Resistência de Corrente Contínua (DCR) e fornece relatórios precisos de entrada e saída para análise de tensão, corrente, potência e temperatura. O esquema elétrico é apresentado na Figura 37.

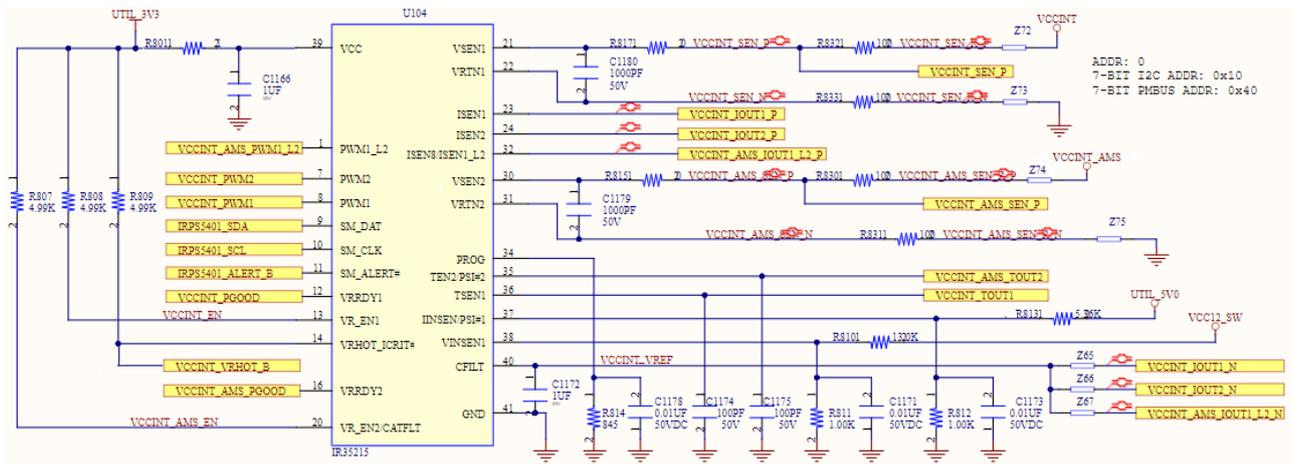


Figura 37: Esquema elétrico das alimentações VCCINT e VCCINT\_AMS - Parte 1.

A Figura 38 mostra o esquema elétrico da interface do PMBus para VCCINT e VCCINT\_AMS. O PMBus possibilita o gerenciamento e o controle da fonte de alimentação de forma confiável e integrado com técnicas avançadas através do barramento de comunicação I<sup>2</sup>C. Isto é alcançado através do uso do CI INA226 da fabricante *Texas Instruments* (TI)® que é um medidor de corrente elevada e monitor de potência com compatibilidade I<sup>2</sup>C.

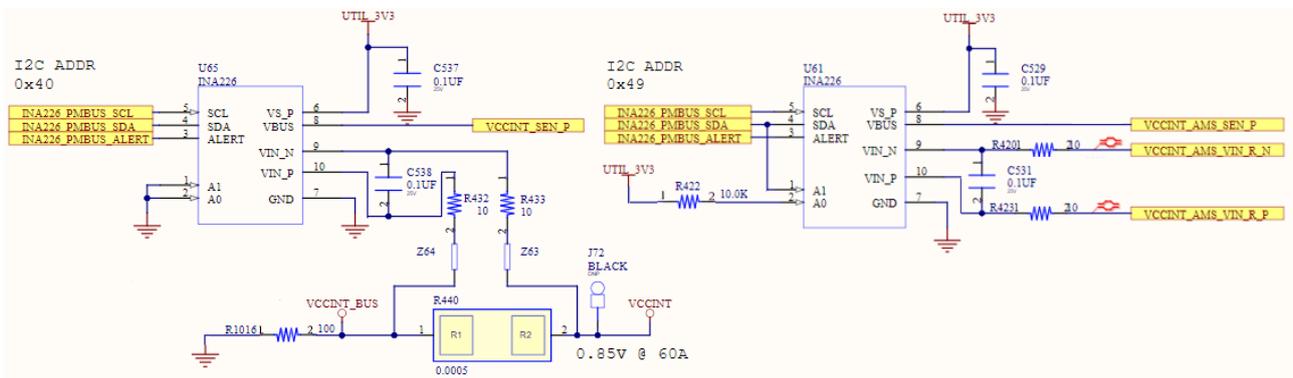


Figura 38: Esquema elétrico das alimentações VCCINT e VCCINT\_AMS - Parte 2.

O estágio de potência TDA21472 da fabricante Infineon® contém um CI síncrono de *driver buck* de baixa corrente quiescente composto por diodo *Schottky* e MOSFETs. O componente é otimizado para *layout* de PCI, transferência de calor, tempo de controle de driver/MOSFET e toque mínimo de nó de comutação. O uso de conversor do tipo *buck* e MOSFETs possibilita, maior eficiência na tensão de saída de 0,85V. Este estágio é ilustrado na Figura 39.

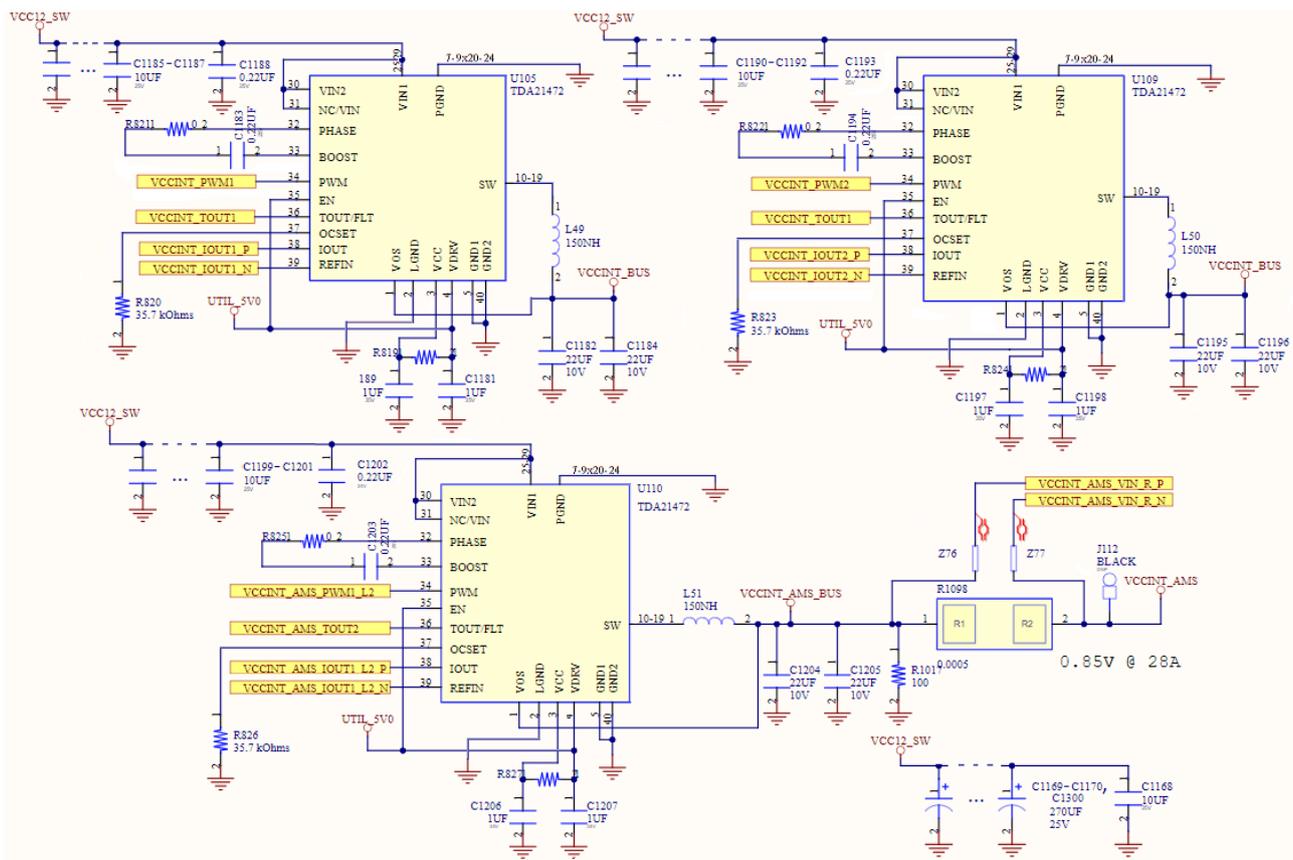


Figura 39: Esquema elétrico das alimentações VCCINT e VCCINT\_AMS - Parte 3.

Por fim, sobre as alimentações do VCCINT e VCCINT\_AMS, o esquema elétrico da Figura 40 mostra os capacitores de desacoplamento. Pode-se observar que, por exemplo, para o VCC\_INT são utilizados sessenta capacitores de 22µF, quatro capacitores de 470µF e um

capacitor de 100 $\mu$ F. Eles são empregados em paralelo com intuito de manter a tensão constante em transientes e filtrar sinais de alta frequência que geralmente são ruídos na alimentação de um carga.

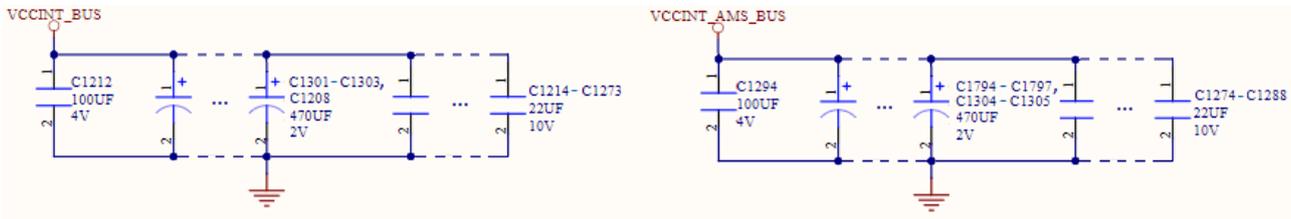


Figura 40: Esquema elétrico das alimentações VCCINT e VCCINT\_AMS - Parte 4.

Nas alimentações VCC\_IO\_BRAM\_PS, MGTAVCC e VCC1V8, o componente principal IR38164 da fabricante Infineon<sup>®</sup> é um regulador de tensão DC/DC *buck* eficiente que utiliza a interface do PMBus para monitoramento de tensão, corrente, potência e temperatura. O CI possui um controlador PWM e MOSFETs otimizados para operar com espaço reduzido, alimentação precisa das tensões de saída 0,85V/0,9V/1,8V e alta corrente (capacidade máxima de 18A, 4A e 8A, respectivamente). Os esquemas elétricos são apresentados nas Figuras 41, 42 e 43.

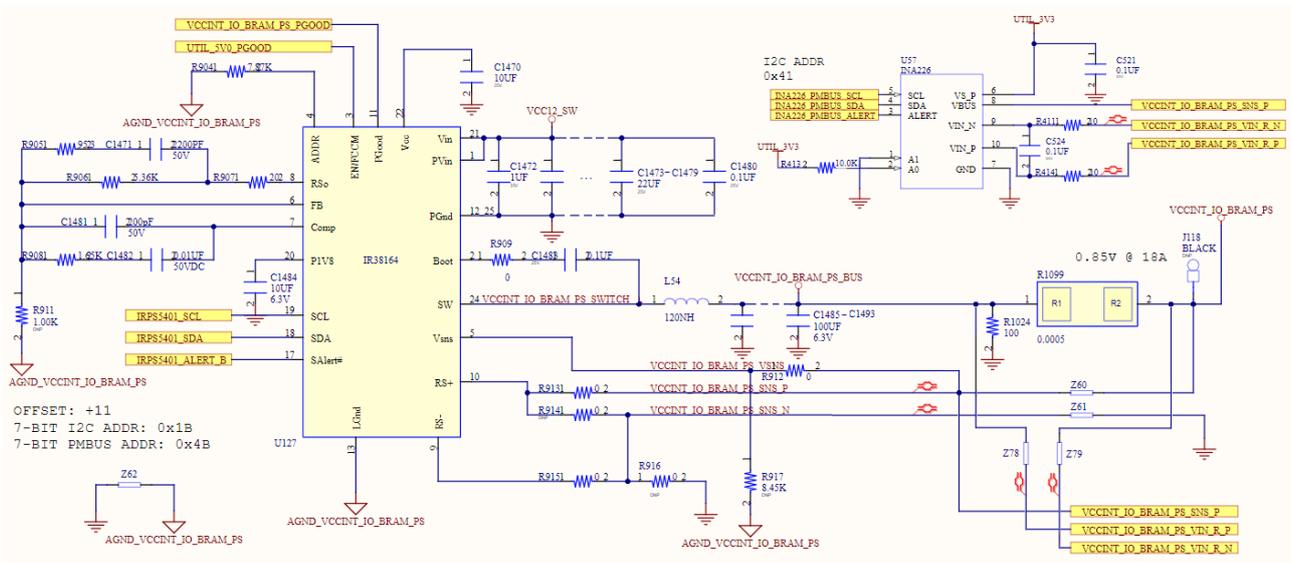


Figura 41: Esquema elétrico da alimentação VCC\_IO\_BRAM\_PS.

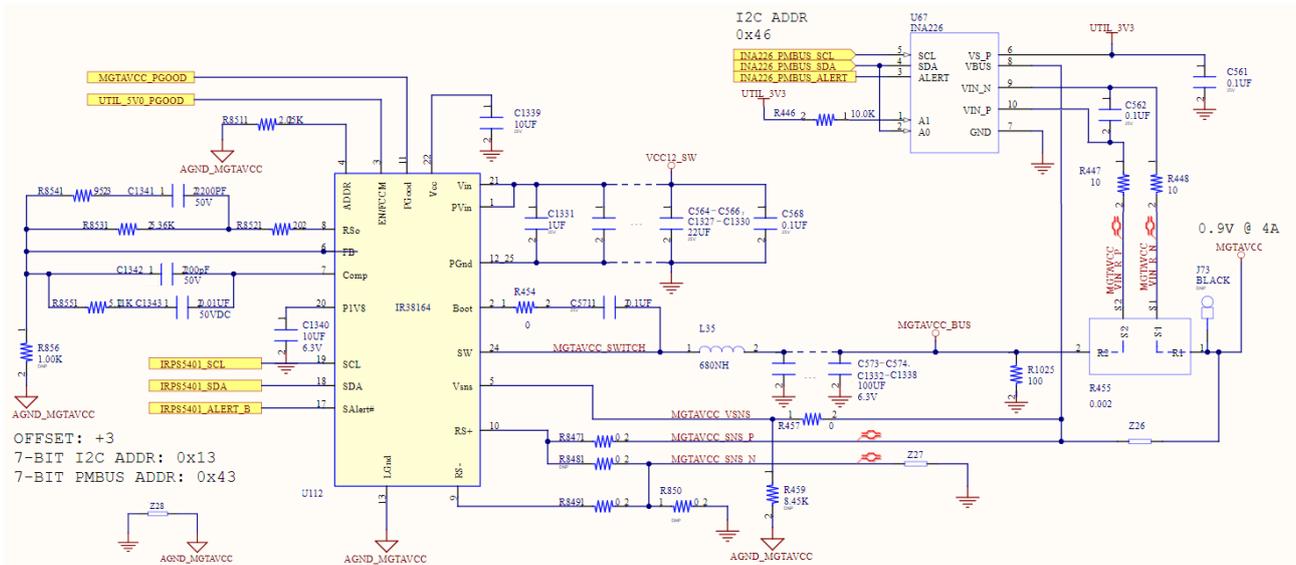


Figura 42: Esquema elétrico da alimentação MGTAVCC.

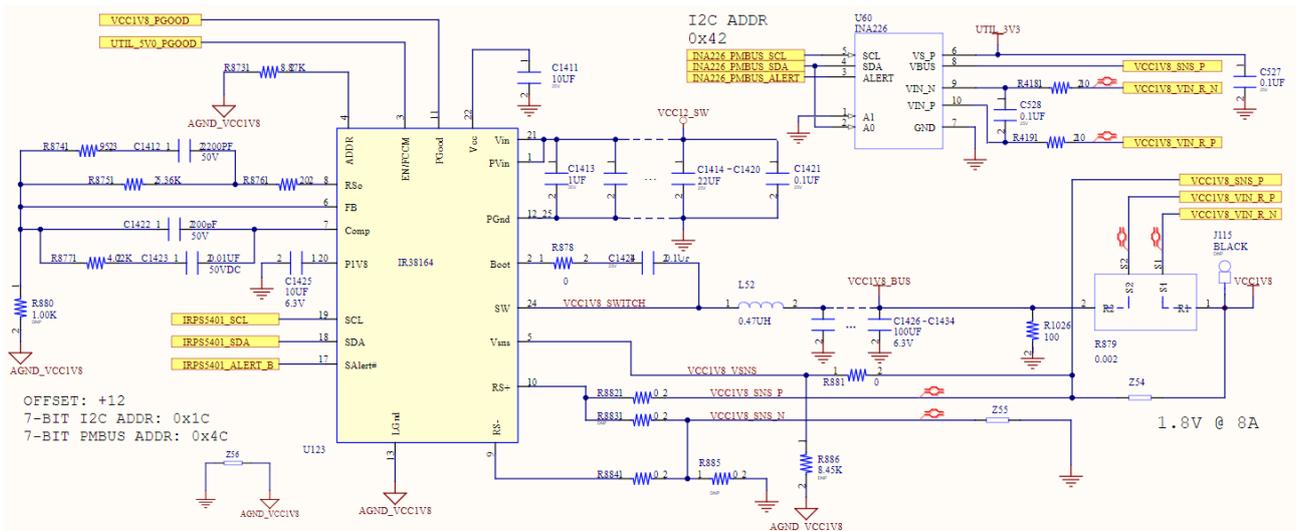


Figura 43: Esquema elétrico da alimentação VCC1V8.

Nas alimentações ADC\_AVCC e DAC\_AVCC, o componente principal MPM3683-7 da fabricante *Monolithic Power Systems* (MPS)<sup>®</sup> é um regulador de tensão DC/DC *buck* que utiliza a interface do PMBus para monitoramento de tensão, corrente, potência e temperatura. Este componente é composto por um conversor DC/DC, indutor de energia, alguns componentes passivos e recursos de proteção. O MPM3683-7 possui uma capacidade máxima de corrente de saída máxima de 4A e 6A, respectivamente, com excelente regulação na tensão de saída de 0,925V/1,01V. Os esquemas elétricos são apresentados nas Figuras 44 e 45.



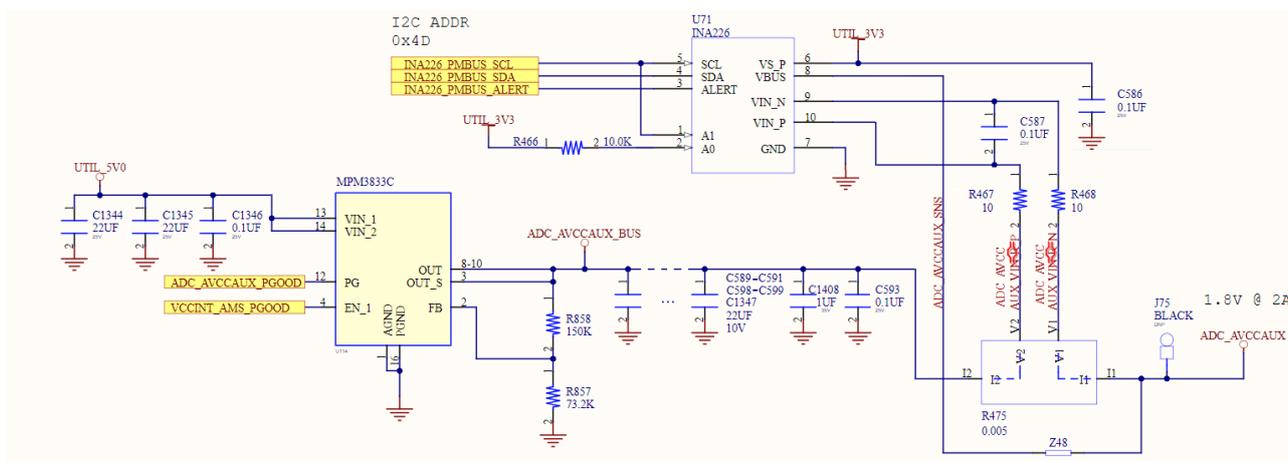


Figura 46: Esquema elétrico da alimentação ADC\_AVCCAUX.

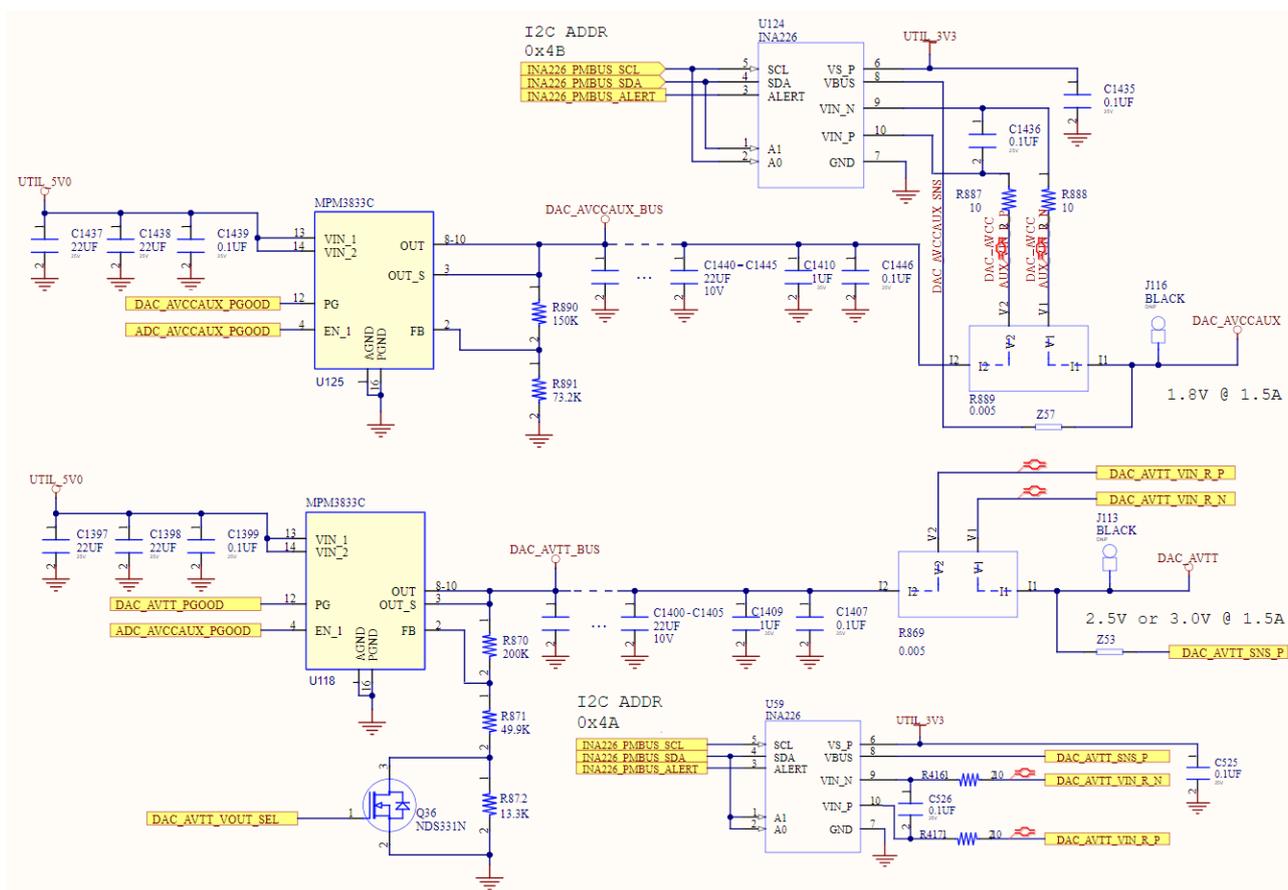


Figura 47: Esquema elétrico da alimentação DAC\_AVCCAUX e DAC\_AVTT.

Nas alimentações UTIL\_3V3 e UTIL\_5V0, o componente principal IR3889 da fabricante Infineon® é um regulador DC/DC *buck* de fase única. Este componente possui um controlador PWM, MOSFETs, diodo de inicialização integrado e recursos de proteção. Desta forma, possibilita que o CI seja de tamanho pequeno e forneça alimentação eficientemente. O IR3889 utiliza um controle rápido *Constant-On-Time* (COT) para reduzir os esforços do projeto e garantir uma resposta de controle rápida. As tensões de saída são de 3,3V e 5V com capacidade máxima

de corrente de saída de 15A e 10A, respectivamente. Os esquemas elétricos são apresentados nas Figuras 48 e 49.

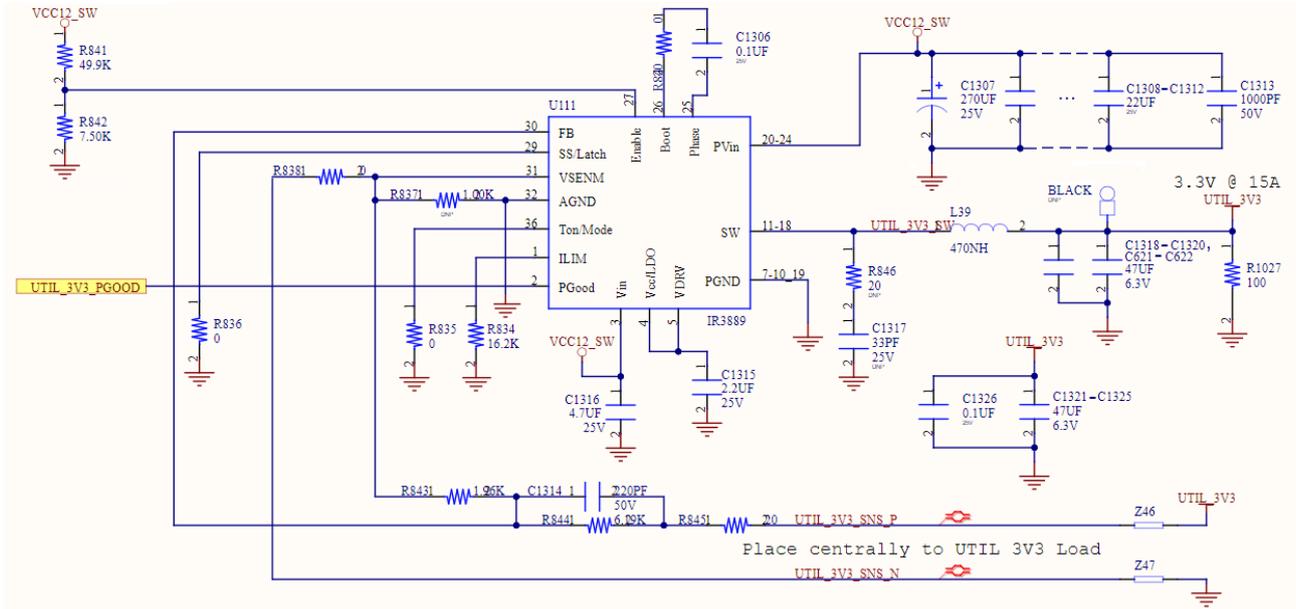


Figura 48: Esquema elétrico da alimentação UTIL\_3V3.

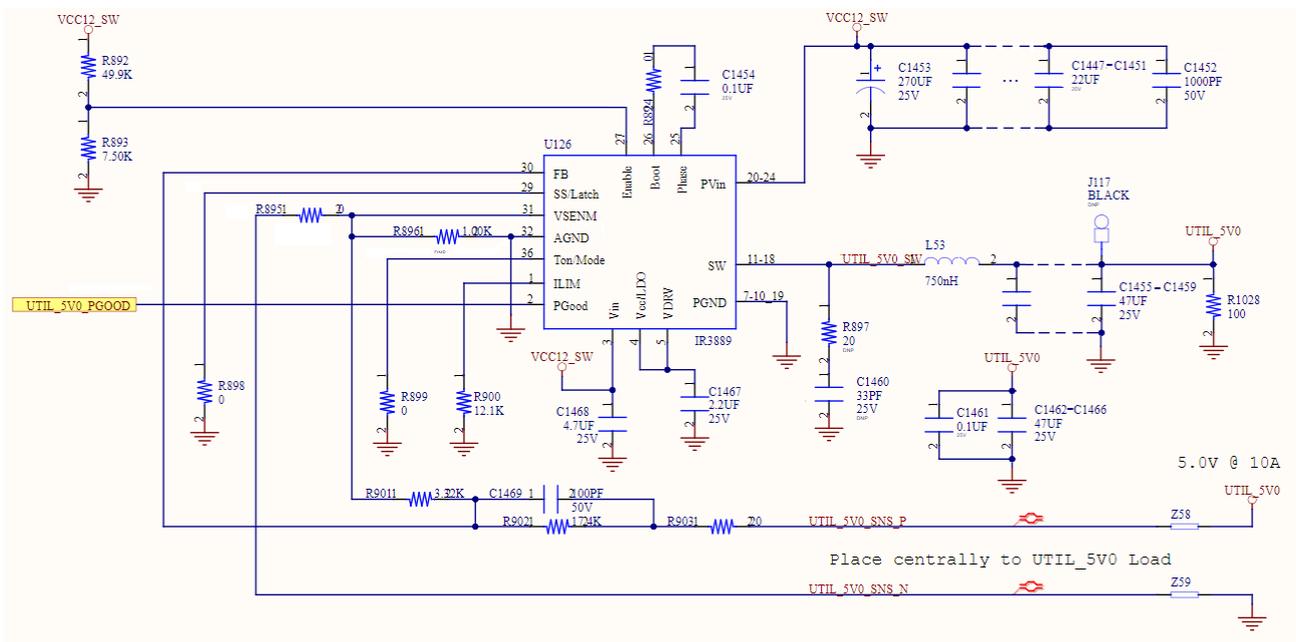


Figura 49: Esquema elétrico da alimentação UTIL\_5V0.

É importante salientar que todos os reguladores de tensão da solução possuem funções de proteção, extremamente importantes para proporcionar a segurança necessária em caso de condições de falha, tais como, inicialização/pré-polarização, desligamento térmico, limite de corrente termicamente compensado e proteção contra sobretensão e subtensão.

O sistema de alimentação da solução possui PMICs IRPS5401 da fabricante Infineon® para fornecer as tensões de núcleo e auxiliares através de reguladores de chaveamento configuráveis de

alta eficiência e um regulador linear *source/sink*. Cada controlador PMIC é capaz de reportar a tensão e a corrente de seu trilho controlado para a *Graphical User Interface* (GUI) Infineon para exibição ao usuário. As tensões de saída para o PMIC2 são 1,15V, 1,8V e 1,8V com capacidade máxima de corrente de saída de 500mA, 6A e 500mA, respectivamente. O esquema elétrico para o PMIC2 é mostrado na Figura 50.

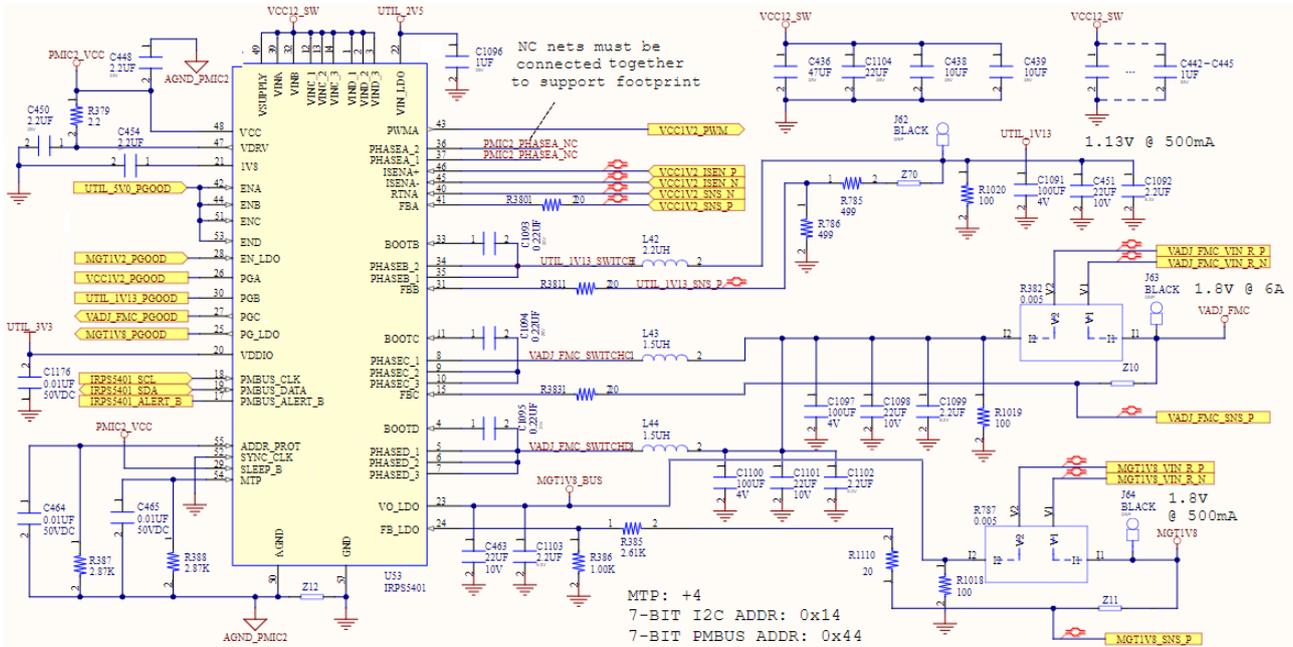


Figura 50: Esquema elétrico do PMIC2 - Parte 1.

O sinal PWM do PMIC2 vai para a alimentação VCC1V2, com tensão de saída de 1,2V e capacidade máxima de corrente de saída de 6A. Este circuito possui um estágio de potência com o TDA21240 da fabricante Infineon®, um regulador *buck* síncrono integrado com tecnologia MOSFET de lado alto e MOSFET de lado baixo. O componente é otimizado para minimizar o *layout* da PCI, obter maior desempenho e alcançar maior eficiência. O esquema elétrico para o VCC1V2 é ilustrado na Figura 51.

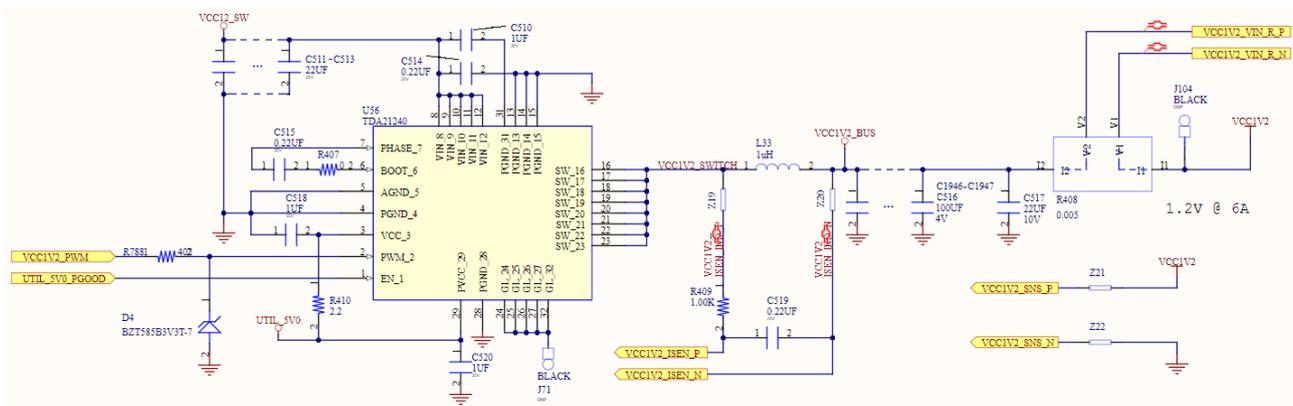


Figura 51: Esquema elétrico do PMIC2 - Parte 2.

As tensões de saída para o PMIC3 são de 2,5V, 1,2V e 0,85V com capacidade máxima de

corrente de saída de 500mA, 7A e 500mA, respectivamente. O esquema elétrico para o PMIC3 é apresentado na Figura 52.

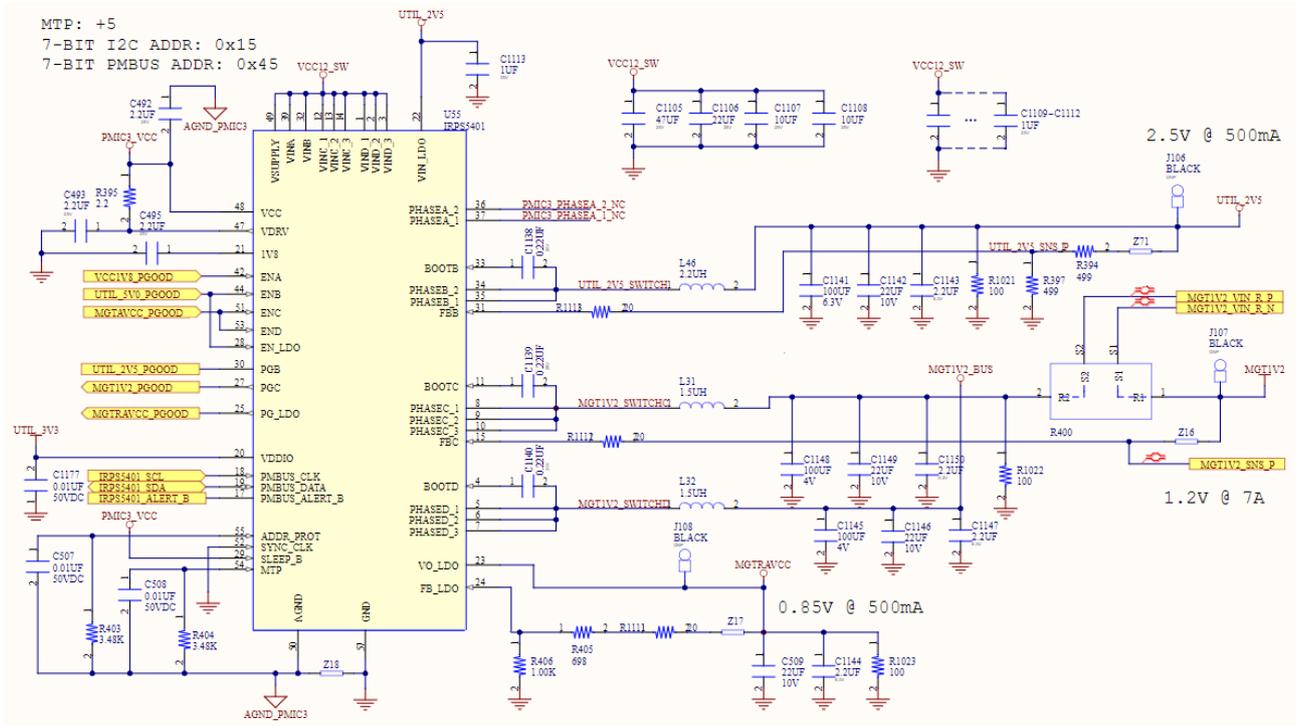


Figura 52: Esquema elétrico do PMIC3.

A Figura 53 apresenta o esquema da interface do PMBus para os PMICs da solução. A interface do PMBus é utilizada para monitoramento de tensão, corrente e potência a partir do monitor de energia INA226.

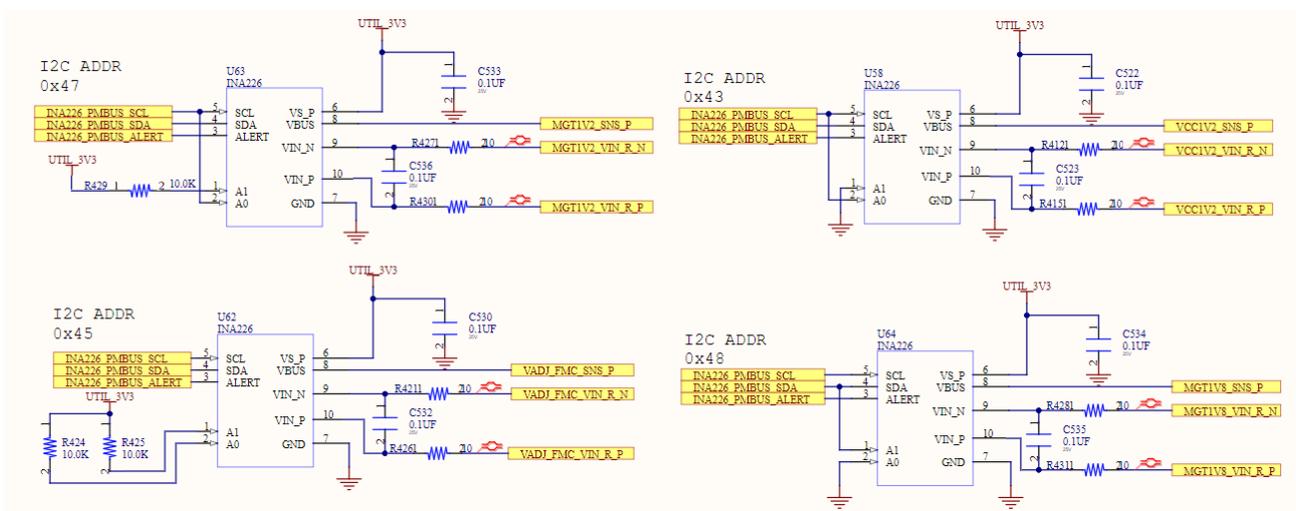


Figura 53: Esquema elétrico do PMBus para os PMICs.

Os circuitos esquematizados, com as ligações dos pinos do RFSoc DFE XCZU67DR-2FSVE11561 divididos em blocos, são mostrados nas Figuras 54, 55, 56, 57, 58, 59, 60 e 61.

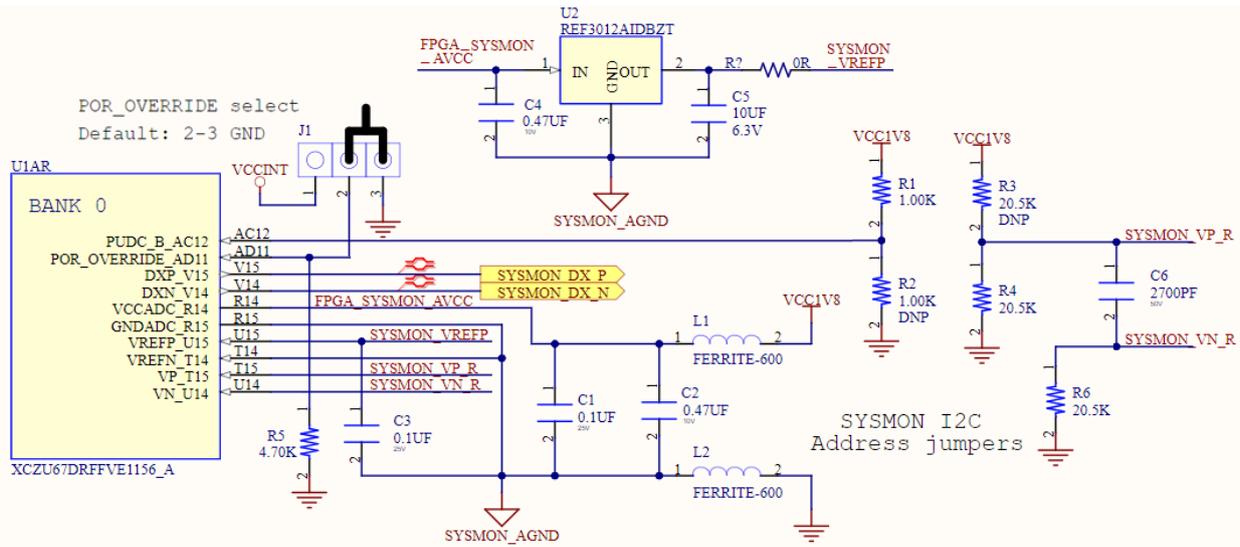


Figura 54: Esquema elétrico do banco 0 do RFSoc DFE.

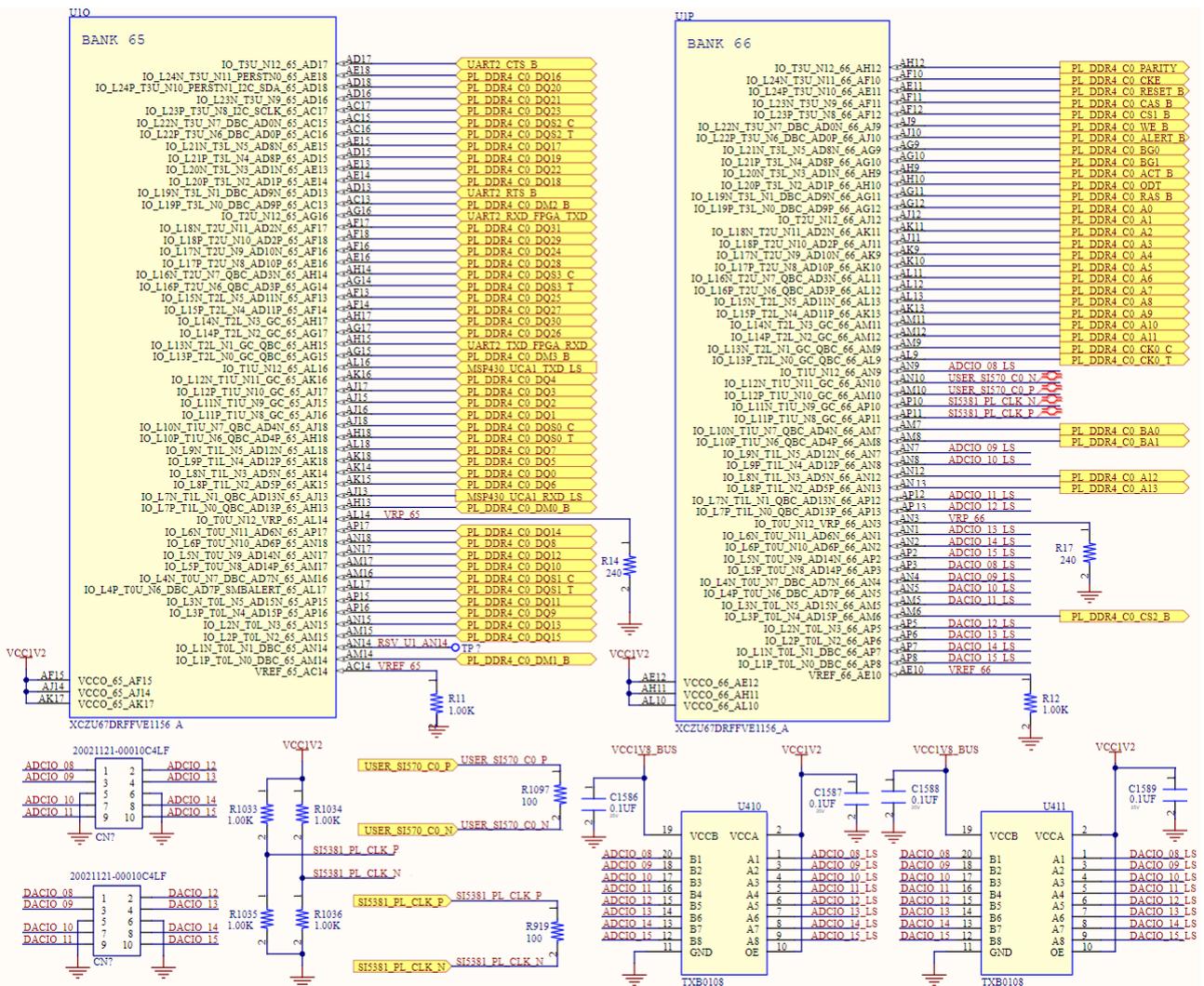


Figura 55: Esquema elétrico dos bancos 65 e 66 do RFSoc DFE.

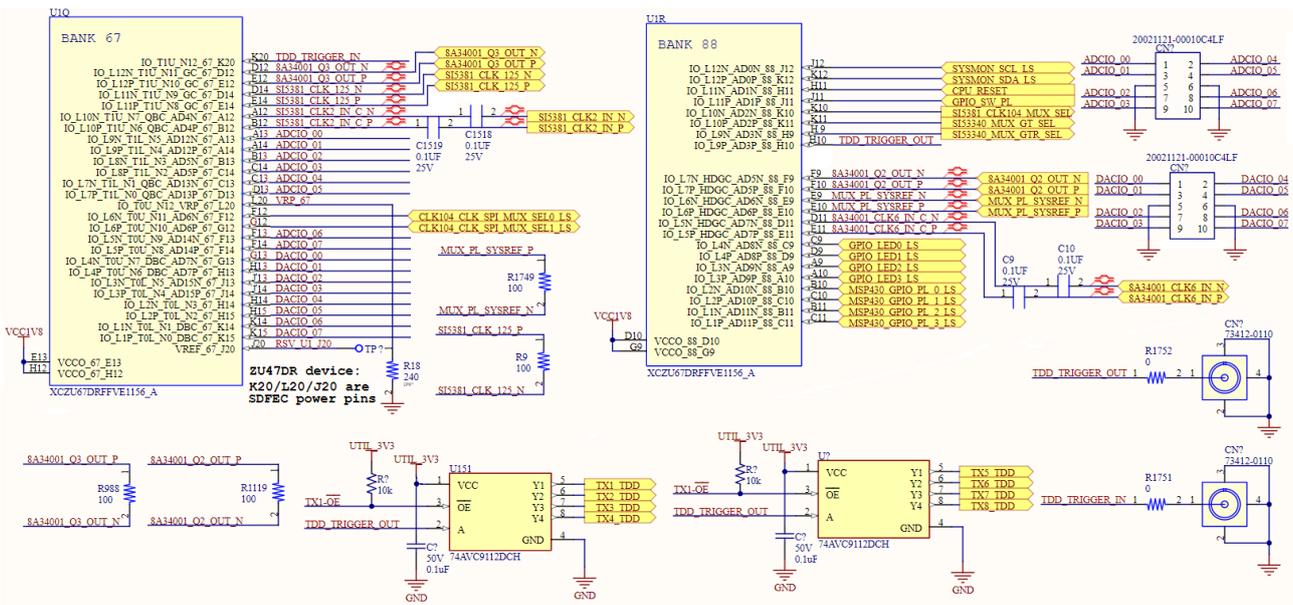


Figura 56: Esquema elétrico dos bancos 67 e 68 do RFSoc DFE.

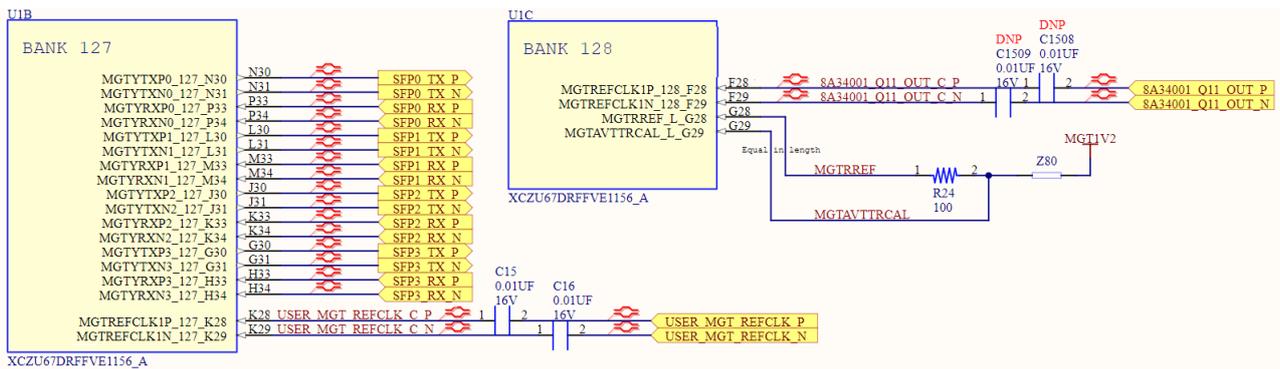


Figura 57: Esquema elétrico dos bancos 127 e 128 do RFSoc DFE.

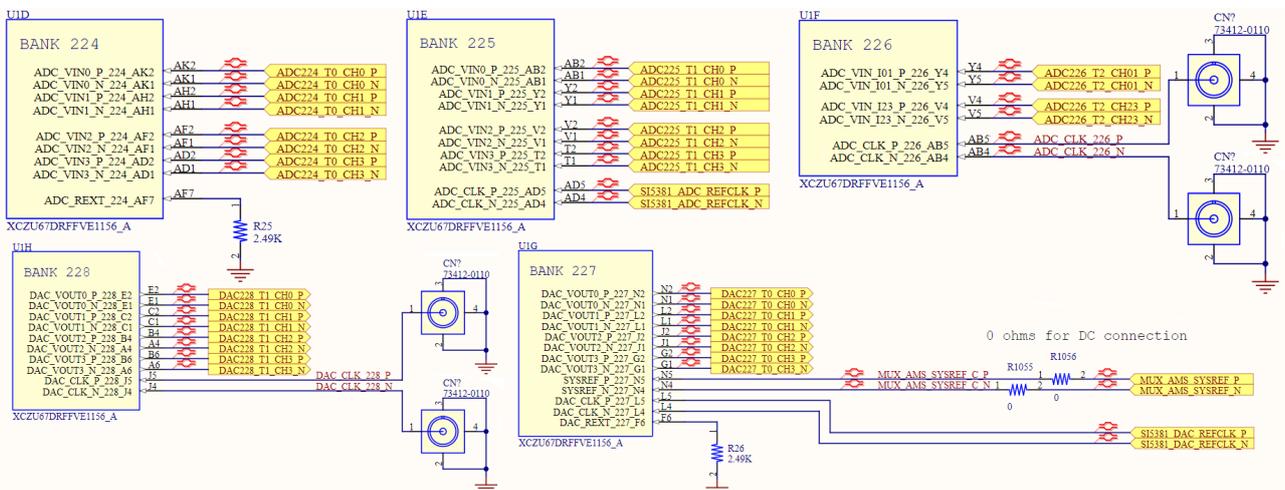


Figura 58: Esquema elétrico dos bancos ADC e DAC do RFSoc DFE.

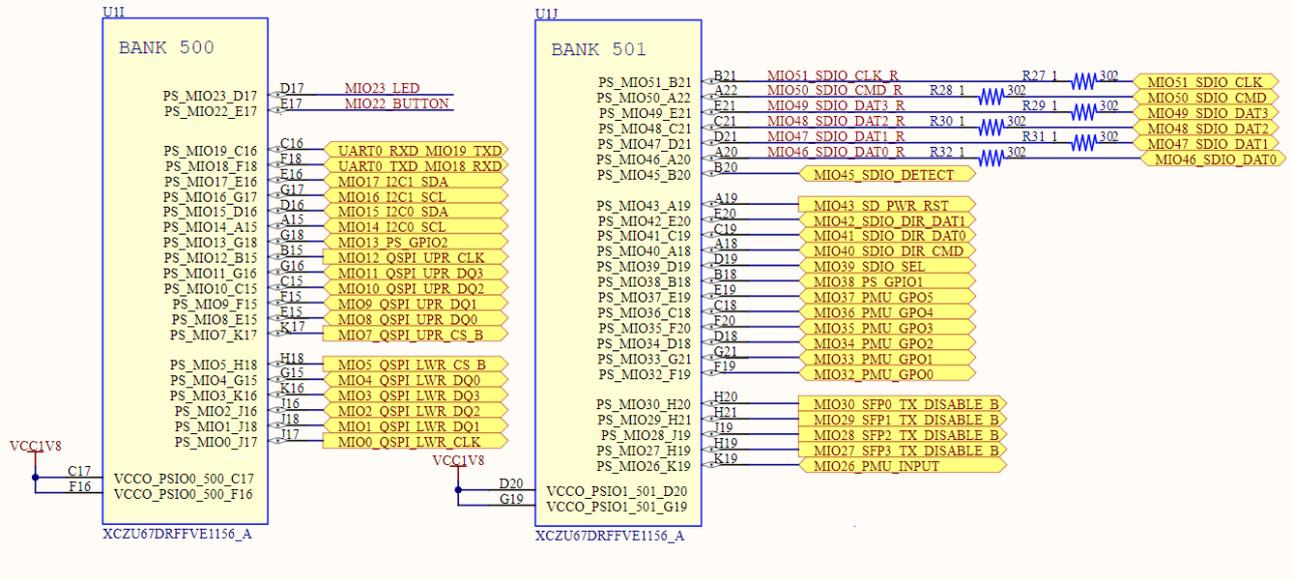


Figura 59: Esquema elétrico dos bancos 500 e 501 do RFSoc DFE.

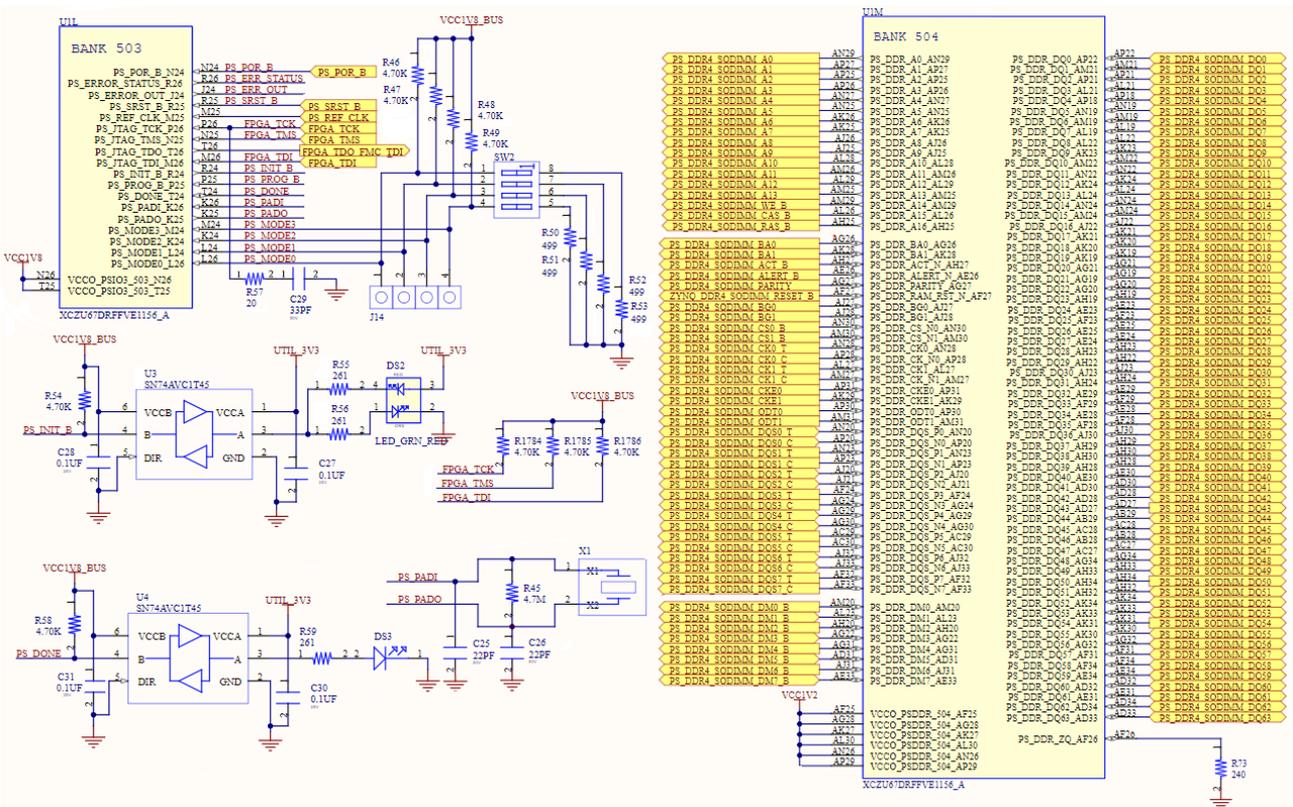


Figura 60: Esquema elétrico dos bancos 503 e 504 do RFSoc DFE.

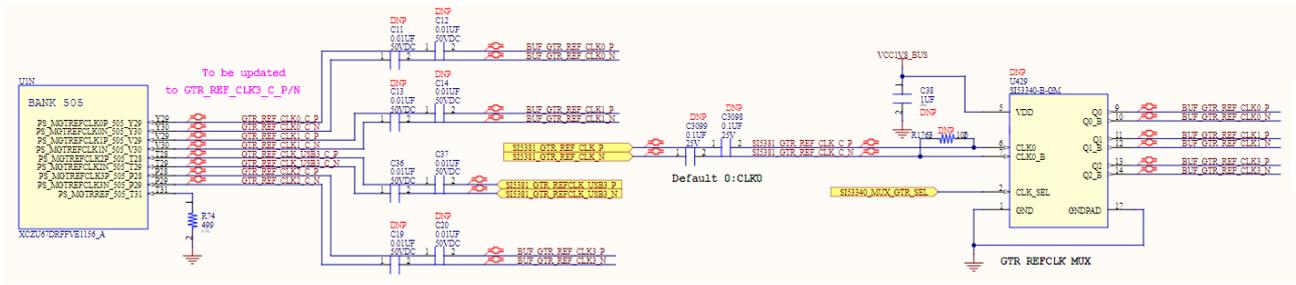


Figura 61: Esquema elétrico do banco 505 do RFSoc DFE.

A Figura 62 apresenta os circuitos das ligações das alimentações dos bancos do RFSoc DFE nas partes ADC e DAC.

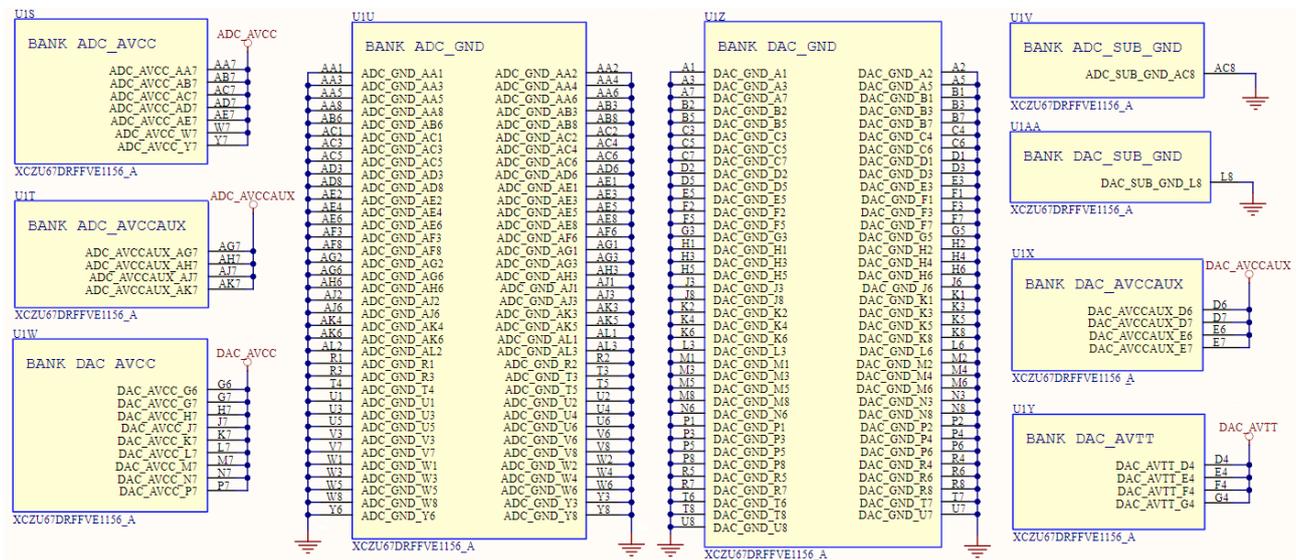


Figura 62: Esquema elétrico das alimentações ADC e DAC do RFSoc DFE.

As ligações de outras alimentações necessárias para o funcionamento do RFSoc DFE são ilustradas na Figura 63.

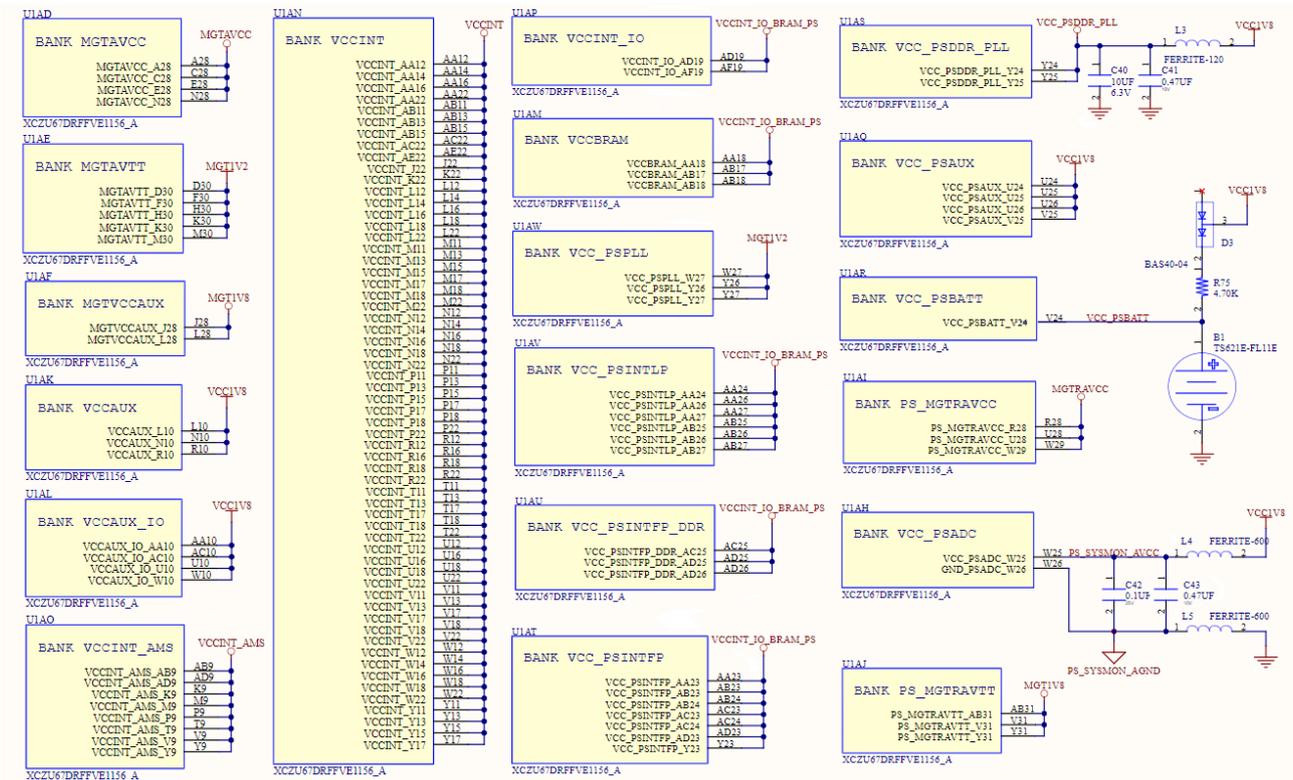


Figura 63: Esquema elétrico das outras alimentações do RFSoc DFE.

O esquema elétrico da Figura 64 apresenta os capacitores de desacoplamento nas alimentações do RFSoc DFE.

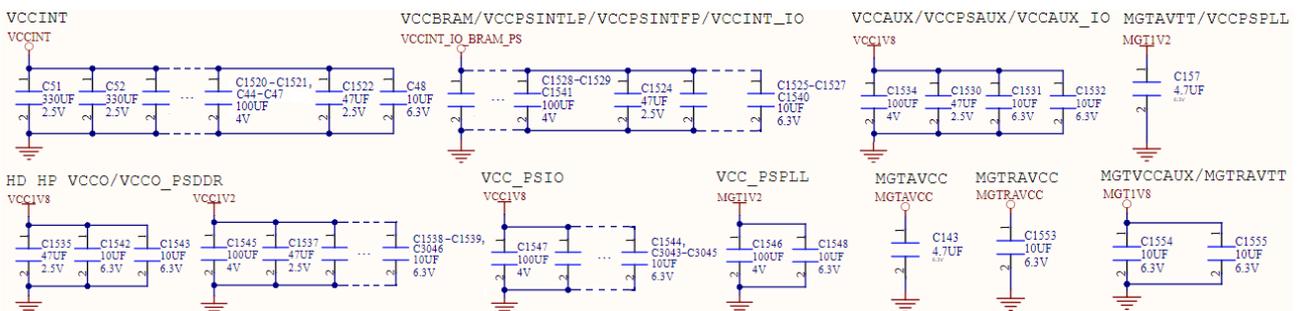


Figura 64: Esquema elétrico dos capacitores de desacoplamento do RFSoc DFE.

Por fim, a Figura 65 apresenta o aterramento do RFSoc DFE.

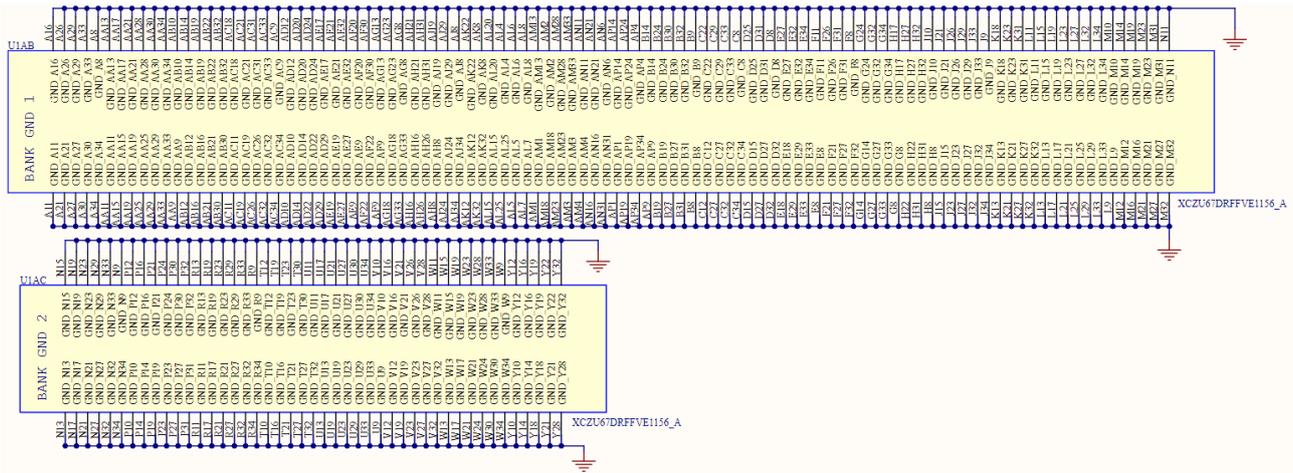


Figura 65: Esquema elétrico do aterramento do RFSoc DFE.

O RFSoc PL possui diversas interfaces diferentes para conexão com periféricos utilizando o *Multiplexed Input/Output* (MIO). O MIO é uma interface flexível que configura o mapa de roteamento entre as interfaces periféricas e pinos através da multiplexação. Um dos periféricos habilitados do MIO para *boot* de imagem Linux<sup>®</sup> é a memória flash utilizando a interface de barramento SPI e seu esquema elétrico é apresentado na Figura 66.

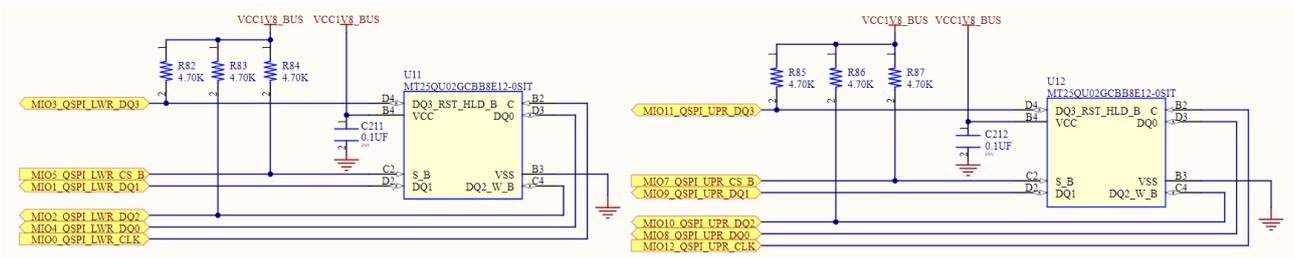


Figura 66: Esquema elétrico da memória *flash* do RFSoc DFE.

Esta parte da solução é formada por duas memórias *flash* do tipo serial *NOR* com PN MT25QU02GCBB8E12-0SIT da fabricante Micron<sup>®</sup> e capacidade de 2 GB. Elas fornecem no total 4 Gb de armazenamento não volátil que pode ser usado para configuração e armazenamento de dados.

Um periférico alternativo habilitado para *boot* é o cartão SD, que será utilizado somente durante o desenvolvimento por conta de sua facilidade. Ele inclui uma interface SDIO para acessar periféricos e cartões de memória SDIO não voláteis de uso geral. Os sinais SDIO são ligados ao banco 501, que tem sua alimentação de 1,8V. Cada rede de interface SD MIO[46:49]\_SDIO\_DAT[0:3], MIO50\_SDIO\_CMD e MIO51\_SDIO\_CLK possui um resistor de 30Ω em série na fonte do banco 501. Um conversor de nível de tensão compatível com SD 3.0 NXP com PN NVT4857UK está presente entre o RFSoc DFE e o conector do cartão SD. O dispositivo possui capacidade SD 3.0 com desempenho SDR104.

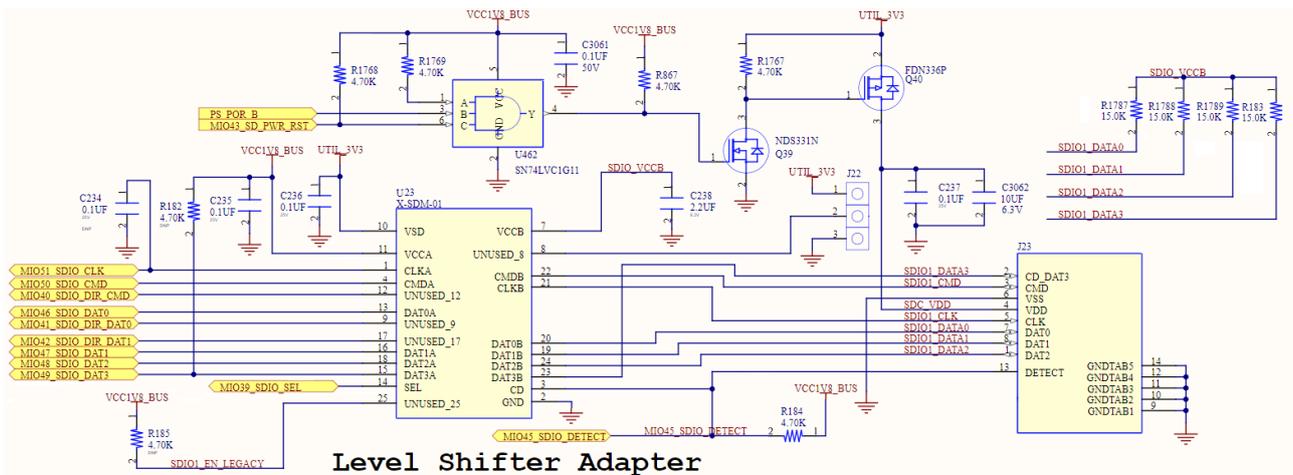


Figura 67: Esquema elétrico do cartão SD.

Os barramentos I<sup>2</sup>Cs são empregados no controle sobre outros vários dispositivos de destino compatíveis com I<sup>2</sup>C para realizar diversas funções, tais como, reinicializações, habilitação do sistema de energia, várias entradas de alarme possíveis, acesso aos controladores de energia PMBus e monitores de energia INA226, entre outros. A Figura 68 apresenta o esquema elétrico para o barramento I<sup>2</sup>C0.

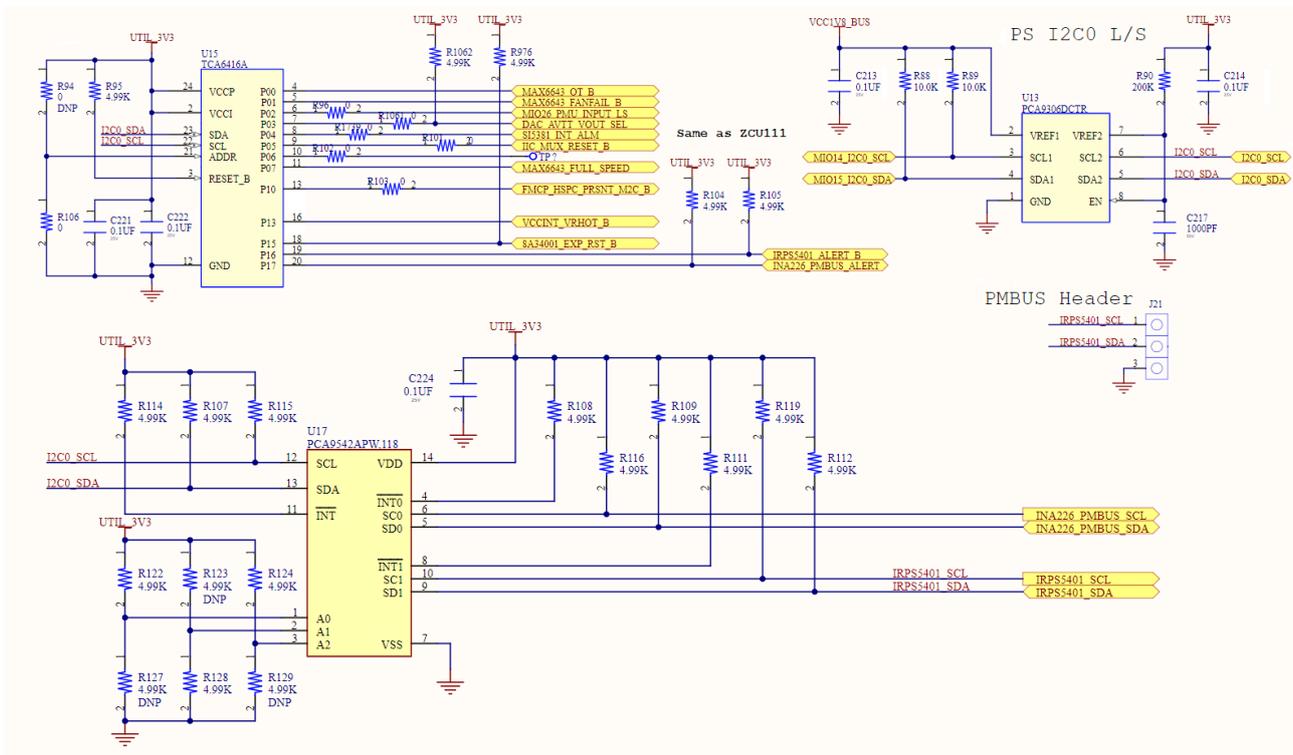


Figura 68: Esquema elétrico do barramento I<sup>2</sup>C0.

A Figura 69 apresenta o esquema elétrico para o barramento I<sup>2</sup>C1.

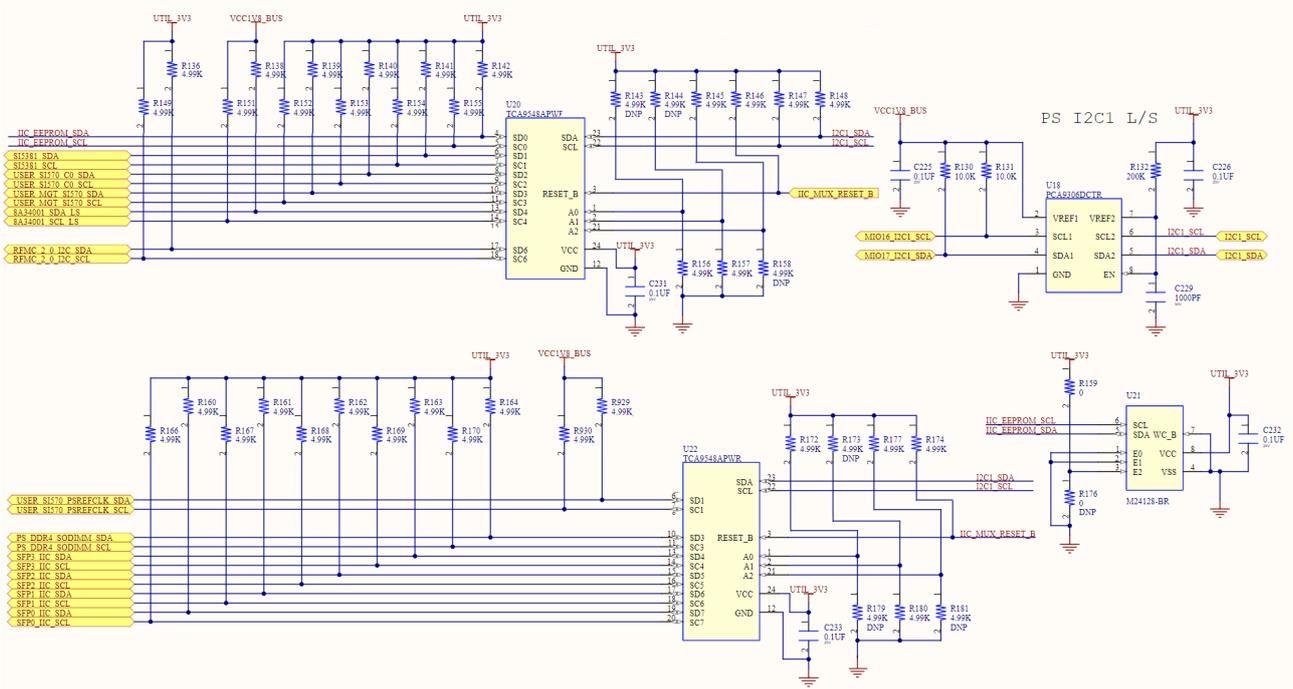


Figura 69: Esquema elétrico do barramento I<sup>2</sup>C1.

O periférico USB 2.0 possui o intuito de *debug* serial e monitoramento de funcionamento do dispositivo a nível de *log files* (histórico de tudo que acontece com o sistema) utilizando um chip com PN FT4232HL da fabricante *Future Technology Devices International Limited (FTDI)*<sup>®</sup> para conversão de uma interface UART para USB 2.0. Ele será usado somente durante o desenvolvimento por conta de sua facilidade.

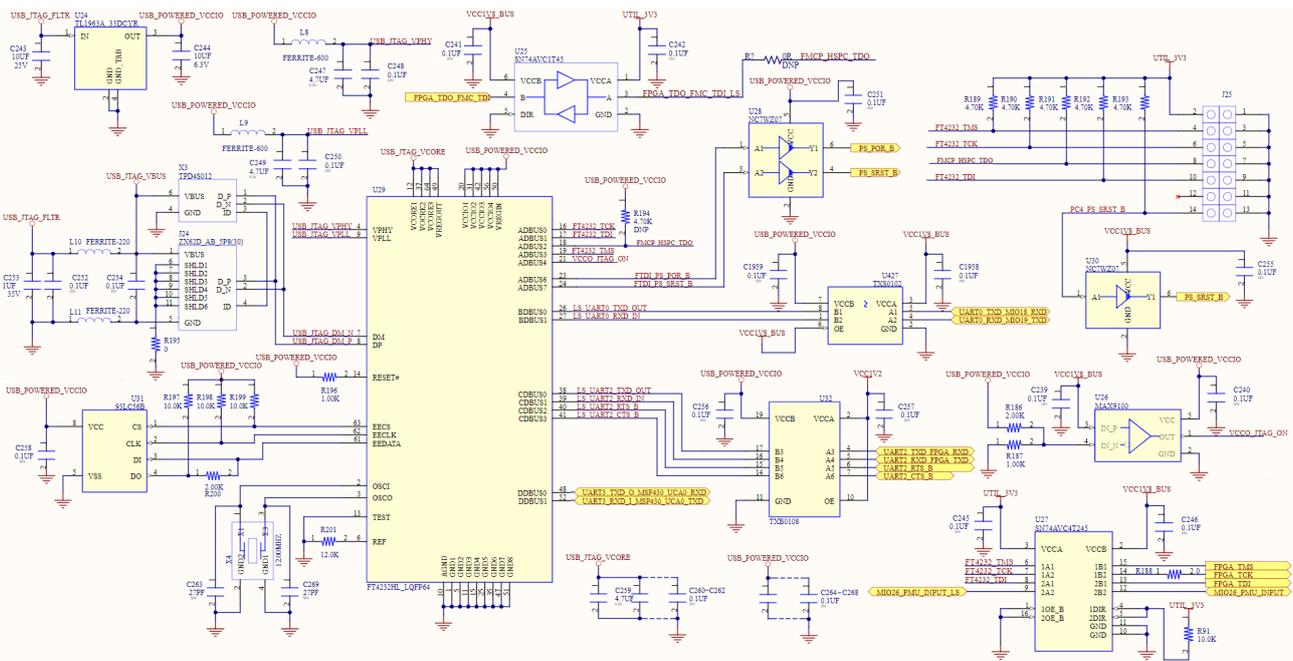


Figura 70: Esquema elétrico do USB 2.0.

A solução possui um controlador de sistema integrado a partir do microcontrolador MSP430-

F5342 da fabricante TI<sup>®</sup> com a finalidade de praticidade em validação de energia integrada e *firmware* do controlador do sistema. Há uma interface adicional de usuário fornecida pela Xilinx (AMD)<sup>®</sup> para pesquisa e controle dos recursos programados selecionados, tais como *clocks* e parâmetros do sistema de energia. Ele será usado somente durante o desenvolvimento por conta de sua facilidade.

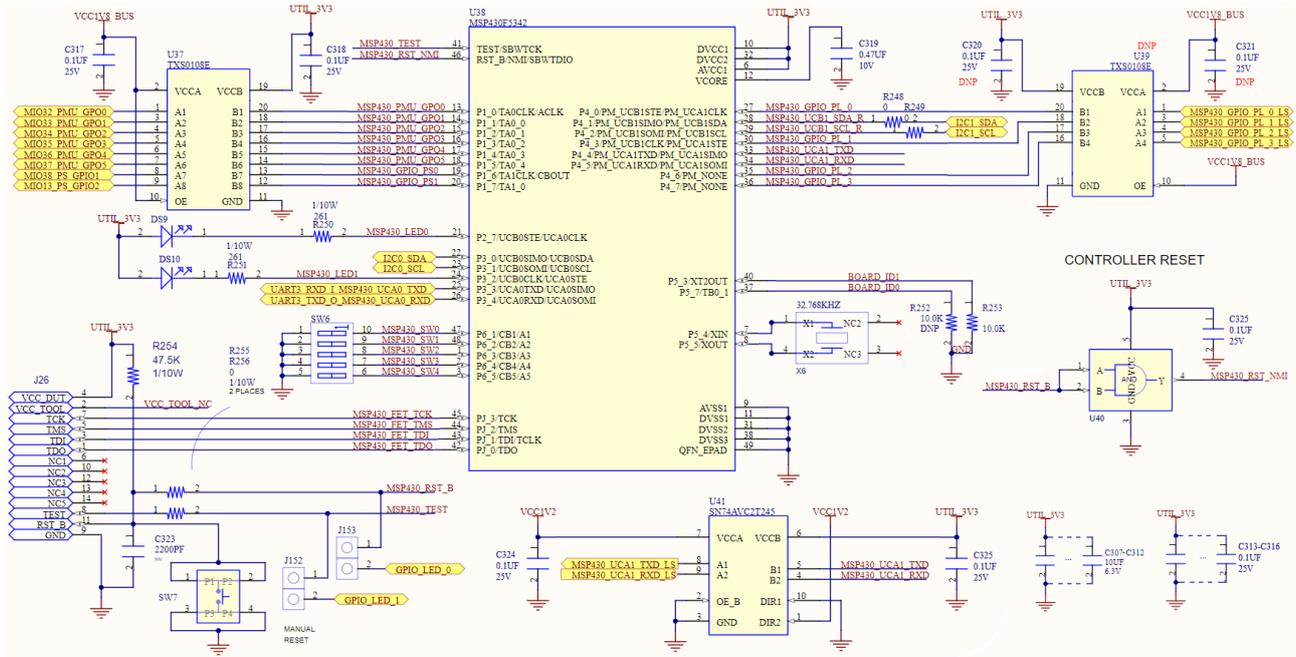


Figura 71: Esquema elétrico do controlador do sistema.

A interface *Fronthaul* entre a O-RU e *O-RAN Distributed Unit (O-DU)* é realizada por uma interface *Ethernet* óptica de alta velocidade utilizando duas portas SFP28 25G. O esquema elétrico para a porta SFP28 é ilustrado na Figura 72.

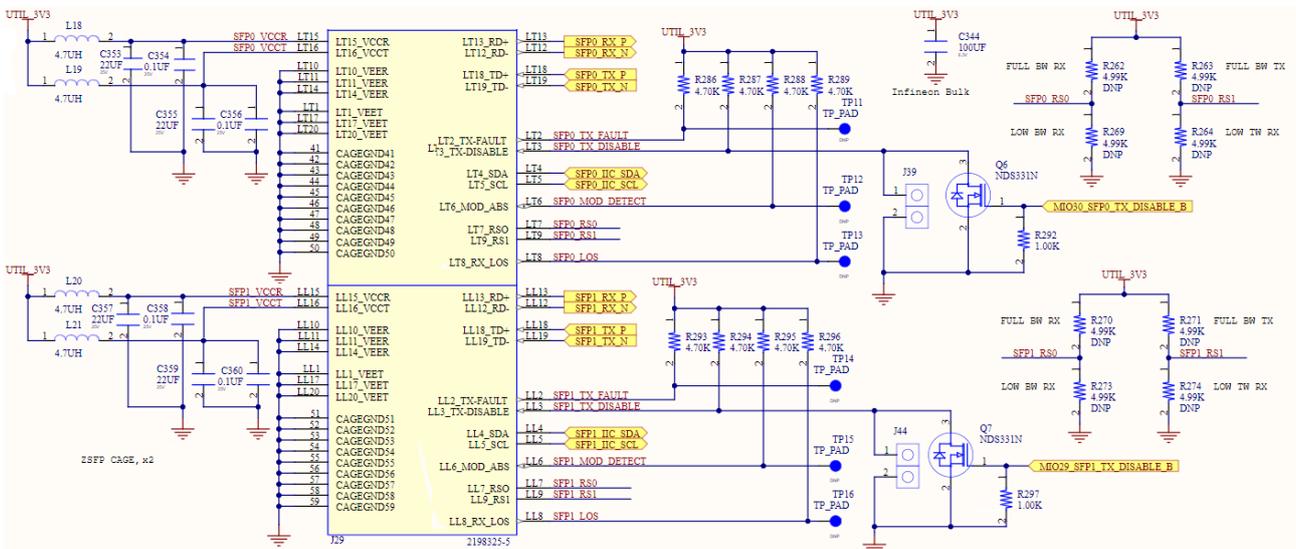


Figura 72: Esquema elétrico do conector SFP28 25G.

O RFSoc DFE possui suporte a memórias externas. A memória volátil DDR4 SDRAM SODIMM de 64 bits de largura com PN MTA4ATF51264HZ-2G6E1 da fabricante Micron® tem o intuito de dar mais agilidade e velocidade no funcionamento do lado PS. Esta memória tem 260 pinos, densidade de 4GB, configuração 512 MB x 64 bits, largura de banda 21,3GB/s, *clock* de 0,75ns e taxa de dados de 2666 MT/s. A Figura 73 apresenta o seu esquema elétrico.

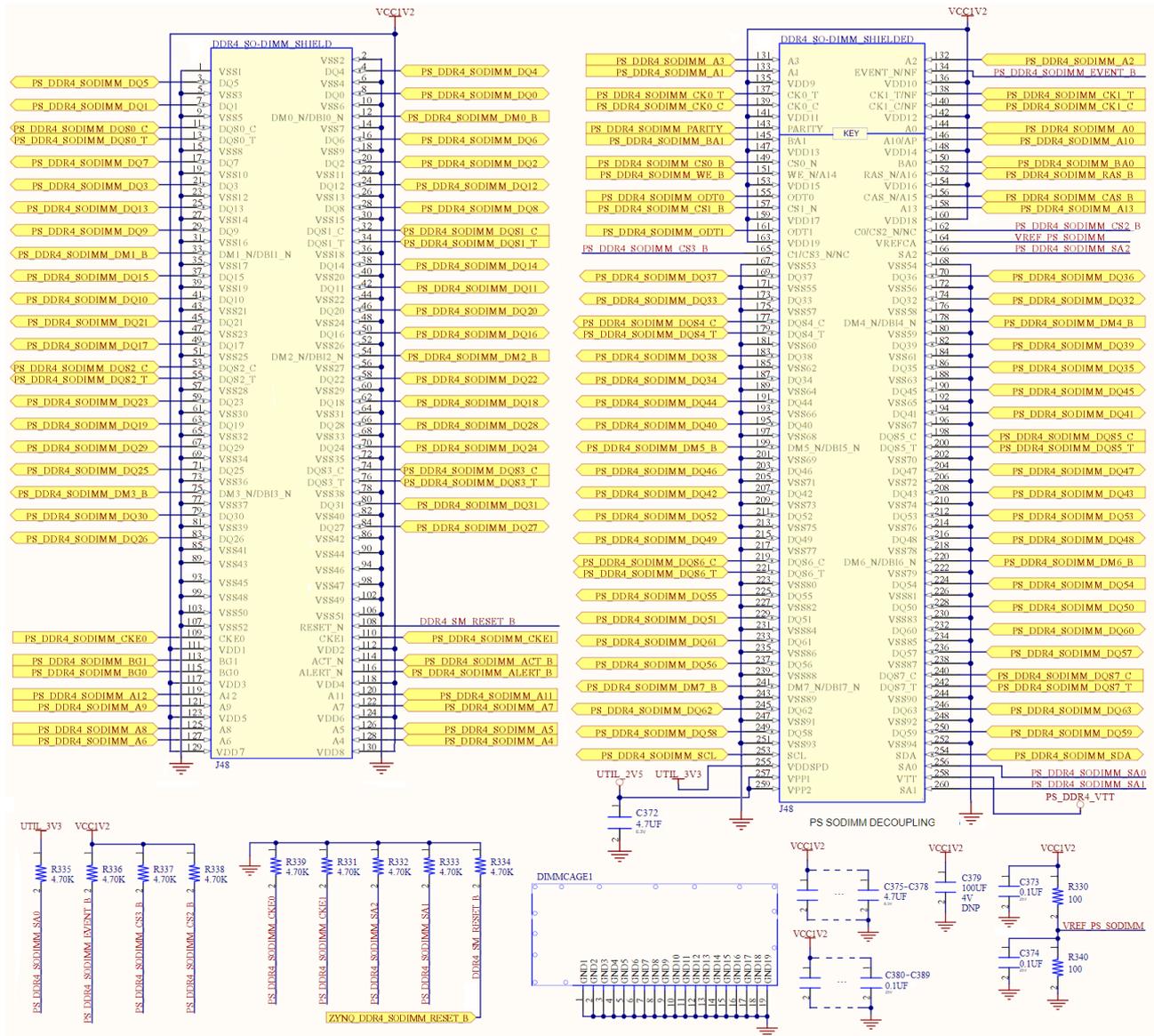


Figura 73: Esquema elétrico da memória DDR4 SDRAM SODIMM PS.

O sistema de memória DDR4 de 4GB e 32 bits de largura possui a finalidade de fornecer uma quantidade de memória volátil utilizável para aplicações em lógica programável, como *buffers* e processadores *soft core* na PL. Este sistema é formado por 4 memórias SDRAM de 1GB e 8 bits de largura com PN MT40A1G8SA-075 da fabricante Micron®. Estas memórias possuem densidade de 1GB, configuração 1GB x 8 bits, *clock* de 14,25 ns e taxa de dados de 2666 MT/s. As Figuras 74 e 75 apresentam o esquema elétrico deste sistema.

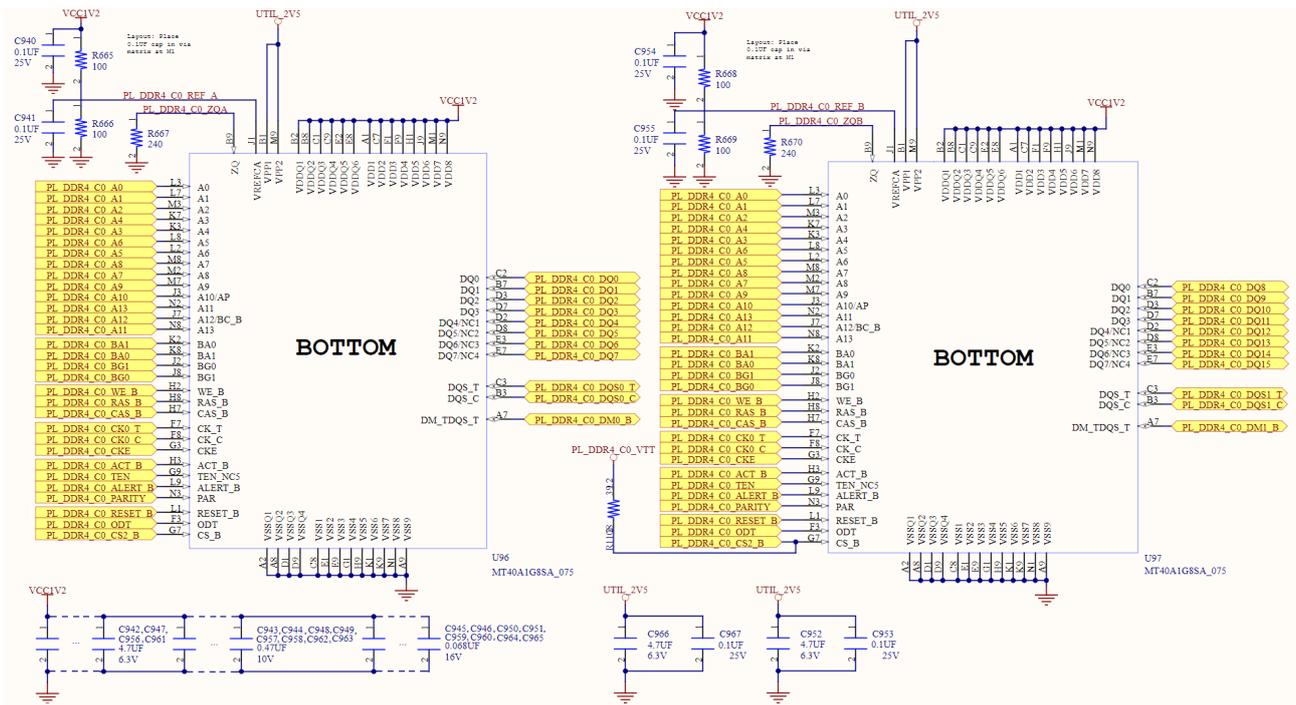


Figura 74: Esquema elétrico da memória DDR4 SDRAM PL inferior.

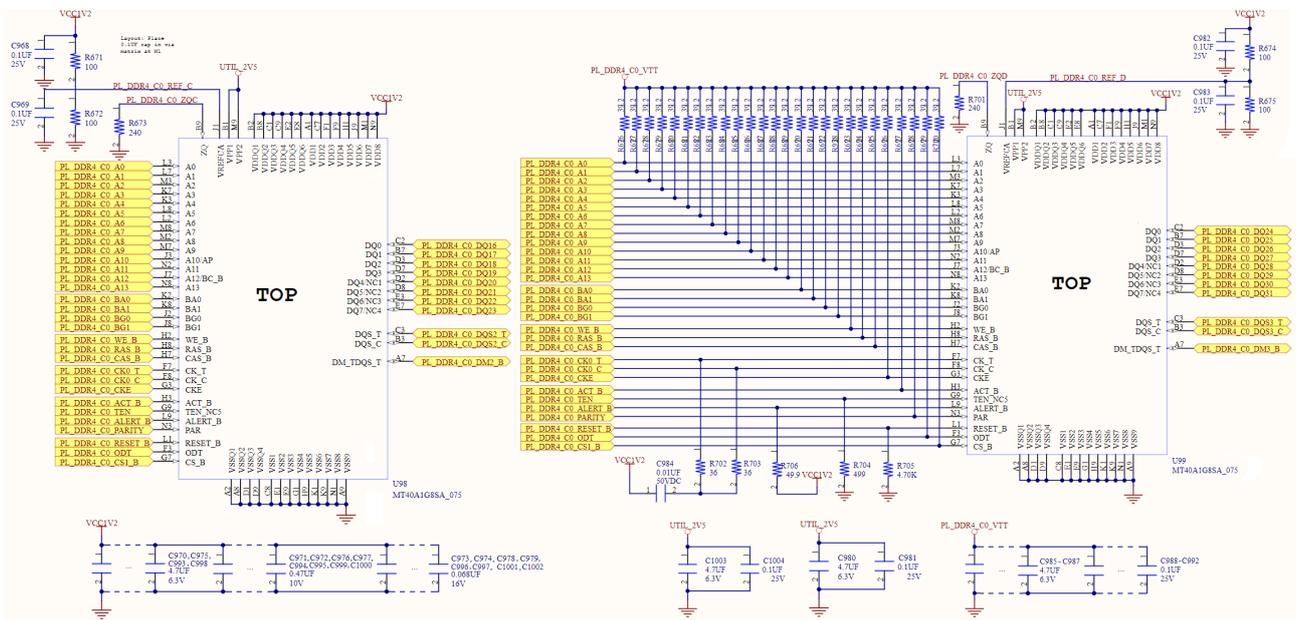


Figura 75: Esquema elétrico da memória DDR4 SDRAM PL superior.

Para estas memórias, há um regulador de terminação de *sink* e *source* com PN TPS51200 da fabricante TI<sup>®</sup> que fornece a tensão de terminação DDR4 0,6V para os lados PS e PL. O TPS51200 mantém uma resposta transitória rápida e atende aos requisitos de energia para a terminação de barramento DDR4.

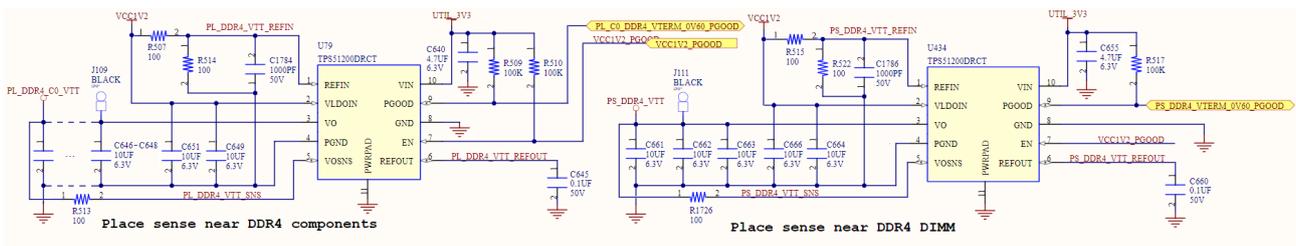


Figura 76: Esquema elétrico das terminações das memórias.

A matriz de *clock* 8A34001 da fabricante Renesas® e o gerador de *clocks* fixo SI5381A possuem uma gaiola de RF com o intuito de blindar sua composição sensível a campos elétricos e magnéticos externos. O seu esquema elétrico é apresentado na Figura 77.

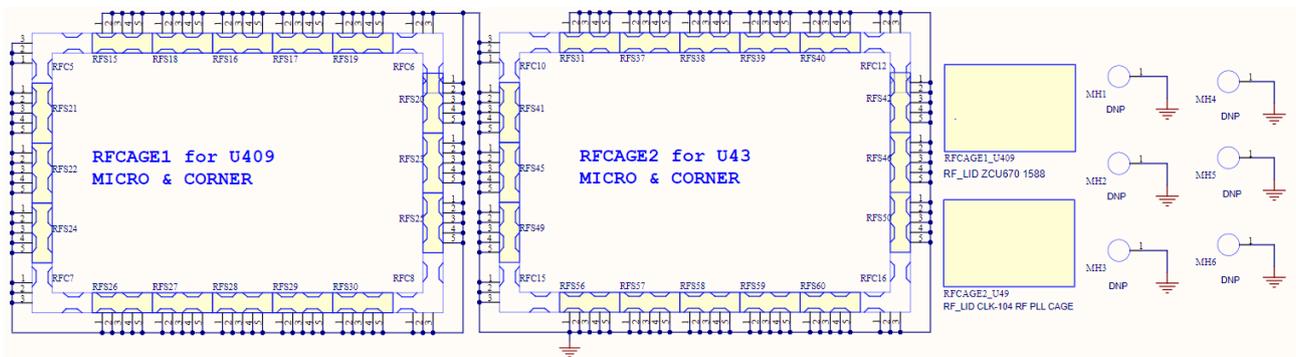


Figura 77: Esquema elétrico das gaiolas de RF.

Os sinais processados em BB, tais como, de controle, de dados e de *clocks* ADC/DAC comunicam com o módulo TRX através de um conector de expansão RFMC 2.0. O esquema elétrico destes conectores são ilustrados nas Figuras 78 e 79.

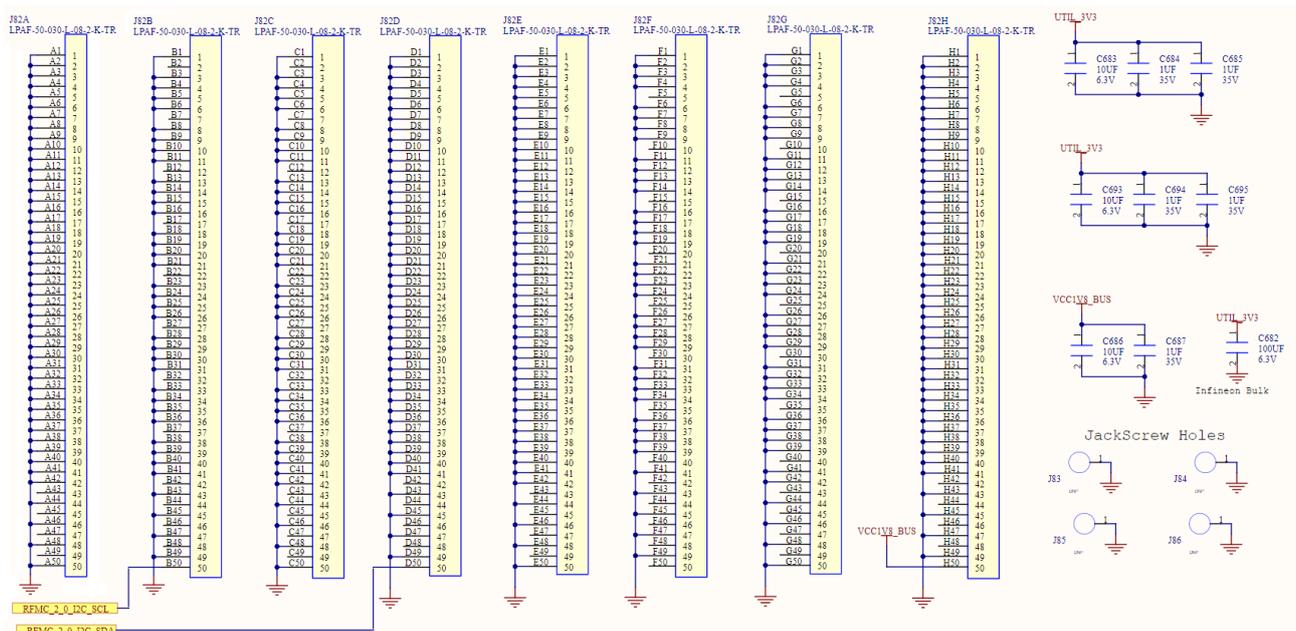


Figura 78: Esquema elétrico do conector RFMC 2.0 - Parte 1.

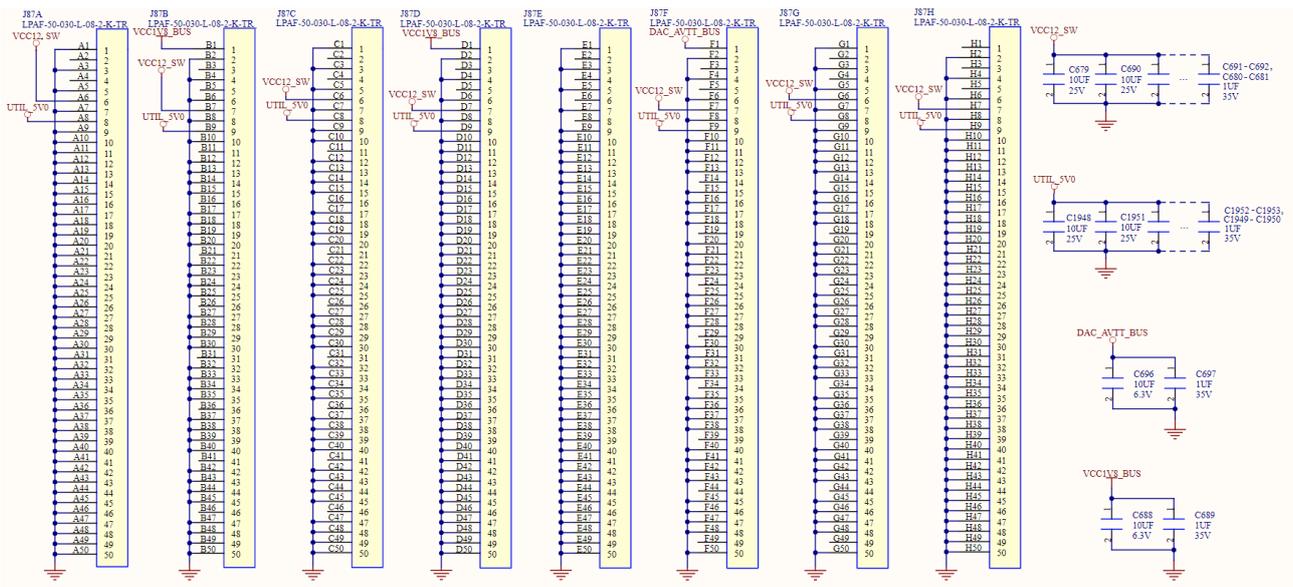


Figura 79: Esquema elétrico do conector RFMC 2.0 - Parte 2.

Esse conector RFMC 2.0 será modificado conforme as necessidades do módulo TRX. Há mais capacitores de desacoplamento necessários por pino do RFSoc DFE e esses componentes são mostrados na Figura 80.

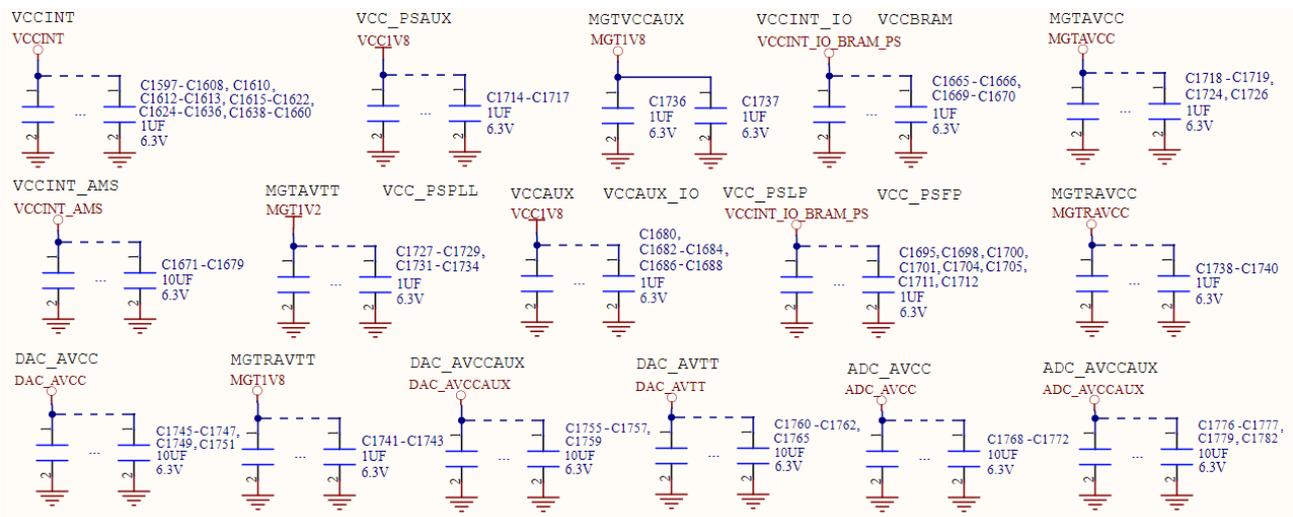


Figura 80: Esquema elétrico dos capacitores de desacoplamento por pino.

O sistema de sincronização com o PTP IEEE 1588, e diversos *clocks* são implementados para a interface eCPRI que realiza o *Fronthaul* a partir do SMU 8A34001. Ele recebe os *clocks* de referência recuperados do SyncE como entradas e o sinal de 1PPS do GPS/GNSS e fornece os *clocks* sincronizados. Entre os *clocks* que o SMU gera, está o *clock* referência do gerador que alimenta a referência dos blocos ADC/DAC. Os esquemas elétricos são apresentados nas Figuras 81, 82 e 83.

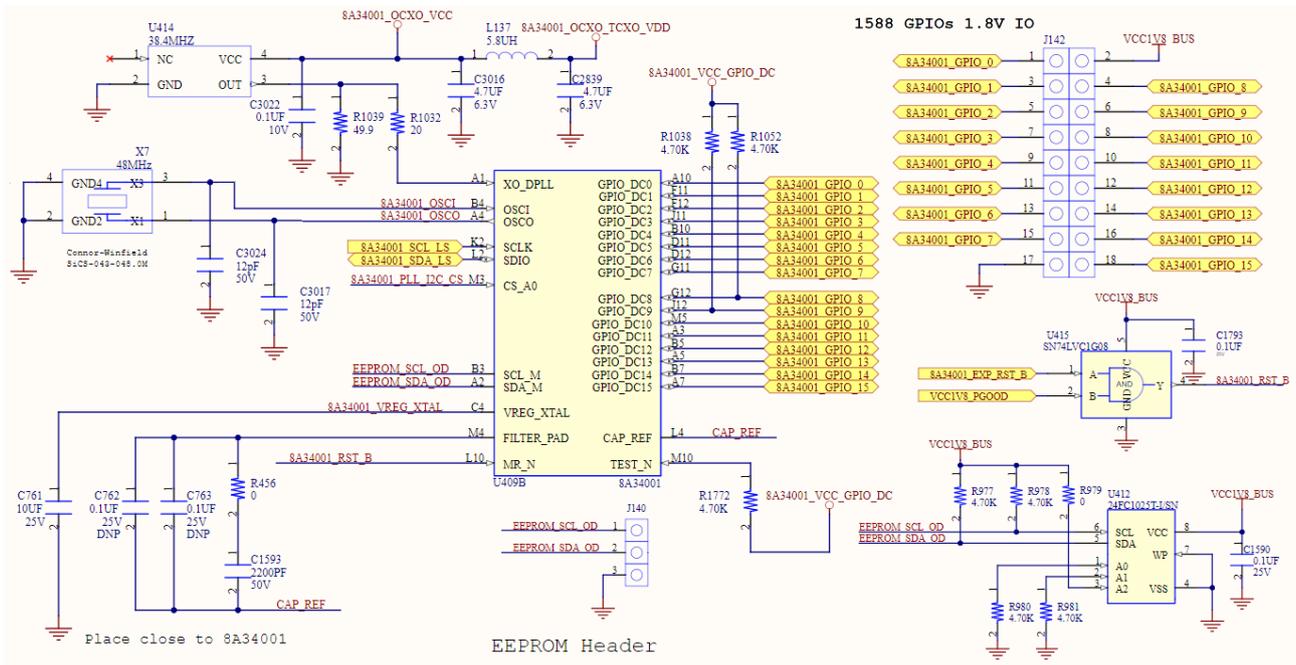


Figura 81: Esquema elétrico dos clocks eCPRI - Parte 1.

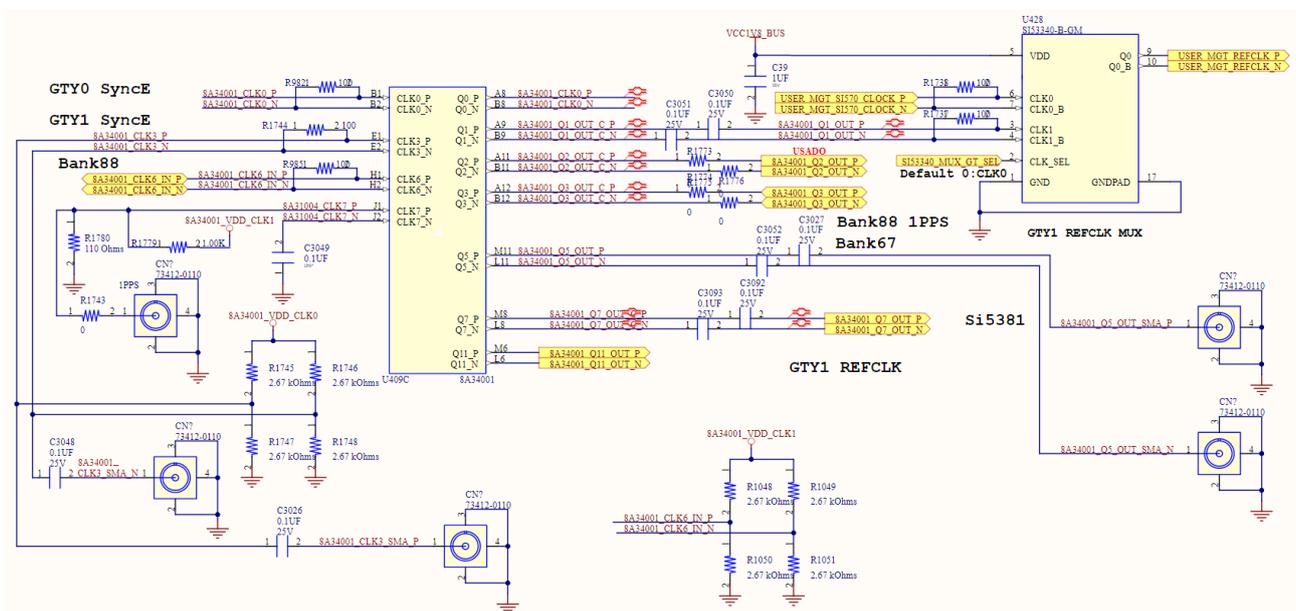
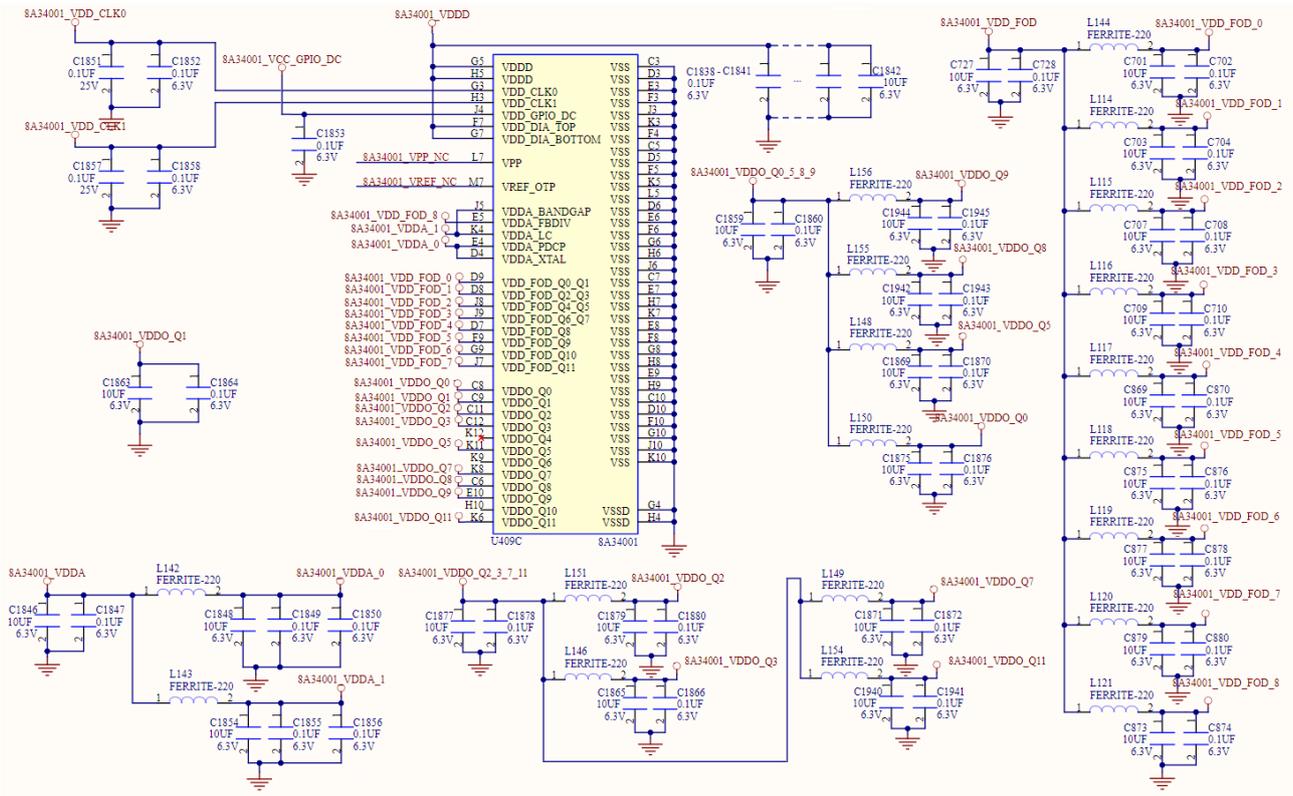


Figura 82: Esquema elétrico dos clocks eCPRI - Parte 2.



Além disso, há geradores de *clock* de frequências programáveis com *default* 33,33 MHz, 156,25 MHz, 300 MHz. É importante ressaltar que toda a parte de *clock* será otimizada conforme necessidades do projeto. O esquema elétrico é apresentado na Figura 85 e trabalha nas faixas de 10 a 810 MHz ou 10 a 160 MHz.

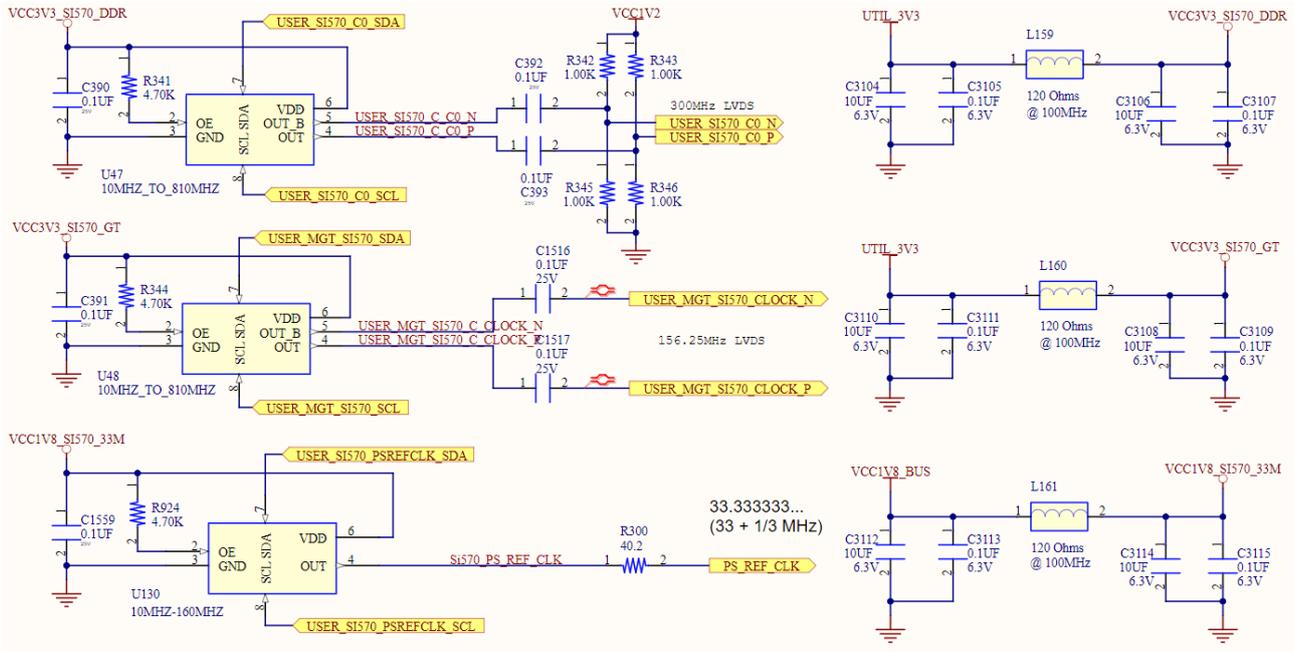


Figura 85: Esquema elétrico do gerador de *clock* programável.

Por fim, as alimentações para a interface de *Fronthaul* eCPRI são compostas por reguladores de tensão LDO com PN LP38798SD-ADJ/NOPB da fabricante *Texas Instruments*®, de baixo ruído e alto *Power Supply Rejection Ratio* (PSRR). Este dispositivo atende aos requisitos de circuitos RF/analogicos sensíveis, possui excelente resposta aos transientes de linha e carga, limita a corrente e protege contra sobretensão. Os esquemas elétricos são apresentados na Figura 86 e 87.

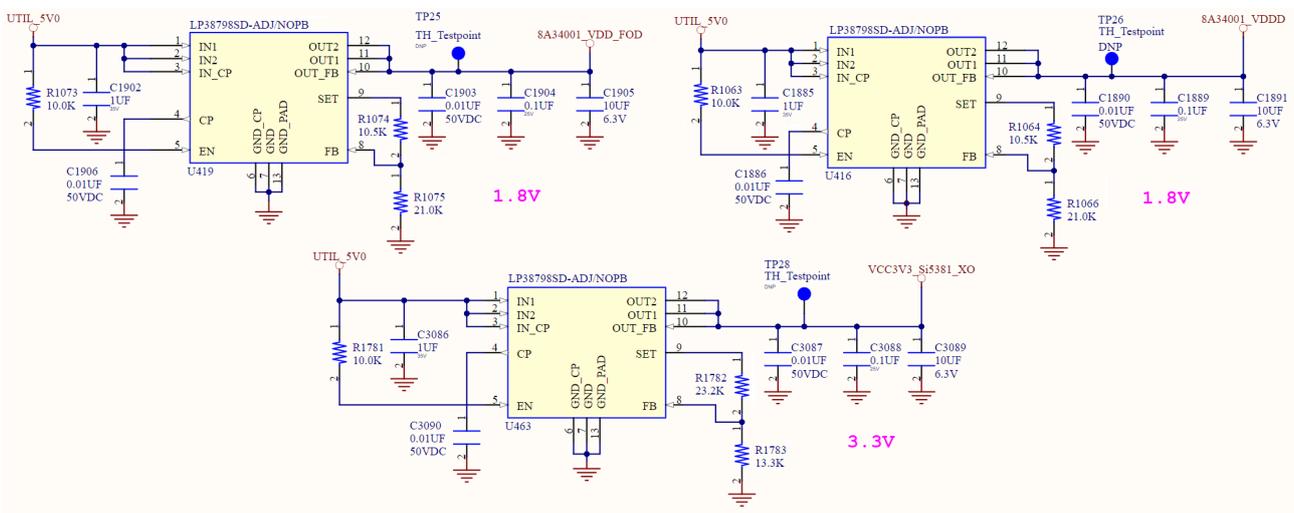


Figura 86: Esquema elétrico da alimentação da interface eCPRI - Parte 1.



As Figuras 88 e 89 apresentam o resultado inicial do projeto do *layout* da PCI.

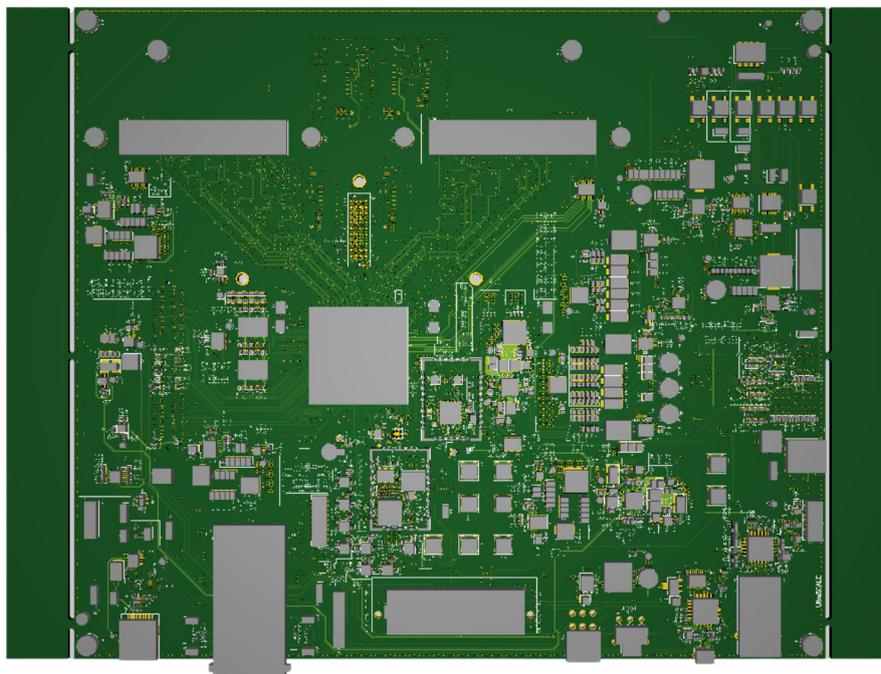


Figura 88: Lado superior do *layout* do módulo de processamento em BB.

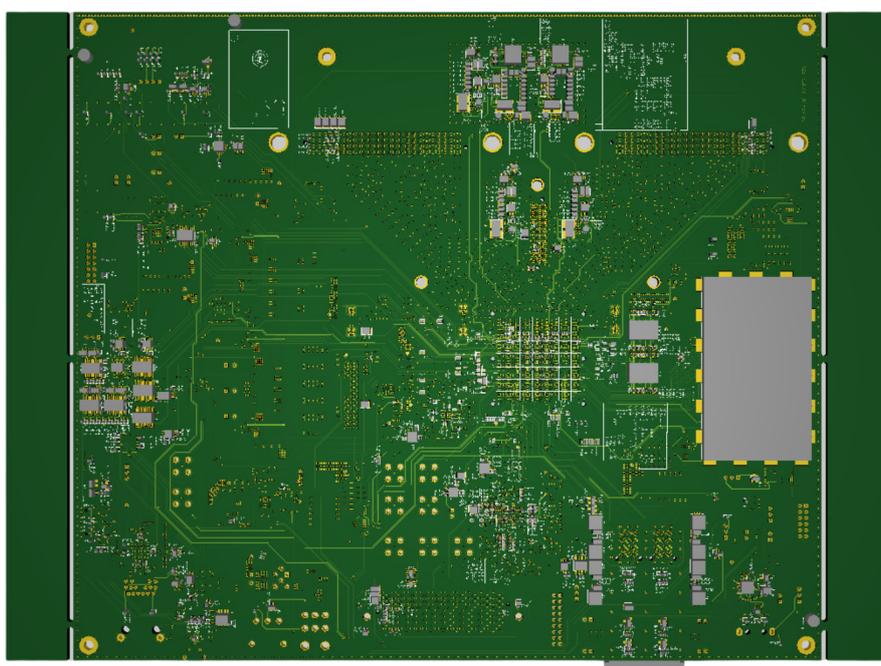


Figura 89: Lado inferior do *layout* do módulo de processamento em BB.

#### 4.4.1 Comparativo projeto *Evenstar* x *Evaluation Kit* AMD ZCU670

Inicialmente, o projeto do módulo de processamento em BB considerou utilizar como referência uma plataforma de desenvolvimento disponibilizada pela AMD Xilinx®, que corresponde um *evaluation kit* Zynq UltraScale+ RFSoc DFE ZCU670. Posteriormente, também se tornou disponível a plataforma de desenvolvimento *Evenstar* da Meta®, disponibilizado pela *Open Compute Project* (OCP).

Com essa nova referência, uma análise refinada da documentação do projeto *Evenstar* foi realizada, que especifica uma O-RU em conformidade com os padrões 3GPP 5G *Release 17* e O-RAN Alliance WG7: *White-box Hardware Group Specifications* [17].

A Figura 90 apresenta os blocos aprimorados do projeto *Evenstar* em relação ao *kit* de desenvolvimento ZCU670, sendo destacados em vermelho. Para os sinais de controle e monitoramento o propósito é tratar diretamente no RFSoc DFE, similar ao que foi constatado no projeto *Evenstar*.

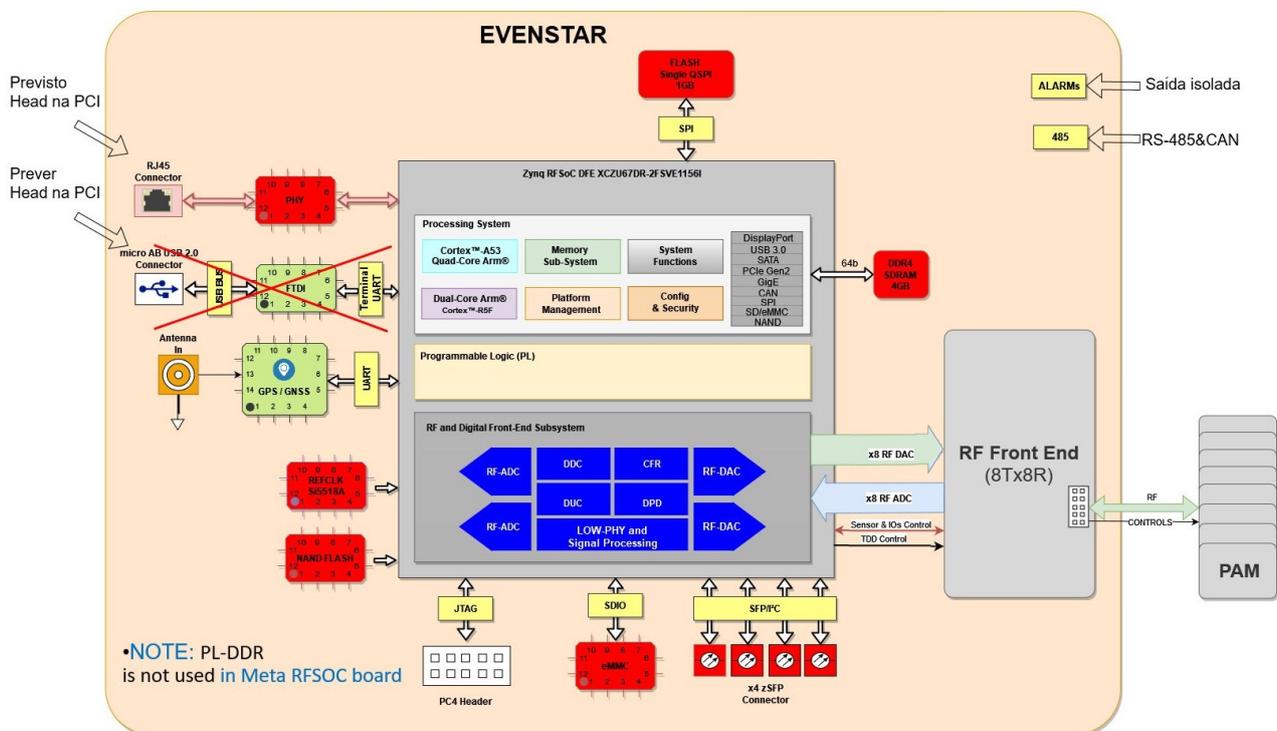


Figura 90: Comparativo entre as referências *Evenstar* x *kit* ZCU670.

Ao comparar ambas as soluções, verifica-se que [18]:

- PS (Sistema) DDR: Sem mudanças na interface entre ambas soluções, exceto que no projeto *Evenstar* é usado o componente DDR4, sendo ele um CI de PN MT40A512M16TB-062E:J, enquanto na placa de referência ZCU670 é usado o módulo SODIMM;
- PL (Lógica) DDR: Não aplicado na solução da *Evenstar*;
- Interface 1GB *Ethernet*: Sem mudanças na interface entre ambas soluções, exceto a alteração identificada na camada física do RFSoc DFE, sendo ele AR8031-AL1A da fabricante QCOM®, ao se comparar com a placa de referência ZCU670, sendo ele DP83867IRPAP da fabricante TI®;

- *Embedded Multimedia Card* (eMMC): O cartão SD foi substituído pela memória *flash* eMMC IS21ES04G-JCLI na solução *Evenstar*, sendo diferentes interfaces utilizadas de 3,3V e 1,8V, respectivamente;
- QSPI: Na solução *Evenstar* foi empregado o *Single* QSPI MT25QL01GBBB8E12-0SIT, enquanto que no *kit* de desenvolvimento ZCU670 é utilizado o *Dual* QSPI MT25QU02GC BB8E12-0SIT;
- SFP28: Sem alteração dos sinais da interface SFP28 entre ambas soluções, exceto que no projeto *Evenstar*, a interface de controle I<sup>2</sup>C, *clock*, *status* e sinais de controle foram separados em 4 conectores, facilitando à escalabilidade futura do sistema;
- *Clock* de RF: Grandes alterações observadas entre ambas soluções, sendo que, no projeto *Evenstar*, é utilizado um único chip da fabricante *Skyworks*<sup>®</sup> para simplificar a geração dos *clocks*;
- *Layout*: Mais compacto e com roteamento mais otimizado, reduzindo um total de 12 *layers* em relação ao *layout* do *kit* ZCU670, o que diminui significativamente custos e amplia o número de fornecedores no mercado nacional com capacidade de fabricação da placa.

Portanto, dado todo o mapeamento realizado na comparação entre as referências disponíveis, notou-se que o caminho a percorrer é o mesmo percorrido pela solução *Evenstar*. Com isso em mente, o desenvolvimento da O-RU mudou de trajetória com a chegada dos arquivos *Evenstar*, partindo da refatoração dos blocos para atender os requisitos/metastas do projeto OpenRAN@Brasil. Além da correlação dos blocos, foi levando em consideração a simplicidade da solução da *Evenstar*, com relação entre a integração entre as partes, assim como a integração da eletrônica com a mecânica. Assim, os riscos da solução são mitigados consideravelmente.

Além das atividades mencionadas anteriormente, surgiu a necessidade do estudo do bloco responsável pela recepção dos sinais. Isto foi feito a partir da refatoração do bloco de recepção do *Evenstar* para as faixas de frequência listada nos requisitos iniciais do projeto.

Para isto, a sintonia foi simulada para as faixas de frequência propostas, faixas estas diferentes daquelas para o qual o projeto *Evenstar* foi sintonizado originalmente. Consequentemente, com base nos resultados alcançados, foi feito o dimensionamento de novos arranjos de componentes, e, posteriormente, será implementado ao esquema elétrico do projeto.

Outra tarefa levantada, juntamente com o CPQD, foi a definição da arquitetura a ser aplicada ao sistema, da qual, as possibilidades são listadas a seguir:

- Todos os sinais de monitoramento e controle são conectados/tratados diretamente no RFSoc DFE: a partir do levantamento da matriz *Strengths*, *Weaknesses*, *Opportunities*, *Threats* (SWOT) para identificar os pontos fortes e fracos desta opção, concluiu-se que seriam muitos sinais de tráfego entre o RFSoc DFE com a placa do PAM, tornando a conectorização entre ambas complexas e não robustas, apesar de ser uma solução de baixo custo;
- Adicionar um microcontrolador de processamento intermediário e através de um barramento SPI ou I<sup>2</sup>C, e estabelecer uma conexão com o RFSoc DFE: Acrescentar um microcontrolador com o objetivo de realizar parte do processamento dificulta a implementação visto que insere mais um desenvolvimento de um *firmware* dedicado a este

processamento e, além disso, é preciso implementar um processo de gravação/atualização de um novo *firmware* (Caso seja uma necessidade, ficará sob responsabilidade do RFSoc DFE). Por outro lado, esta alternativa facilita e simplifica a interconexão entre placas.

Como conclusão, o fator de viabilidade de implementação prevaleceu, sendo definido, em comum acordo, a utilização de um microcontrolador adicional ao circuito do PAM, trazendo simplicidade e robustez à solução.

Por fim, em tempo de desenvolvimento e integração do RFSoc DFE ao gabinete, foi constatado, em simulação, um impacto térmico considerável no principal componente da placa, desafio este que pode se agravar nos processos de testes laboratoriais posteriores em que o protótipo será submetido. Por conta disso, foi necessária uma análise adicional da faixa de temperatura suportada pelo componente de PN XCZU67DR-2FSVE1156I dimensionado para a solução, com uma grade de temperatura industrial de -40°C a +100°C. Com o andamento da verificação, notou-se a existência de outro componente do mesmo tipo com PN XCZU67DR-2FSVE1156E cuja faixa de temperatura é estendida variando de 0°C a +110°C, sendo a solução mais adequada para atender o desafio mencionado, conforme tabela retirada da ficha técnica do componente apresentada na Figura 91 [14]:

Table 27: Speed Grade and Temperature Grade (Cont'd)

Device Family	XC Devices	Speed Grade and Temperature Grade			
		Commercial (C)	Extended (E)		Industrial (I)
		0°C to +85°C	0°C to +100°C <sup>(1)</sup>	0°C to +110°C	-40°C to +100°C
Zynq UltraScale+ RFSoc DFE	ZU65DR ZU67DR				-2I (0.85V)
					-2LI (0.72V) <sup>(6)</sup>
					-1I (0.85V)
					-1LI (0.72V)

Figura 91: Temperatura do RFSoc DFE.

Entretanto, em contato com a fabricante, foi informado que este componente de PN XCZU67DR-2FSVE1156E ainda não se encontra disponível para aquisição. Portanto, é preciso que o risco no desenvolvimento do gabinete mecânico de dissipação de temperatura do RFSoc DFE seja mapeado.

## 5 Transmissor/Receptor (TRX)

A solução proposta no projeto OpenRAN@Brasil consta em desenvolver um módulo RFFE que irá conter os componentes responsáveis pela amplificação dos sinais de baixa potência das cadeias de RX e TX, com a menor figura de ruído possível no caminho da recepção (UL) através do uso de LNAs, maximizando a sensibilidade de recepção [9]. Além disso, o módulo PAM será responsável por amplificar os sinais da cadeia TX fornecidos pelo RFFE com PA e pré-amplificador, utilizando técnicas de alta eficiência energética, como, por exemplo, a topologia *Doherty*.

### 5.1 Sistema de alimentação

Uma das responsabilidades do módulo conversor DC/DC é fornecer a tensão de alimentação necessária para o módulo TRX n78. Estão previstos circuitos com funcionalidade de medidas de segurança protetivas, tais como supressores de picos de tensão (diodo TVS), proteção contra intempéries naturais, sobretensão, sobrecorrente e inversão de polaridade por parte de uma eventual manutenção, robustez para suportar possíveis sobrecargas. Além disso, os estágios de conversão de tensão devem possuir alta eficiência energética para minimizar a geração de calor por perda de potência.

A Figura 92 apresenta a árvore de potência inicial com o objetivo avaliar a capacidade de fornecimento de tensão do conversor DC/DC para a parte de RF do PAM e RFFE para o sistema 8T8R 40W. É importante ressaltar que, com as definições de componentes de RF, os níveis de tensão exigidos podem ser alterados posteriormente.

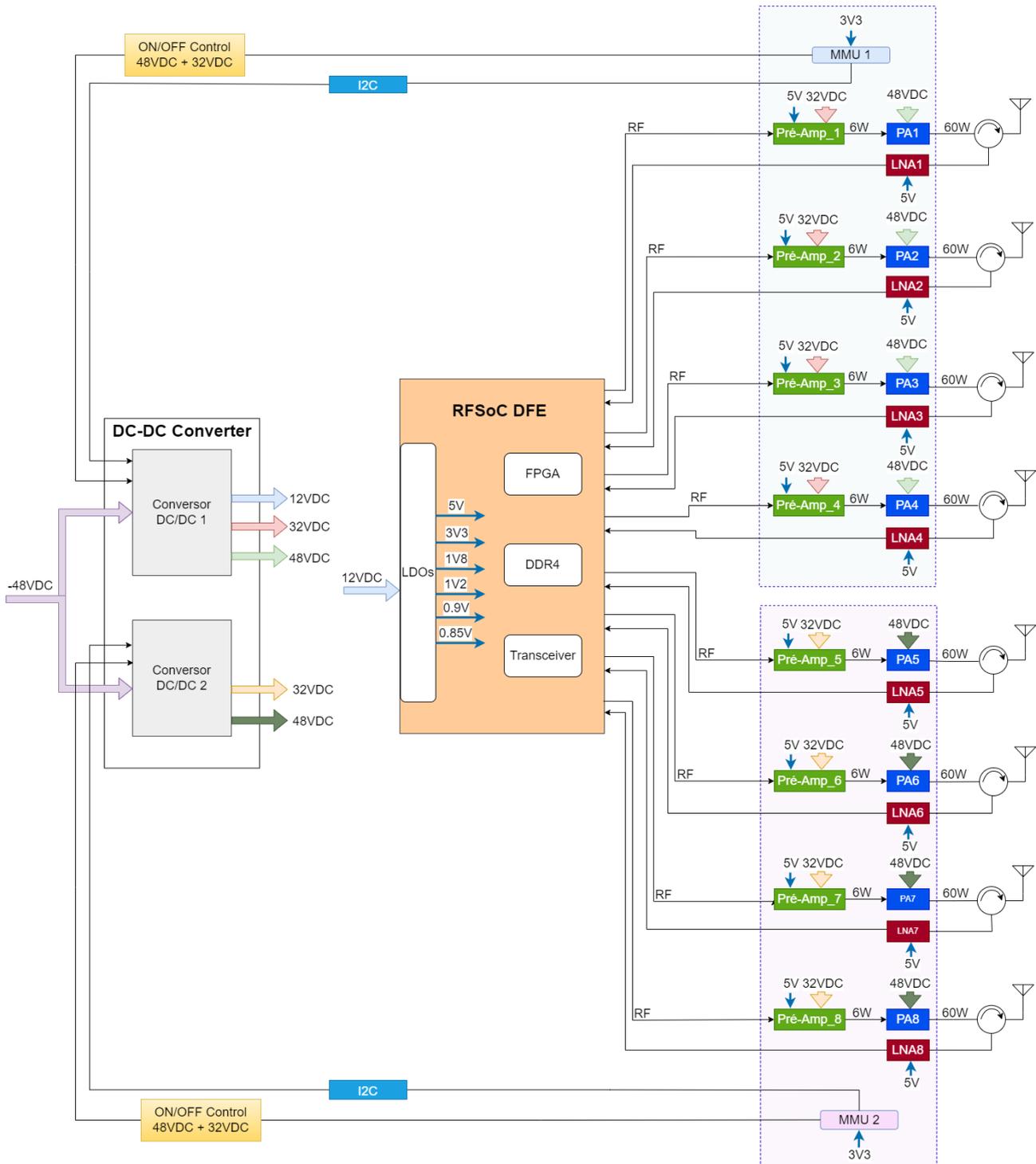


Figura 92: Árvore de potência do módulo TRX.

## 5.2 Sistemas de controle de RF

A amplificação de pequenos sinais é indispensável após os DACs do RFSoc DFE. Isso porque o sinal de transmissão entregue pela RFSoc DFE possui uma potência de aproximadamente -20 dBm para a banda n78. No caso da recepção, o sinal de baixa intensidade recebido do *User Equipment* (UE) deve ser amplificado o suficiente (entre -38 e 2 dBm na banda n78)

para que possa ser interpretado pela *Field Programmable Gate Arrays* (FPGA) e convertido pelos ADCs.

O módulo TRX n78 é dividido em duas partes: sistema de RF (módulos RFFE e PAM) e sistema de controle. A divisão proposta inicialmente pode ser observada através da Figura 93. Basicamente, o sistema de RF é composto principalmente por PAs, pré-amplificadores, amplificadores de ganho variável, acopladores direcionais, circuladores, LNAs, filtros, *switches* e limitadores. Já o sistema de controle é composto por *Microcontroller Units* (MCUs), CIs para controle e aquisição de sinais, interfaces de gravação/*debug* e *Light Emitting Diodes* (LEDs) de *status*.

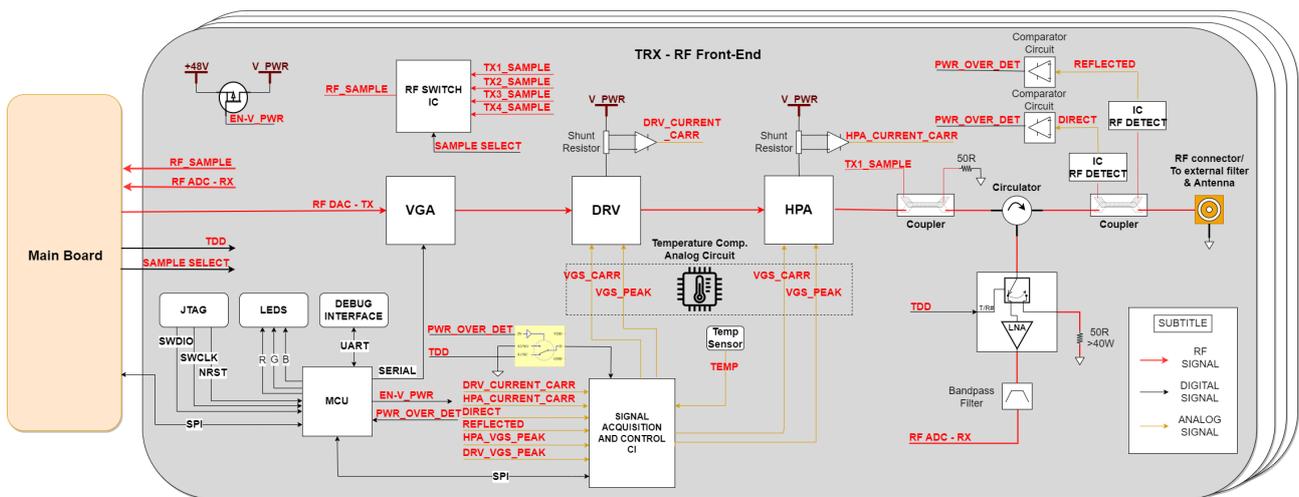


Figura 93: Diagrama em blocos inicial dos sistemas de RF e controle.

Dentre os diversos blocos que compõe o sistema de RF do módulo TRX n78 ilustrados na Figura 93, destacam-se os seguintes componentes:

- *Variable Gain Amplifier* (VGA): primeiro estágio que amplifica ou atenua o sinal de RF de entrada com capacidade de variar o ganho conforme a potência de saída desejável;
- *Driver* (DRV): segundo estágio da amplificação de alto ganho, ou pré-amplificador, responsável por excitar o *High Power Amplifier* (HPA) para operação na potência nominal desejada de saída;
- HPA: terceiro estágio de amplificação, sendo este o estágio de alta potência que expande a amplificação até o valor almejado de saída;
- Acoplador (*Coupler*): responsável por extrair uma pequena amostra do sinal de RF para controle dos sinais refletido e direto presentes na linha de transmissão do componente;
- Circulador (*Circulator*): direciona um único sentido do sinal de RF, isolando as portas de entrada no sentido da reflexão. Seu uso tem o intuito de isolar componentes do sistema de RF e proteger os amplificadores de reflexões indesejadas;
- CI de chaveamento de RF (*RF switch*): responsável por selecionar o caminho de propagação do sinal de RF. Por exemplo, este dispositivo pode ser utilizado para proteção ou seleção de caminhos de TX ou RX;

Título:	Projeto Open RAN@Brasil		
Documento:	Desenvolvimento do <i>Hardware</i> da O-RU		
Versão:	1	Data:	31/03/2024

- LNA + *switch*: a parte LNA amplifica os sinais recebidos de baixa potência com a menor adição de ruído possível. Já o *switch* seleciona o caminho entre RX e TX ou uma carga resistiva de proteção. Esta seleção pode ser controlada, por exemplo, pelo sinal de TDD;
- Filtro *Band-Pass Filter* (BPF): permite a passagem de sinais dentro da banda de frequência de interesse, enquanto atenua ou bloqueia sinais fora dessa banda, assegurando que o receptor na ERB receba apenas os sinais na faixa de frequência desejada.

Já o sistema de controle consiste na atuação, leitura e monitoramento dos sinais no módulo de RFFE e PAM realizando a polarização dos transistores, ajustes de ganho por meio do VGA e atenuadores variáveis, acionamentos baseados no sinal de TDD, controles de potência direta e refletida, dentre outros. Os seguintes requisitos funcionais serão realizados nesta parte:

- Ajuste de atenuação;
- Rotina de inicialização;
- Monitoramento do sistema;
- Calibração das tensões de *Gate-Source Voltage* (VGS) para polarização dos transistores;
- Compensação VGS de acordo com a temperatura;
- Configuração do CI para controle e aquisição de sinais;
- Desabilitação/ habilitação PAM;
- Situações de alarme.

De modo geral, a MCU controla os sinais de cada sistema de RF, monitora os sinais requeridos, comunica com a RFSoc DFE através do protocolo SPI e sinaliza sua condição através dos LEDs de status.

Para os sistemas 4T4R ou 8T8R, somente uma MCU não é capaz de prover a elevada quantidade de entradas ou saídas necessárias. Por isso, a MCU trabalha em conjunto com o CI de controle e aquisição de sinais através do protocolo SPI. Este dispositivo, por sua vez, possui diversas portas que podem ser configuradas como *General Purpose Input/Outputs* (GPIOs), ADC, DAC e outras formas de operação. Uma delas é a opção de conectar uma entrada GPIO com um sinal analógico na saída. Neste caso, utiliza-se o TDD como o sinal de entrada GPIO e as tensões analógicas de saída serão as tensões VGS para polarizar os transistores do DRV e do HPA. Portanto, ele concentra sinais e auxilia na quantidade de sinais para a MCU, facilitando o roteamento e utilizando o chaveamento do TDD para controle da polarização dos transistores com tensões VGS.

Com o avanço do projeto, mudanças nos sistemas de RF e controle foram planejadas com intuito de aprimorar o desempenho do sistema, como pode ser observado na Figura 94.

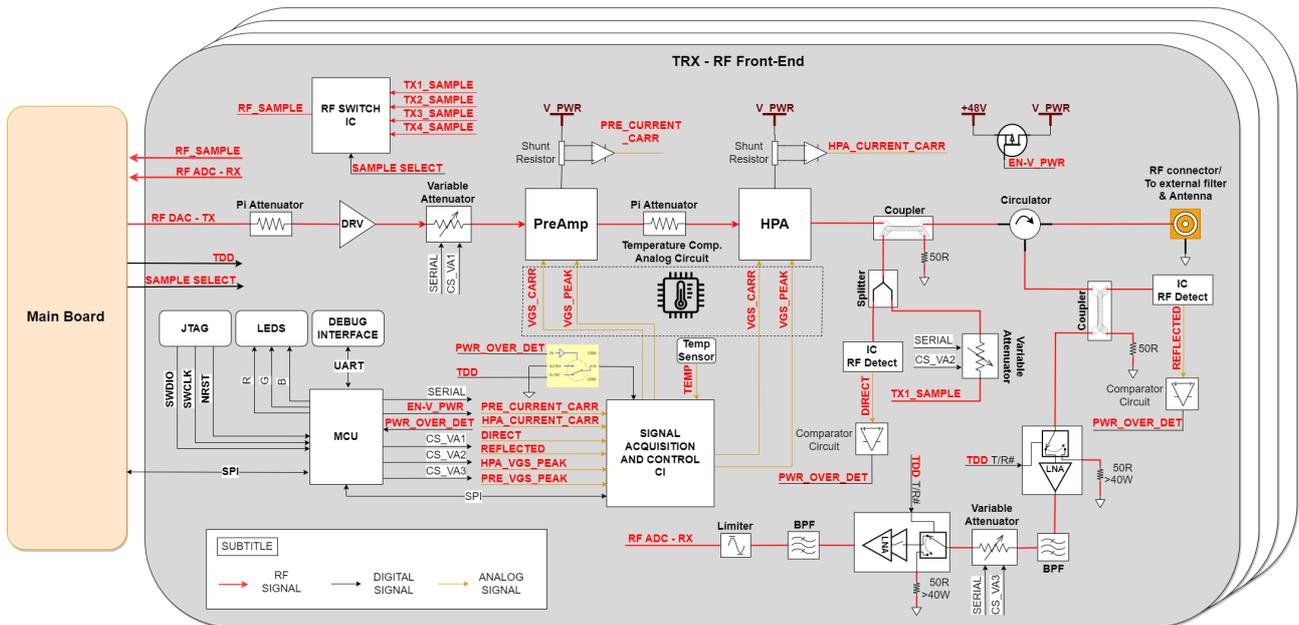


Figura 94: Diagrama em blocos 2ª versão dos sistemas de RF e controle.

Dentre as alterações, estão:

- Acréscimo dos atenuadores Pi (*Pi Attenuator*): este dispositivo é composto por elementos passivos com a finalidade de reduzir a potência do sinal de entrada a um nível inferior para entregar à saída em uma proporção pré-determinada. Além disso, este circuito é empregado para aprimorar o casamento de impedâncias entre estágios;
- Troca do VGA para o conjunto DRV, atenuador variável (*Variable Attenuator*) e Preamp: este circuito foi alterado por conta do estágio de amplificação do HPA necessitar de uma maior excitação na entrada. Para isto, o componente especificado para DRV entrega uma potência maior que a necessária ao PreAmp, sendo preciso também usar um atenuador variável para ajuste da potência de saída;
- Acréscimo do *Splitter*: este componente é utilizado para dividir o sinal de RF em duas amostras de saída, permitindo assim seu uso como amostras de *feedback* do DPD e a monitoramento de potência direta;
- Posicionamento do *Coupler*: reposicionamento do ponto de extração da amostra de sinal refletido para controle e monitoramento, visando a redução da perda por inserção no caminho de TX;
- Duplicação do LNA: estágio adicional de amplificação dos sinais recebidos de baixa potência para aumento da sensibilidade de recepção;
- Limitador (*Limitier*): na recepção, níveis de potência de entrada maiores que um certo limite pode levar à degradação ou até mesmo à danificação do ADC de recepção. O Limitador é um componente responsável por restringir o nível de potência em sua saída para um valor conhecido, protegendo assim os componentes seguintes;
- Filtros BPF: O primeiro filtro no caminho da recepção normalmente auxilia na eliminação dos sinais indesejados e proteção contra interferências. Já o segundo filtro no caminho

da recepção, suprime ainda mais os sinais interferentes e ampliações fora da faixa de interesse [19].

Salienta-se que o desenvolvimento do circuito de controle de RF tornou-se responsabilidade do CPQD. Conforme o andamento do projeto, novas mudanças estão sendo realizadas constantemente com o objetivo de otimizar a solução de RF. As alterações são apresentadas a seguir de acordo com as respostas dos testes de validação dos componentes.

### 5.3 Desenvolvimento preliminar do *hardware*

Durante a etapa de definição da arquitetura do módulo TRX, determinou-se que este seria composto pelos módulos RFFE e PAM. O RFFE consiste no primeiro estágio de amplificação do TX, recebendo a potência de saída do módulo DFE e entregando aproximadamente 5dBm para o módulo PAM, e também de toda a cadeia de amplificação do RX, responsável por receber um sinal com potência entre -101 a -50 dBm e entregar um sinal com potência entre -38 a 2 dBm para o módulo DFE. Já o PAM é composto pelos estágios de amplificação do TX de potência elevada, recebendo a potência de saída do RFFE e entregando aproximadamente 47 dBm na saída. Além disso, o circuito para obtenção de amostra do sinal amplificado que será enviado ao módulo DFE para aplicação da DPD, bem como o circulator responsável pelo direcionamento dos sinais entre TX e RX estão presentes no PAM.

#### 5.3.1 Módulo RFFE

A Figura 95 apresenta as duas opções de *line-up* do RFFE TX que serão avaliados neste projeto e os PNs definidos para sua composição.

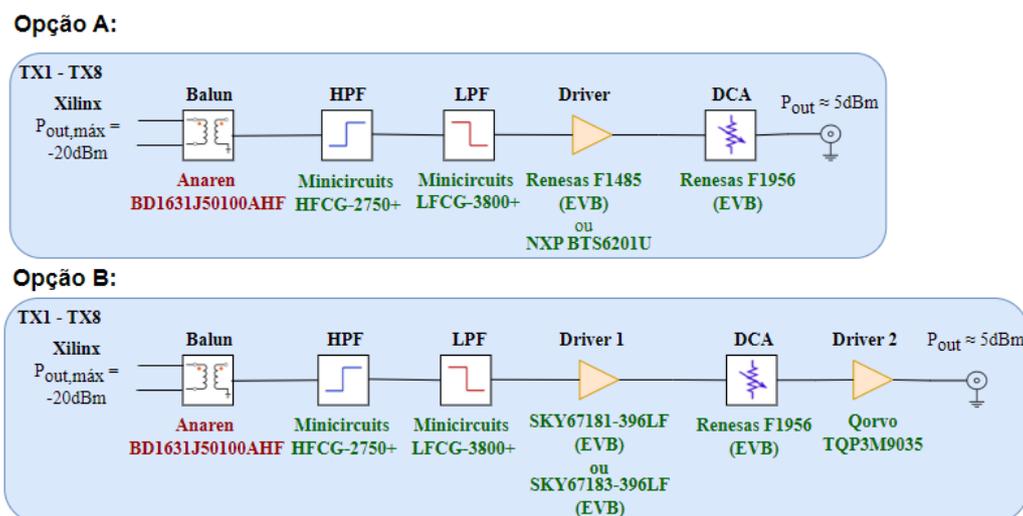


Figura 95: Opções de *line-up* para composição do RFFE TX.

A Tabela 15 descreve os PNs selecionados para as duas opções de *line-up* do RFFE TX, bem como suas funcionalidades e principais características.

Tabela 15: Informações técnicas dos componentes para o RFFE TX.

Item	Fabricante	PN	Funcionalidade	Frequência [MHz]	Principais características
1	Minicircuits	HFCG-2750+	Filtro passa-altas	2900 a 16000	$IL_{m\acute{a}x} = 2,1 \text{ dB}$ , $F_{3 \text{ dB}} = 2750\text{MHz}$
2	Minicircuits	LFCG-3800+	Filtro passa-baixas	DC a 3900	$IL_{m\acute{a}x} = 1,8 \text{ dB}$ , $F_{3 \text{ dB}} = 5000\text{MHz}$
3	Renesas	F1956	Atenuador variável	3000 a 4000	Range de 31,75 dB, step de 0,25 dB
4	Renesas	F1485	<i>Driver</i>	3300 a 3800	Ganho: 33 a 36,5 dB
5	NXP	BTS6201U	<i>Driver</i>	2300 a 4200	Ganho: 29,5 a 31,5 dB
6	Skyworks	SKY67181-396LF	<i>Driver 1</i>	3300 a 4200	Ganho (typ): 22,5 dB
7	Skyworks	SKY67183-396LF	<i>Driver 1</i>	3300 a 3800	Ganho (typ): 18,9 dB
8	Qorvo	TQP3M9035	<i>Driver 2</i>	50 a 6000	Ganho (mín): 12,5 dB

A Figura 96 apresenta as duas opções de *line-up* do RFFE RX que serão avaliados neste projeto e os PNs definidos para sua composição. A Tabela 16 descreve os PNs selecionados para as duas opções de *line-up* do RFFE RX, bem como suas funcionalidades e principais características.

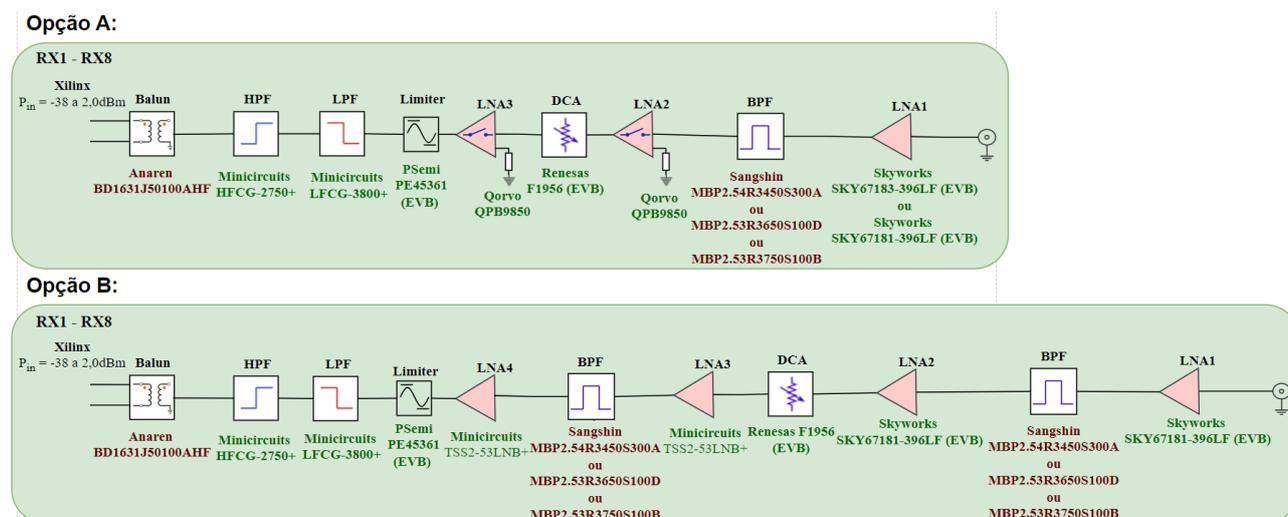


Figura 96: Opções de *line-up* para composição do RFFE RX.

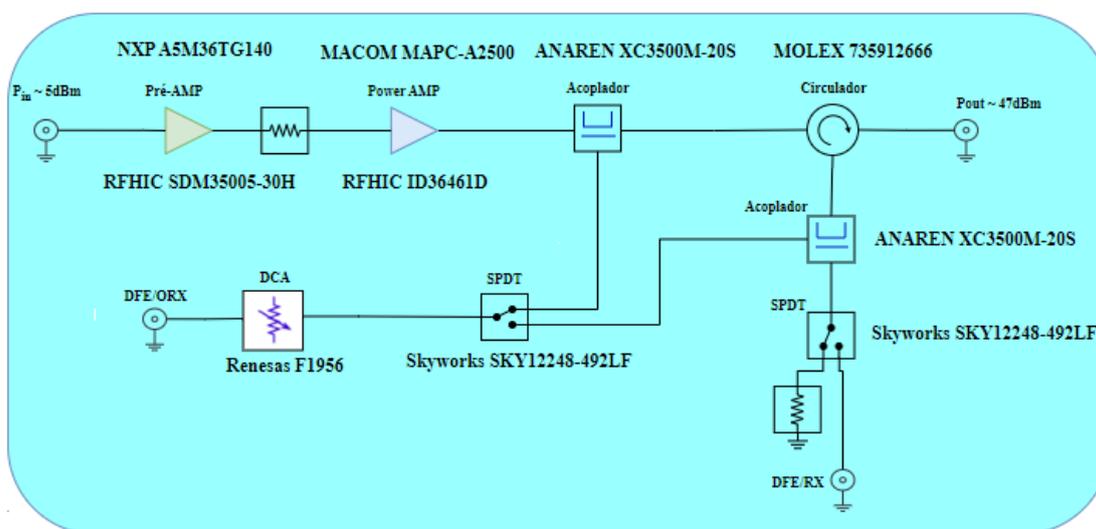
Tabela 16: Informações técnicas dos componentes para o RFFE RX.

Item	Fabricante	PN	Funcionalidade	Frequência [MHz]	Principais características
1	Minicircuits	HFCG-2750+	Filtro passa-altas	2900 a 16000	$IL_{m\acute{a}x} = 2,1 \text{ dB}$ , $F_{3\text{dB}} = 2750\text{MHz}$
2	Minicircuits	LFCG-3800+	Filtro passa-baixas	DC a 3900	$IL_{m\acute{a}x} = 1,8 \text{ dB}$ , $F_{3\text{dB}} = 5000\text{MHz}$
3	Sangshin	MPB2.54R4350S300A	Filtro passa-banda	3300 a 3600	$IL_{m\acute{a}x} = 2 \text{ dB}$ , $ATT(\text{mín}) = 30 \text{ dB}$ (3,05GHz) e 19 dB (3,85GHz)
4	Sangshin	MBP2.53R3650S100D	Filtro passa-banda	3600 a 3700	$IL_{m\acute{a}x} = 2 \text{ dB}$ , $ATT(\text{mín}) = 27 \text{ dB}$ (3,244GHz) e 17 dB (3,8GHz)
5	Sangshin	MBP2.53R3750S100B	Filtro passa-banda	3700 a 3800	$IL_{m\acute{a}x} = 2 \text{ dB}$ , $ATT(\text{mín}) = 7 \text{ dBc}$ (3,525-3,625GHz) e 7 dBc (3,9-3,95GHz)
6	Renesas	F1956	Atenuador variável	3000 a 4000	<i>Range</i> de 31,75 dB, <i>step</i> de 0,25 dB
7	PSemi	PE45361	<i>Limiter</i>	10 a 8000	<i>Threshold</i> : 7 a 13 dBm
8	Skyworks	SKY67181-396LF	LNA 1 e LNA 2	3300 a 4200	Ganho ( <i>typ</i> ): 22,5 dB
9	Skyworks	SKY67183-396LF	LNA 1	3300 a 3800	Ganho ( <i>typ</i> ): 18,9 dB
10	Qorvo	QPB9850	LNA 2 e LNA 3	2300 a 5000	Ganho ( <i>low mode</i> ): 16,5 dB e Ganho ( <i>high mode</i> ): 34 dB
11	Minicircuits	TSS2-53LNB+	LNA 3 e LNA 4	500 a 5000	Ganho ( <i>typ</i> ): 20 dB

### 5.3.2 Módulo PAM

A Figura 97 apresenta as duas opções de *line-up* do PAM que serão avaliados neste projeto, e os PNs definidos para sua composição. A Tabela 17 descreve os PNs selecionados para as duas opções de *line-up* do PAM, bem como suas funcionalidades e principais características.

#### Opção A:



#### Opção B:

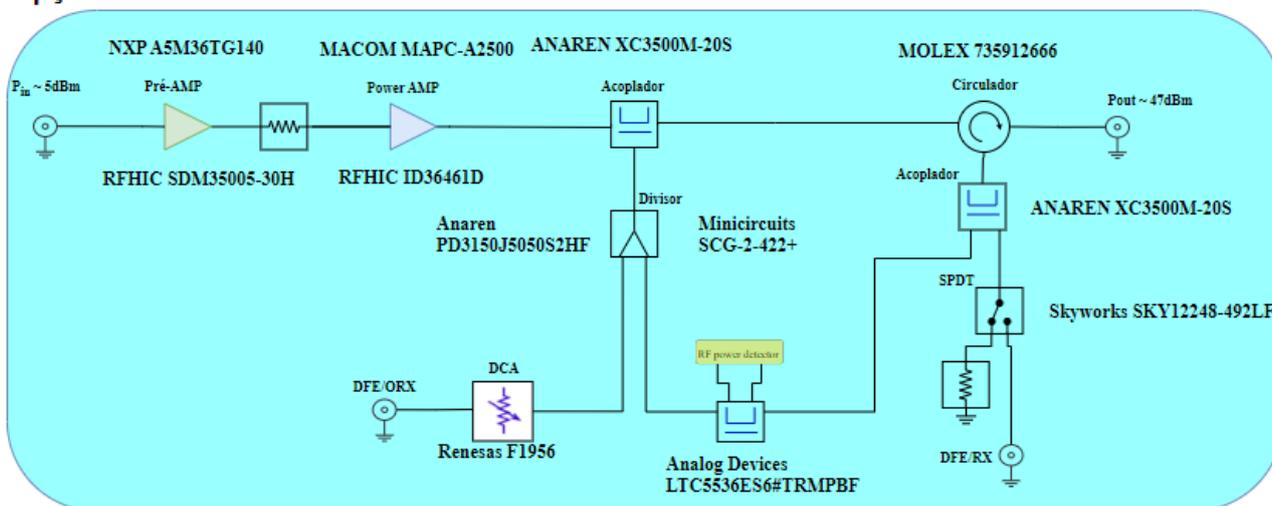


Figura 97: Opções de *line-up* para composição do PAM.

Tabela 17: Informações técnicas dos componentes para o PAM.

Item	Fabricante	PN	Funcionalidade	Frequência [MHz]	Principais características
1	Renesas	F1956	Atenuador variável	3000 a 4000	Range de 31,75 dB step de 0,25 dB
2	NXP	A5M36TG140	Pré-Amp	3300 a 3800	<i>Eff Drain (typ)</i> : 42,4%, Ganho ( <i>typ</i> ): 30,2 dB e e $P_{out(av)}$ : 39,5 dBm
3	RFHIC	SDM35005-30H	Pré-Amp	3300 a 3700	<i>Eff Drain (typ)</i> : 14%, Ganho ( <i>typ</i> ): 35 dB e $P_{out(av)}$ : 35 dBm
4	MACOM	MAPC-A2500	<i>Power Amp</i>	3300 a 3800	<i>Eff Drain (typ)</i> : 43%, Ganho ( <i>typ</i> ): 14,6 dB e $P_{out(av)}$ : 47,8 dBm
5	RFHIC	ID36461D	<i>Power Amp</i>	3300 a 3700	<i>Eff Drain (typ)</i> : 47%, Ganho ( <i>typ</i> ): 14 dB e $P_{out(av)}$ : 47,5 dBm
6	Anaren	XC3500M-20S	Acoplador	3300 a 3800	IL: 0,2 dB e COUP: 20 dB
7	Molex	735912666	Circulador	3300 a 3800	IL ( <i>typ</i> ): 0,25 dB e ISO <sub>mín</sub> : 20 dB
8	Skyworks	SKY12248-492LF	Chave SPDT	2300 a 3800	IL ( <i>typ</i> ): TX<0,8 dB, RX<0,4 dB, ISO: ANT-RX 37 dB, RX-TX 40 dB e ANT-TX 17 dB
9	Anaren	PD3150J5050S2HF	Divisor	3100 a 5000	IL (máx): <0,3 dB, ISO (mín): 18 dB
10	Minicircuits	SCG-2-422+	Divisor	2800 a 4200	IL (máx): <0,7 dB, ISO (mín): 19 dB
11	Analog Devices	LTC5536ES6 #TRMPBF	RF <i>Power Detector</i>	600 a 7000	-26 dBm< $P_{in}$ <12 dBm

É importante ressaltar que foi levado em conta a complexidade ao lidar com a amplificação de alta potência. Isso envolve desafios técnicos significativos, tais como, gerenciamento térmico do transistor do PA em um sistema *fanless*, disponibilidade comercial, requisitos elétricos, equilíbrio da necessidade de alta potência com a eficiência energética, custo e tamanho físico necessário para o projeto.

Após a definição da arquitetura dos módulos RFFE e PAM, realizou-se a aquisição de *Evaluation Boards* (EVBs) e componentes para avaliação experimental de desempenho dos PNs. A Seção 5.4 a seguir apresenta os resultados dos testes realizados com alguns dos componentes, sendo que os demais PNs ainda estão em processo de finalização de compra/entrega.

## 5.4 Testes preliminares de validação

Os testes de validação possuem a finalidade de corroborar o funcionamento dos PNs selecionados, visando assegurar o posterior desempenho dos módulos RFFE e PAM conforme os requisitos do projeto. Nestes testes foram validadas as funcionalidades iniciais de cada PN de forma isolada.

Para avaliação dos parâmetros de desempenho foram utilizados o *Network Analyzer* E5071C da Agilent® para avaliação dos parâmetros S, o *Spectrum Analyzer* MXA N9020A da Agilent®

para obtenção da resposta no espectro e medição de ACLR, além do gerador de sinais SMF100A da *Rohde&Schwarz*<sup>®</sup> para geração de sinal CW e o kit de desenvolvimento Zynq *UltraScale+* RFSoc DFE ZCU670 para geração do sinal 5G. A seguir são descritos os *setups* de medição e os resultados obtidos com os testes realizados para a validação dos PNs.

#### 5.4.1 Atenuador variável F1956

A EVB do atenuador variável com passo digital da Renesas F1956 foi avaliada considerando os diversos níveis possíveis de atenuação, configurados por meio do barramento de comunicação paralela disponível na EVB. A Figura 98 apresenta o *setup* para medição dos parâmetros.

Os resultados dos testes referentes aos parâmetros S são mostrados na Figura 99.

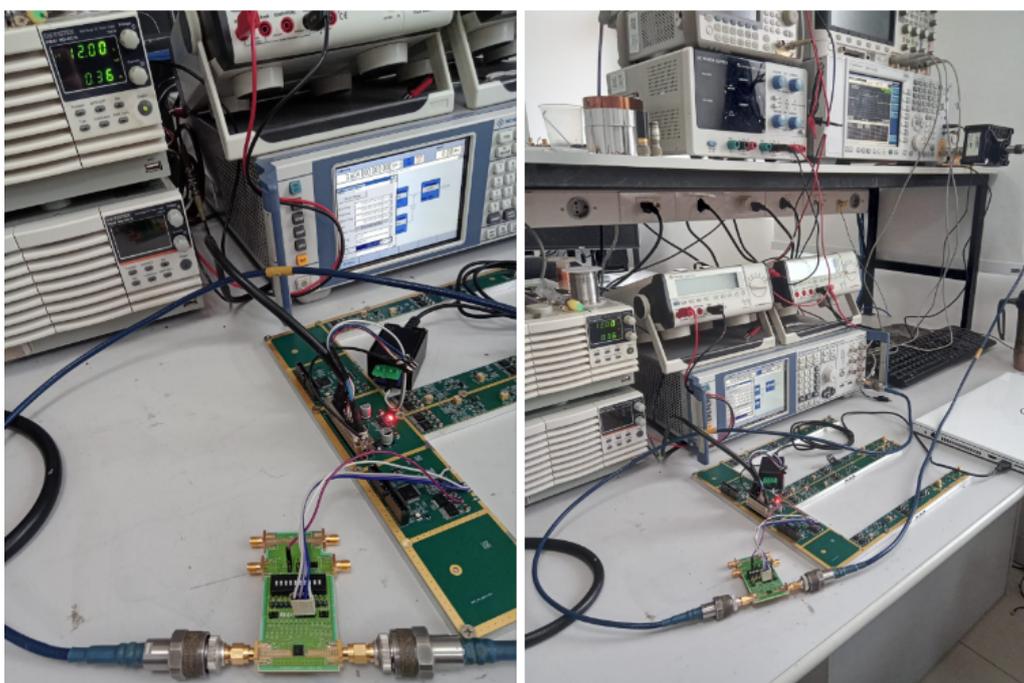


Figura 98: *Setup* de testes para validação do atenuador variável F1956.

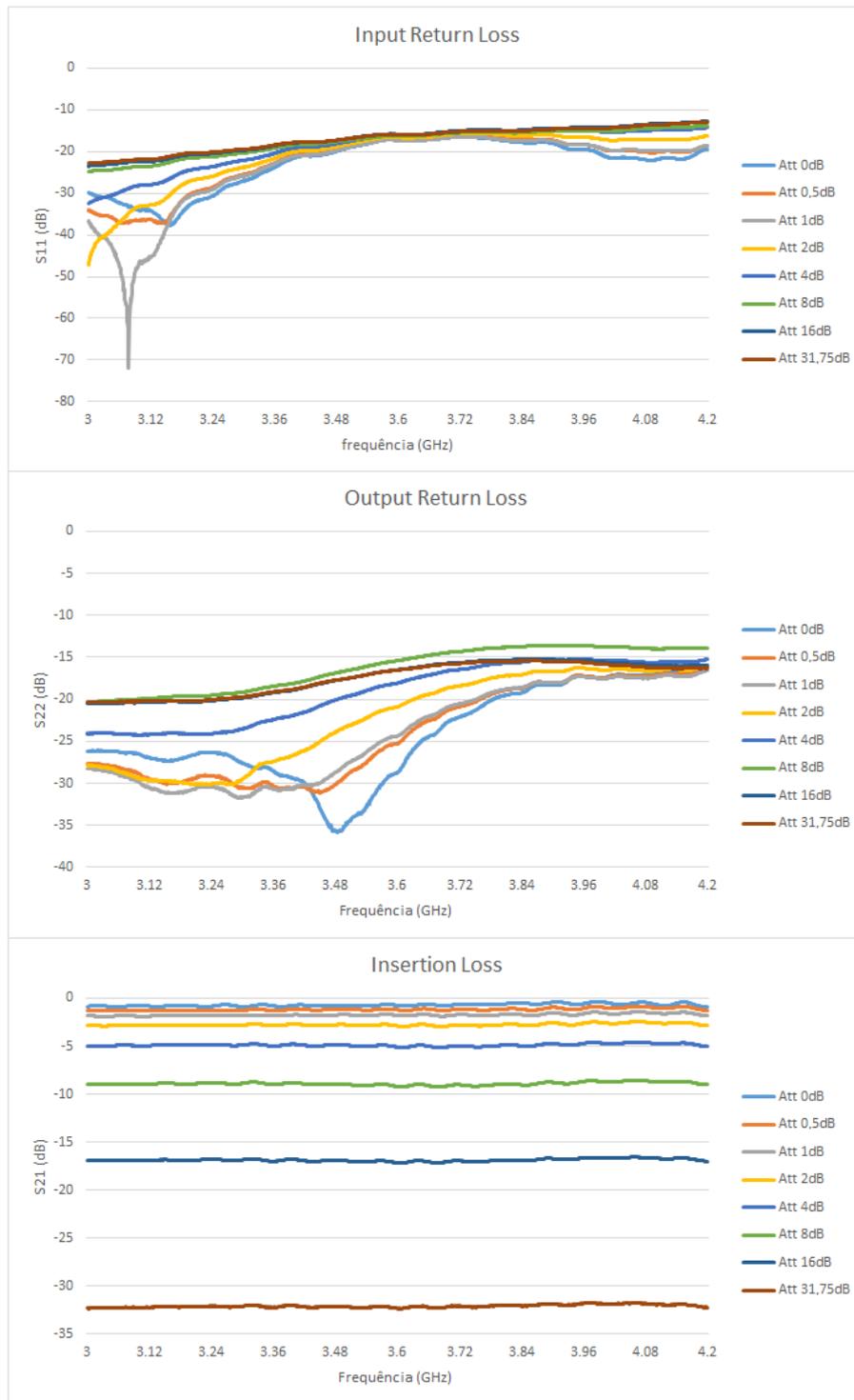


Figura 99: Parâmetros S do atenuador variável F1956.

Observa-se que o atenuador variável Renesas F1956 apresenta, dentro da banda n78 de operação, perdas de retorno de entrada e saída com valores mínimos de -14,75 dB e -13,84 dB, respectivamente. Além disso, a perda por inserção máxima quando configurado para a atenuação de 0 dB foi de aproximadamente -0,9 dB. Os resultados obtidos para as demais configurações corroboram os níveis de atenuação definidos para os casos avaliados.

### 5.4.2 Limitador PE45361

A EVB do limitador PSEMI PE45361 foi avaliada considerando o *setup* de medição apresentado na Figura 100, variando-se a tensão de controle do modo de operação  $V_{ctrl} = 0 V_{DC}$ ,  $0,15 V_{DC}$  e  $0,30 V_{DC}$  (*limiting mode*).

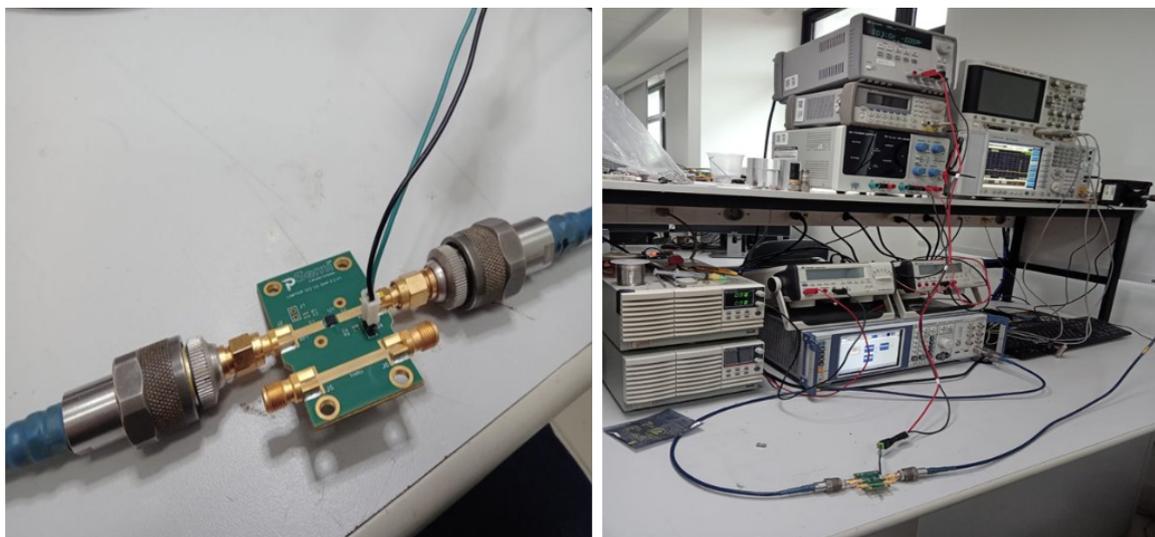


Figura 100: *Setup* de testes para validação do limitador PE45361.

Os resultados dos testes de parâmetros S do limitador de potência são apresentados nas Figuras 101 e 102, sendo que se realizou o *de-embedding* da placa através do *thru trace* presente na EVB.

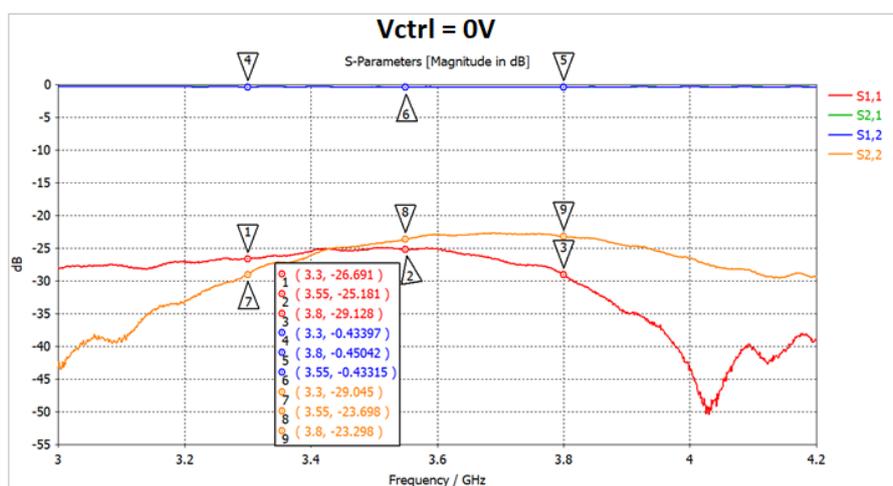


Figura 101: Parâmetros S do limitador PE45361 - Parte 1.

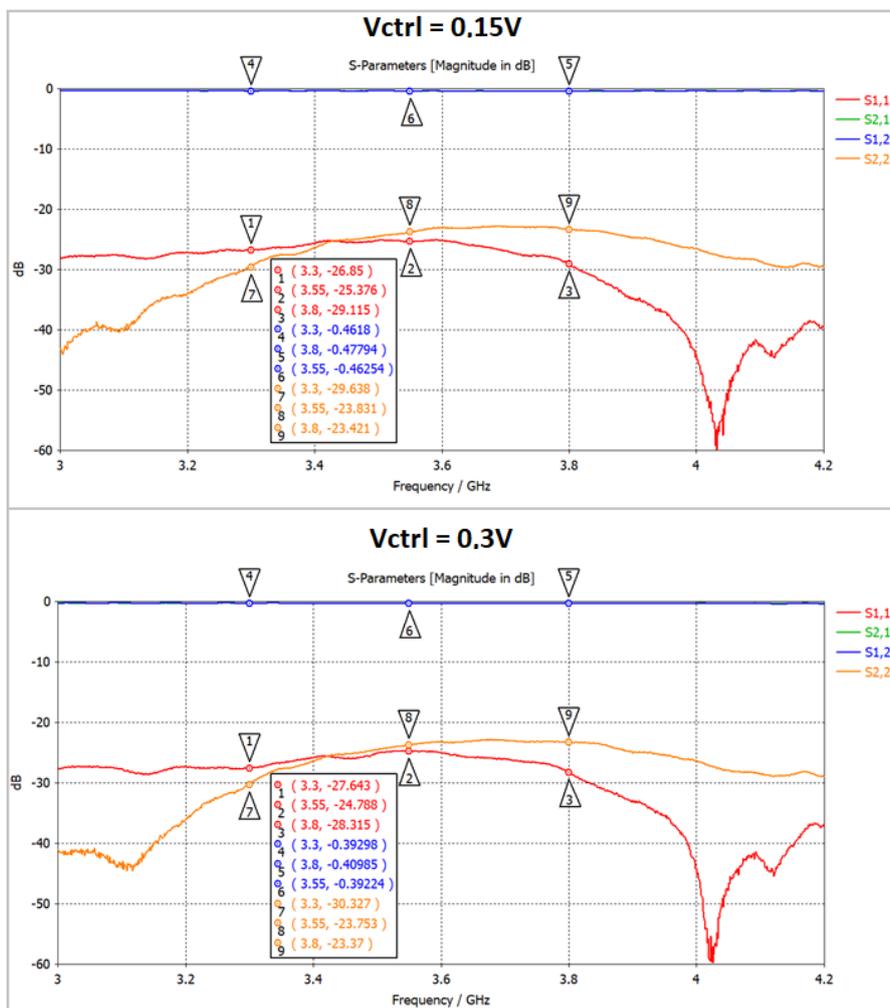


Figura 102: Parâmetros S do limitador PE45361 - Parte 2.

A partir dos resultados obtidos, é possível verificar que, na banda n78 de operação, a máxima perda por inserção do limitador PE45361 foi de -0,48 dB e as mínimas perdas de retorno de entrada e saída foram de -24,79 dB e -23,29 dB, respectivamente.

Avaliou-se, também, a relação entre a potência de saída e a potência de entrada para as frequências de 3,3 GHz, 3,55 GHz e 3,8 GHz, conforme apresentado na Figura 103, considerando um sinal CW na entrada do limitador.

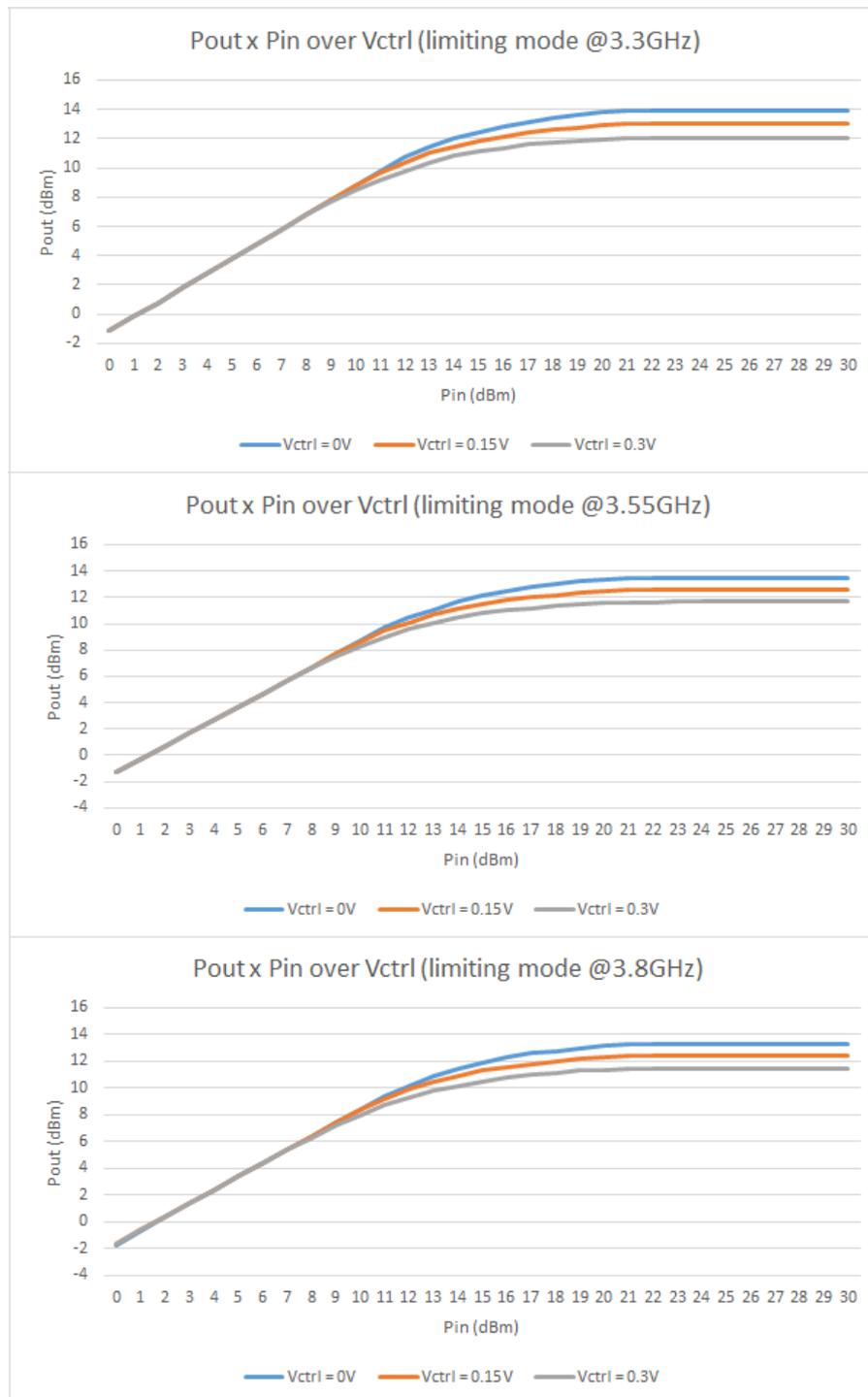


Figura 103: Relação entre potência de saída e potência de entrada do limitador PE45361, considerando um sinal CW.

Com estes resultados, observa-se que é possível ajustar o *threshold* do limitador a partir de  $V_{ctrl}$ , limitando a potência de saída entre 12 dBm e 14 dBm na banda n78 de operação, sendo um importante recurso de proteção para o circuito RX do módulo RFFE.

### 5.4.3 Driver F1485

A EVB do *driver* Renesas F1485 foi avaliada considerando o *setup* de medição apresentado na Figura 104.

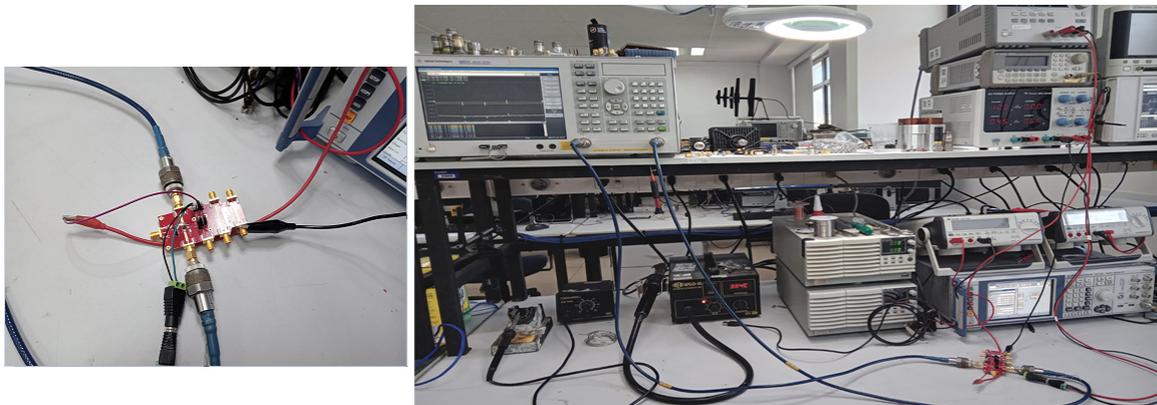


Figura 104: *Setup* de testes para validação do *driver* F1485.

Os parâmetros S foram avaliados na faixa de frequências entre 3 GHz e 4,2 GHz, considerando a tensão de alimentação  $V_{cc} = 4,75$  V, 5 V e 5,25 V, conforme apresentado nas Figuras 105 e 106.

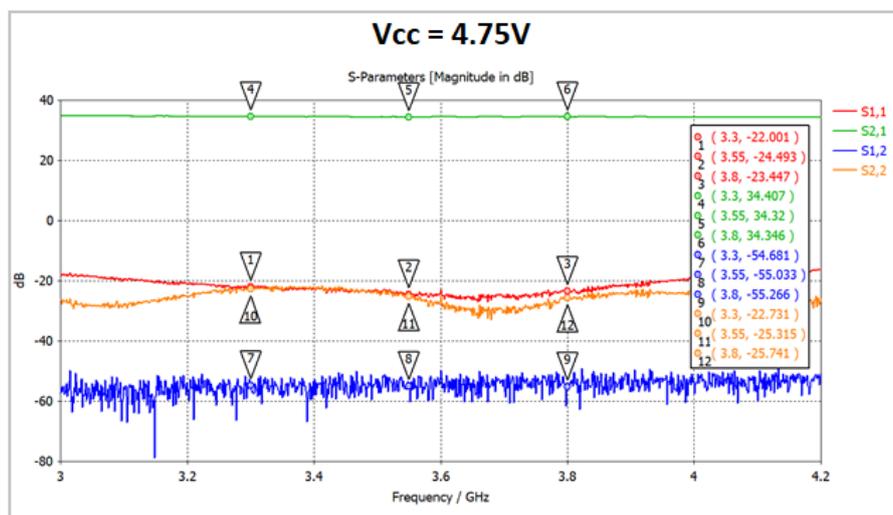


Figura 105: Parâmetros S do *driver* F1485 - Parte 1.

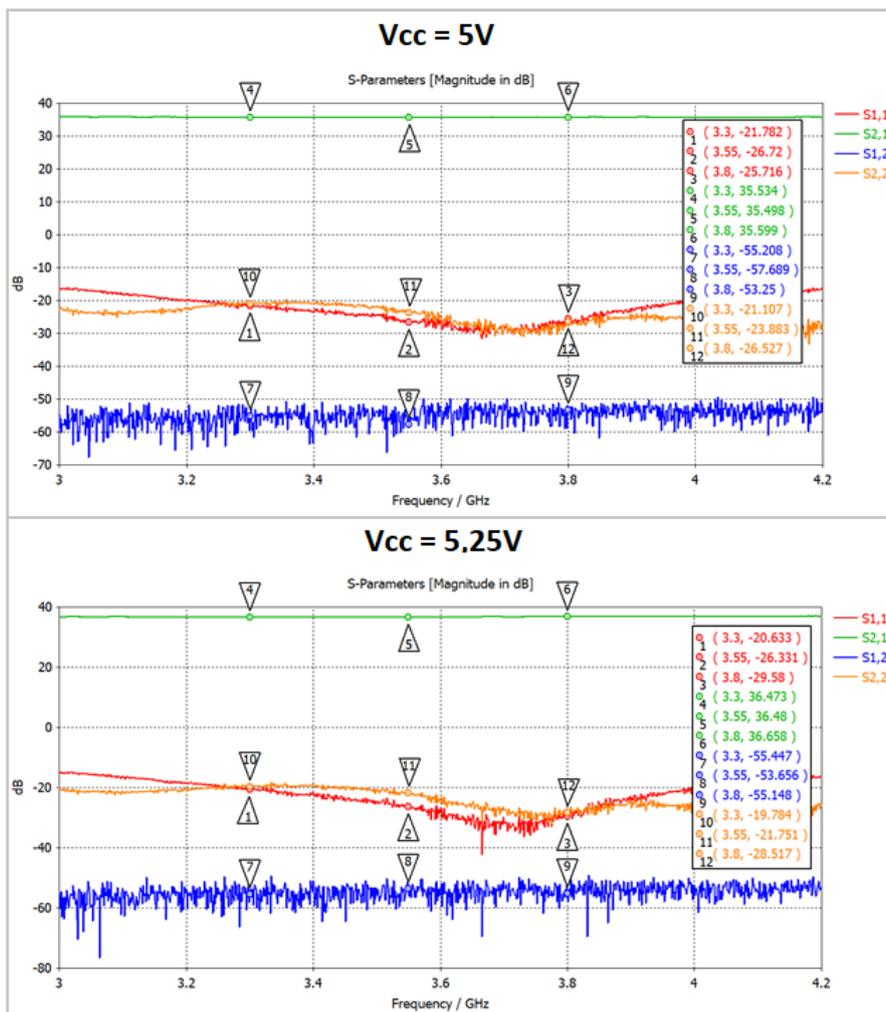


Figura 106: Parâmetros S do *driver* F1485 - Parte 2.

Constata-se que o *driver* Renesas F1485 apresenta ganho mínimo de 34,3dB e máximo de 36,6 dB dentro da banda n78 de operação, dependendo da tensão  $V_{cc}$  utilizada. Para os casos avaliados, a perda de retorno de entrada e saída apresentaram valores mínimos de -20,63 dB e -19,78 dB, respectivamente. Além disso, a isolamento reversa apresentou valor mínimo de -53 dB.

Avaliou-se, também, a relação entre a potência de saída e a potência de entrada para as frequências de 3,3 GHz, 3,55 GHz e 3,8 GHz, conforme apresentado na Figura 107, considerando um sinal CW de entrada. A partir destes dados, observa-se que a P1dB medido foi de 27,5 dBm e o P3dB foi de 29 dBm.

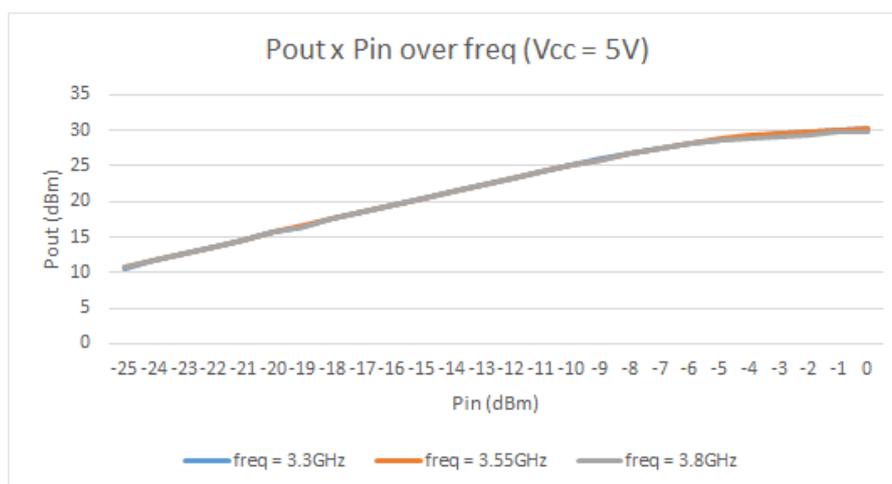


Figura 107: Relação entre potência de saída e potência de entrada do *driver* F1485, considerando um sinal CW de entrada.

Por fim, o desempenho da EVB foi avaliado em termos de ACLR aplicando-se um sinal 5G gerado pelo kit de desenvolvimento ZCU 670. Para tal, foram consideradas diferentes frequências centrais com *Bandwidth* (BW) máxima de 100 MHz. Ainda, o sinal de entrada foi configurado para obtenção de uma potência de saída do *driver* em torno de 8 dBm, representando uma margem de segurança em relação ao valor requerido de 5 dBm. Ressalta-se que um limite de ACLR de 55 dBc foi estabelecido visando alcançar os limites normativos em torno de 45 dBc após todos os estágios de amplificação. Os resultados são apresentados na Figura 108.

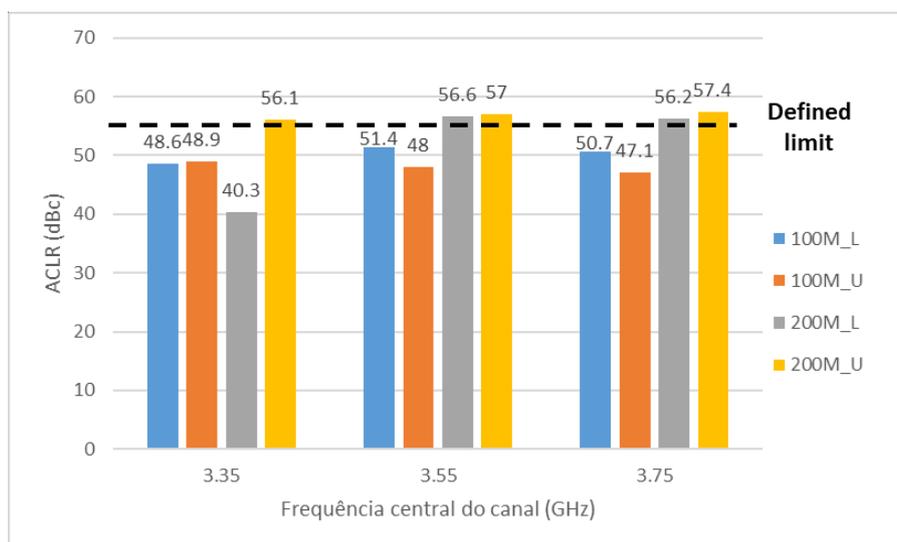


Figura 108: ACLR do *driver* F1485, com sinal 5G gerado pelo kit de desenvolvimento.

#### 5.4.4 *Driver*/LNA SKY67181-396LF

O *setup* de medição definido para a avaliação da EVB do *driver*/LNA SKY67181-396LF é apresentado na Figura 109.

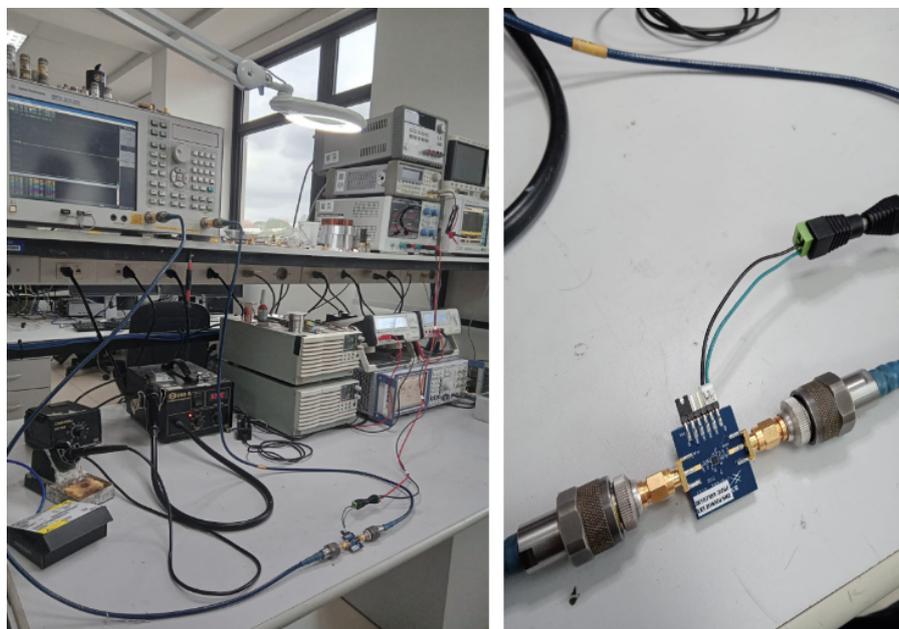


Figura 109: *Setup* de testes para validação do *driver*/LNA SKY67181-396LF.

Os parâmetros S foram avaliados na faixa de frequências entre 3 GHz e 4,2 GHz, considerando a potência de saída do *Network Analyzer* igual a -20 dBm (entrada do LNA). Os resultados obtidos são apresentados na Figura 110.

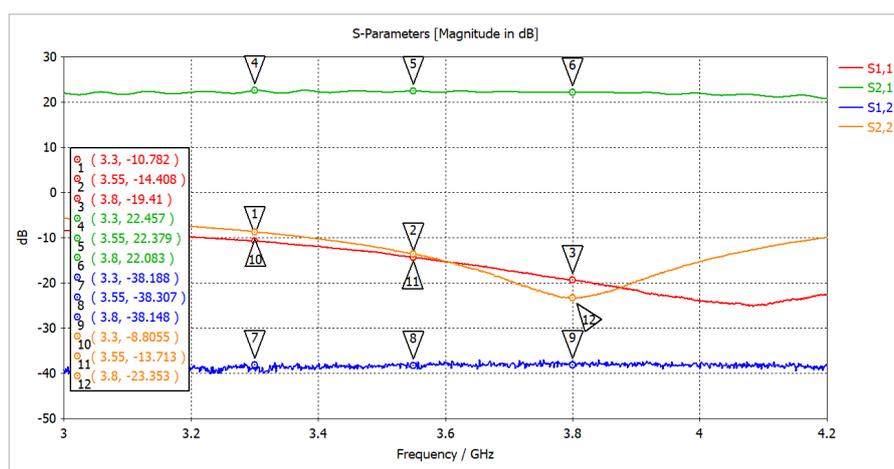


Figura 110: Parâmetros S do *driver*/LNA SKY67181.

Com os resultados obtidos avalia-se que o *driver*/LNA Skyworks SKY67181-396LF apresentou ganho mínimo de 22,08 dB e máximo de 22,46 dB dentro da banda n78 de operação. Para os casos avaliados, a perda de retorno de entrada e saída apresentaram valores mínimos iguais à -10,78 dB e -8,81 dB, respectivamente. Além disso, a isolamento reversa apresentou valor mínimo de -38,15 dB.

A relação entre a potência de saída e a potência de entrada para as frequências de 3,3 GHz, 3,55 GHz e 3,8 GHz também foi analisada, conforme apresentado na Figura 111, considerando um sinal CW na entrada do *driver*/LNA.

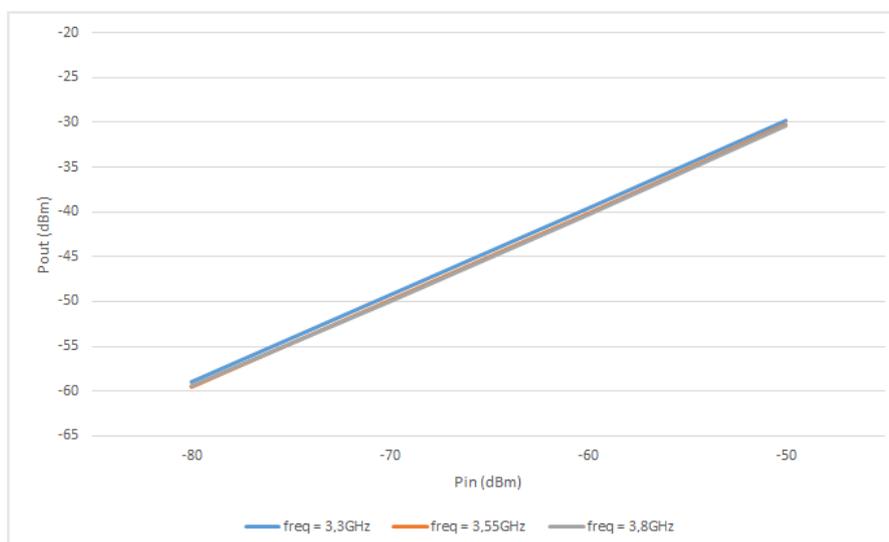


Figura 111: Relação entre potência de saída e potência de entrada do *driver*/LNA SKY67181, considerando um sinal CW.

Em seguida, o desempenho da EVB foi analisado em termos de ACLR, aplicando-se o sinal 5G gerado pelo kit de desenvolvimento ZCU670 para uma BW de 100 MHz e três frequências centrais distintas dentro da banda n78. Para uma potência de entrada de -18 dBm no LNA, tem-se os resultados medidos apresentados na Figura 112.

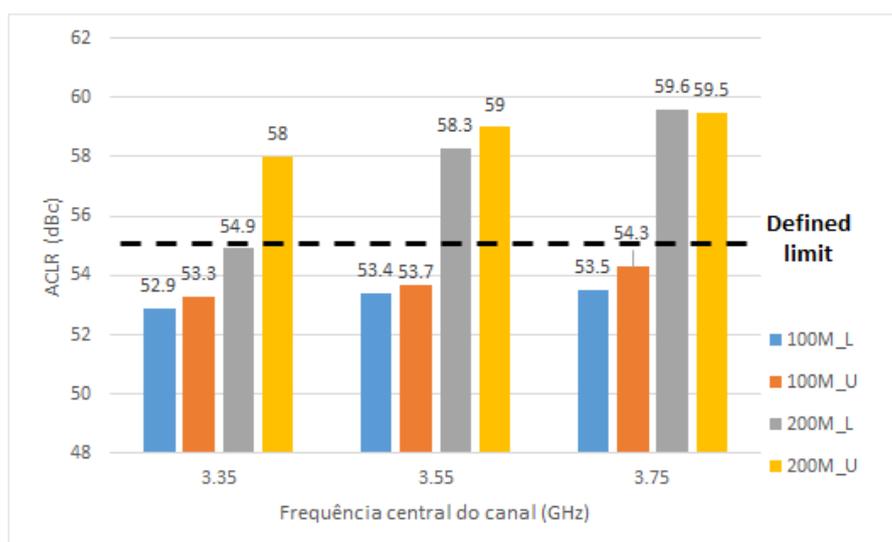


Figura 112: ACLR do *driver*/LNA SKY67181, considerando um sinal 5G gerado pelo kit de desenvolvimento.

### 5.4.5 Pré-amplificador A5M36TG140

A Figura 113 apresenta o *setup* para medição dos parâmetros de desempenho do pré-amplificador NXP A5M36TG140.

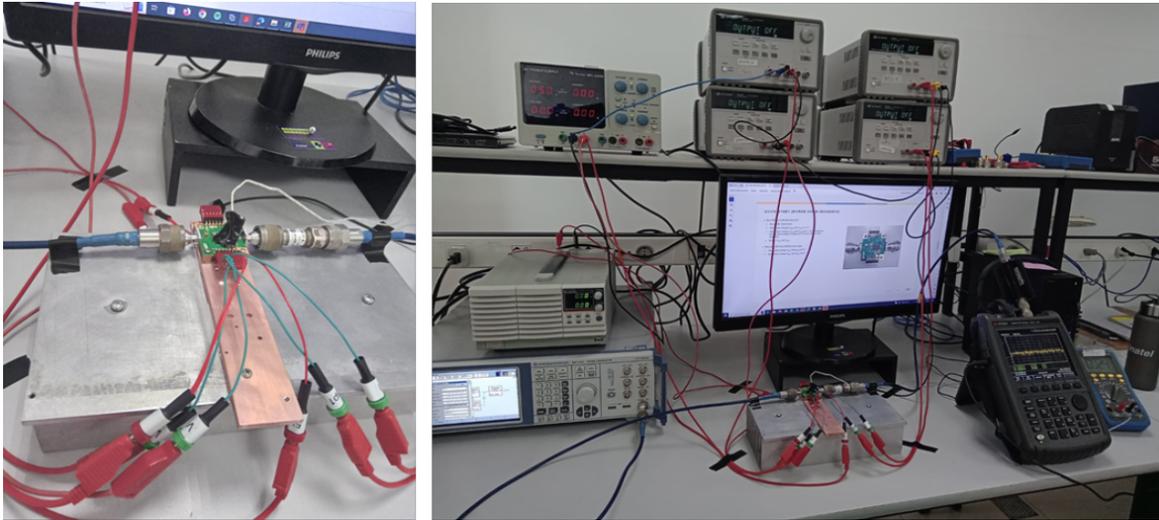


Figura 113: *Setup* de testes para validação do pré-amplificador A5M36TG140.

Realizaram-se os testes com sinal CW aplicado na entrada do pré-amplificador, analisando-se a relação entre as potências de saída e de entrada para as frequências de 3,3 GHz, 3,55 GHz e 3,8 GHz, conforme apresentado na Figura 114. Com estes dados, os valores de ganho obtidos para cada frequência/potência de entrada foram extraídos e apresentados na Figura 115.

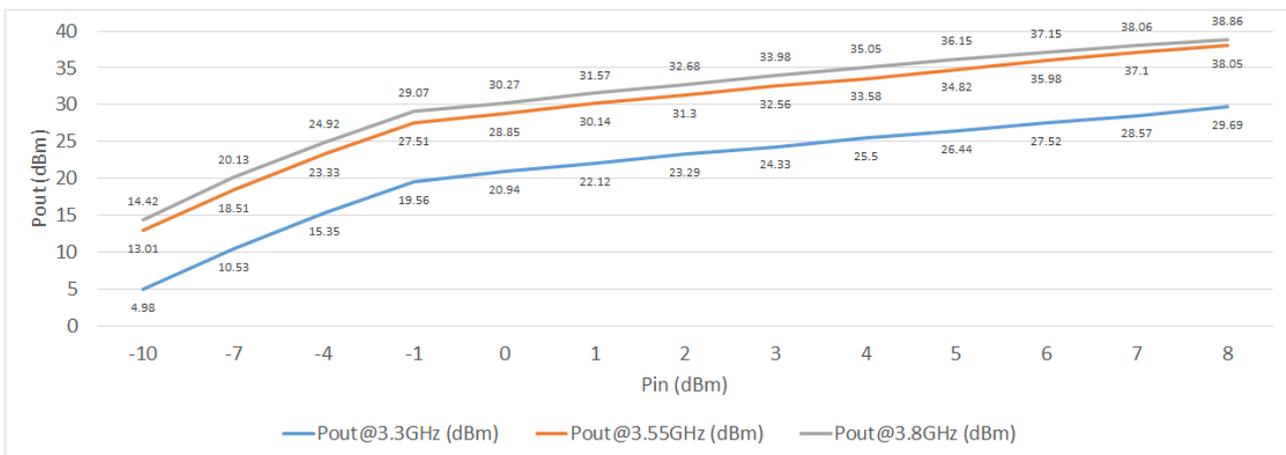


Figura 114: Relação entre potência de saída e potência de entrada, considerando um sinal CW aplicado no pré-amplificador A5M36TG140.

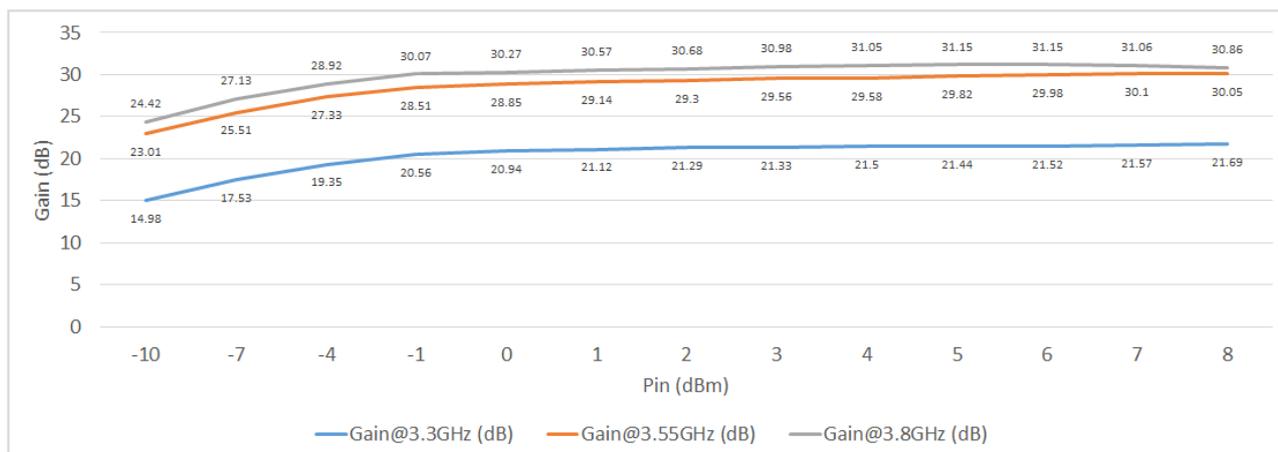


Figura 115: Relação entre ganho e potência de entrada do pré-amplificador A5M36TG140, considerando um sinal CW.

Avaliando os resultados apresentados, a potência de saída e o ganho alcançam valores próximos aos nominais fornecidos pelo fabricante quando operando em seu regime de excitação. Porém, é possível notar que o PN apresentou queda significativa de desempenho na frequência de 3,3 GHz em relação as demais. Este comportamento será reavaliado nas atividades futuras.

Além disso, a corrente consumida pelas fontes de alimentação e a temperatura do CI foram registradas nas Figuras 116 e 117, respectivamente.

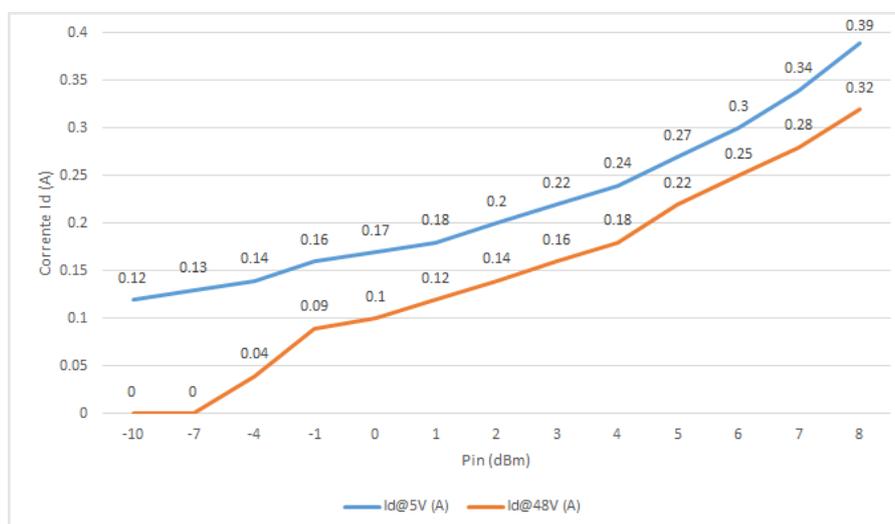


Figura 116: Corrente consumida pelo pré-amplificador A5M36TG140, considerando um sinal CW.

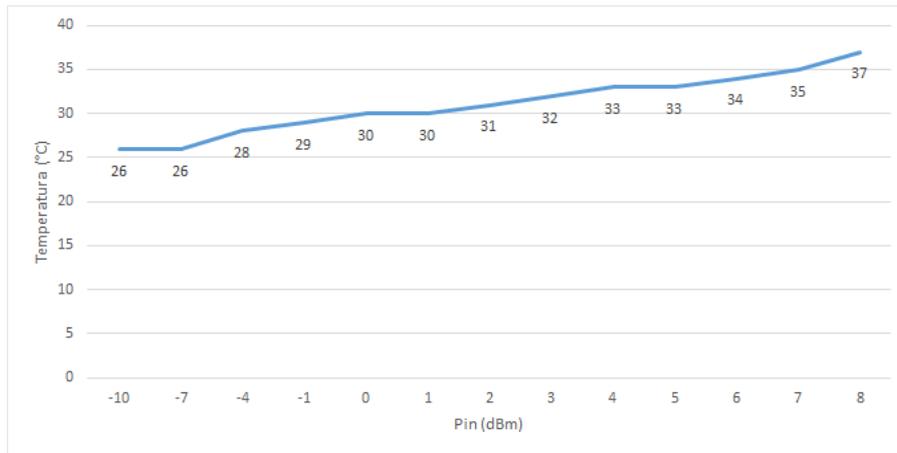


Figura 117: Relação temperatura e potência de entrada do pré-amplificador A5M36TG140, considerando um sinal CW.

Nota-se que a corrente consumida pelo pré-amplificador aumenta de acordo com o aumento da potência do sinal de RF de entrada, alcançando valores próximos aos nominais fornecidos pelo fabricante com uma potência de entrada de 8 dBm. Com relação à temperatura, os valores aumentam com a elevação da potência de entrada, porém, dentro dos limites aceitáveis para o PN devido à utilização de dissipadores térmicos, conforme ilustrado na Figura 113.

## 6 Filtros mecânicos

A solução proposta no projeto OpenRAN@Brasil consta em especificar um filtro mecânico comercial para integrar a solução da O-RU. Esta etapa consiste na definição dos limiares de atenuações do filtro para o cumprimento da máscara de emissão definidos pelas normas regulamentadoras da ANATEL e 3GPP.

### 6.1 Especificações preliminares do filtro mecânico

Em função dos desafios térmicos e mecânicos da solução O-RU e ausência dos valores de emissões espúrias na saída dos PAMs, no momento, optou-se por postergar as especificações dos filtros para o estágio em que as simulações térmicas da mecânica estejam mais avançadas e os módulos PAM operacionais para as medidas práticas de emissão.

Adicionalmente, as especificações dos filtros mecânicos serão divididas para as duas bandas de interesse dentro da faixa n78 de 3300-3800 MHz, sendo estas a banda  $B_1$  de 3300 a 3600 MHz de responsabilidade do INATEL e  $B_2$  de 3600 a 3800 MHz sob responsabilidade CPQD.

Inicialmente, dos fabricantes de filtros mecânicos analisados, a empresa WeverComm<sup>®</sup> foi selecionada como potencial fornecedora, dada a presença em seu portfólio de soluções compatíveis como os requisitos do projeto e a possibilidade de customização do produto conforme necessidade. Como exemplo, tem-se nas Figuras 118 e 119, as especificações de um modelo comercial do filtro mecânico da fabricante WeverComm<sup>®</sup>, que será customizado de acordo com a banda de operação  $B_1$  ou  $B_2$ , e, com dimensional e limites de rejeição definidos para a solução O-RU.

◆ ELECTRICAL SPECIFICATION	
ITEM	SPECIFICATION
Frequency Range	3300~3800MHz
Insertion Loss	0.5dB max.
Ripple	0.5dB max.
Return Loss	18dB Min.
Rejection	30dB Min.@10~900MHz
	60dB Min.@1200~1700MHz
	35dB Min.@1800~3200MHz
	20dB Min.@4500~5000MHz
Power Handling	100W
In/Out Impedance	50 Ohms

◆ ENVIRONMENTAL SPECIFICATIONS	
ITEM	SPECIFICATION
Operating Temperature	-40°C to +85°C

Figura 118: Especificações preliminares do filtro mecânico - Parte 1.

◆ **MECHANICAL SPECIFICATIONS**

<b>ITEM</b>	<b>SPECIFICATION</b>
<b>Dimension (WxDxH)</b>	<b>216.0 x 270.0 x27.0 (Unit: mm)</b>
<b>Mounting Points</b>	<b>Refer to Outline drawing</b>
<b>RF Connector</b>	<b>SMA Female Connector</b>
<b>Connector Position</b>	<b>See Outline Drawing</b>
<b>Finish</b>	<b>Black Color Epoxy Coating</b>
<b>Ingress Protection Marking</b>	<b>IP56(Indoor)</b>

Figura 119: Especificações preliminares do filtro mecânico - Parte 2.

## 7 Mecânica

A parte mecânica é composta pelas peças mecânicas do equipamento. Para o projeto Open RAN@Brasil, as principais peças são: caixa metálica IP65, *coins* de cobre, *pallets*, tampas, blindagens de RF e espaçadores de placa. Durante o desenvolvimento inicial do *hardware* do projeto, foram analisadas e especificadas todas as peças mecânicas necessárias para garantir o desempenho otimizado, proteção mecânica e a integração dos módulos. A composição da caixa metálica é ilustrada de forma genérica na Figura 120, proposta inicialmente no projeto.

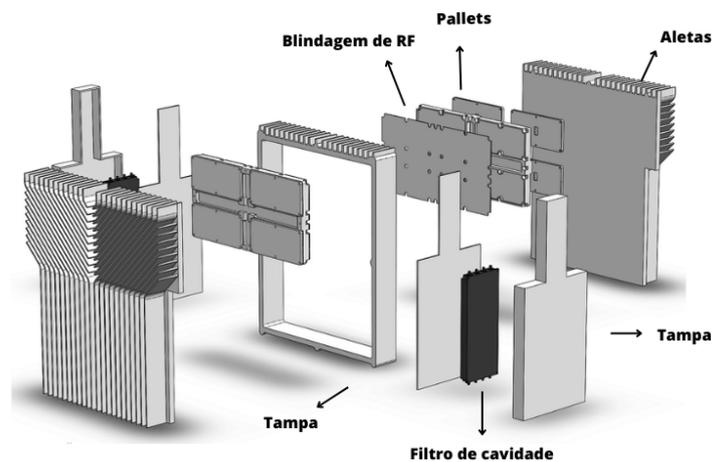


Figura 120: Composição da caixa metálica.

A caixa metálica com grau de proteção IP65 está sendo desenvolvida com base na capacidade de dissipação de calor dos módulos internos e também para suportar a operação em ambientes externos.

Durante a primeira fase do projeto, através do uso de ferramentas computacionais, os componentes mecânicos foram desenhados e validados no *software* de *Computer Aided-Design* (CAD) 3D *Solidworks*<sup>®</sup>, com o intuito de corroborar os requisitos físicos e térmicos do projeto.

Para alcançar os requisitos térmicos desejáveis do projeto, foram utilizados *heat pipes*, cuja função é conduzir efetivamente o calor gerado por alguns componentes e dissipá-lo pela caixa metálica. Esta, por sua vez, possui uma estrutura externa composta por aletas, que auxiliam e possibilitam a troca do calor gerado internamente com o ambiente externo.

Outros dispositivos também foram verificados para melhorar a dissipação de calor, tais como, o *coin* de cobre e *pallets*. O *coin* de cobre atua como uma ponte térmica do transistor para o *pallet*, conduzindo o aquecimento para longe do componente de forma rápida e eficiente. E o *pallet*, também constituído por cobre, distribui através de uma área de superfície maior, permitindo a dissipação efetiva no ambiente ao redor. É importante salientar que o cobre é utilizado desta forma devido a sua característica única de elevada condutividade térmica e baixa resistividade em comparação ao alumínio ou cerâmica.

### 7.1 Termodinâmica

A termodinâmica estuda diversos fenômenos físicos e sistemas complexos para descrever como acontecem as transformações de energia, trocas de calor e variações de temperatura. Ao dimensionar o dissipador de calor (*heat sink*), um parâmetro crítico para o funcionamento

adequado dos PAs no módulo PAM é a temperatura máxima permitida para a junção do transistor.

O modelo conceitual aplicado na solução possui a finalidade de entender as relações matemáticas para encontrar a temperatura de junção do transistor para comparação com o seu valor máximo estipulado pelo fabricante. A partir desta modelagem termodinâmica, é possível analisar a necessidade de otimizações nas formas de dissipar calor em componentes eletrônicos. Considerando a equação geral para a temperatura de junção  $T_j$  [20], para as peças mecânicas propostas na solução, tem-se a seguinte relação:

$$T_j = T_a + P_d * (R_{jc} + R_{cp} + R_p + R_{ph} + R_{ha}) \quad (5)$$

Em que:

- $T_a$  = Temperatura ambiente;
- $P_d$  = Potência dissipada no transistor;
- $R_{jc}$  = Resistência térmica da junção *case*;
- $R_{cp}$  = Resistência térmica do *case pallet*;
- $R_p$  = Resistência térmica do *pallet*;
- $R_{ph}$  = Resistência térmica do *pallet* dissipador (pasta térmica);
- $R_{ha}$  = Resistência térmica do dissipador ao ar.

Exemplificando, para o transistor de PN GTRA384802FC da fabricante *Wolfspeed*<sup>®</sup>, a temperatura de operação para o *case*  $T_c$  recomendada é de 70°C. Sendo assim, a resistência térmica do dissipador ao ar para apenas um PA é dada por:

$$R_{ha} = \frac{(T_c - T_a)}{P_d} = \frac{(70 - 55)}{90} = 0,1667^\circ C/W \quad (6)$$

De acordo com os manuais, sabe-se que  $R_{jc} = 1,6^\circ C/W$ ,  $R_{cp} = 7,5 \cdot 10^{-4}^\circ C/W$ ,  $R_p = 16,15 \cdot 10^{-4}^\circ C/W$  e  $R_{ph} = 4,84 \cdot 10^{-7}^\circ C/W$ . Logo, a resistência térmica total do sistema é expressa em:

$$R_{ja} = R_{jc} + R_{cp} + R_p + R_{ph} + R_{ha} = 1,6 + 7,5 \cdot 10^{-4} + 16,15 \cdot 10^{-4} + 4,84 \cdot 10^{-7} + 0,1667 \quad (7)$$

$$R_{ja} = 1,7691^\circ C/W \quad (8)$$

Considerando um caso ideal em que  $T_j = 190^\circ C$  e  $T_a = 55^\circ C$ , tem-se que a potência máxima possível é dada por:

$$P_d = \frac{(T_j - T_a)}{R_{ja}} = \frac{(190 - 55)}{1,7691} = 76,31W \quad (9)$$

Uma simulação do modelo conceitual foi construída, conforme parâmetros da Tabela 18, sendo os resultados obtidos presentes na Figura 121.

Tabela 18: Parâmetros da simulação 1 - Modelo conceitual.

Parâmetro	Valor
Modelo do dissipador	HS 26574
Fabricante do dissipador	HS Dissipadores
Dimensões do dissipador [mm]	236,0 x 304,8 x 74,4
Perímetro do dissipador [mm]	2705
Área de superfície do dissipador [mm]	0,85
PN do dispositivo	GTRA384802FC
$P_d$ [W]	90
Temperatura de junção recomendada pelo fabricante [°C]	225

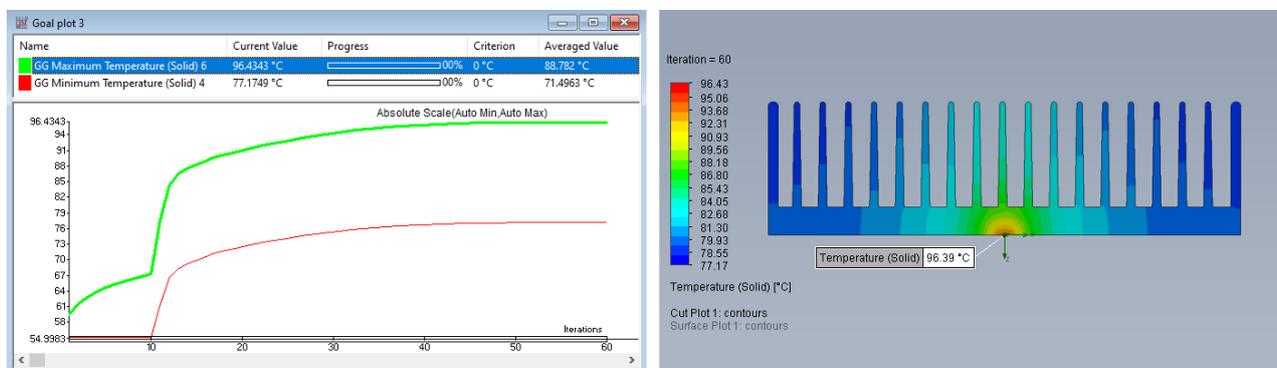


Figura 121: Simulação 1 - Modelo conceitual.

Pode-se observar que, a temperatura máxima do sólido foi de 96,4 °C e a resistência térmica do dissipador ao ar é encontrada por:

$$R_{ha} = \frac{(T_c - T_a)}{P_d} = \frac{(96,4 - 55)}{90} = 0,46^\circ C/W \quad (10)$$

Recalculando por meio de (7), encontra-se o valor de 2,06 °C/W para  $R_{ja}$ . Em seguida, através de (5),  $T_j$  é igual a 240,4 °C. Outra simulação realizada foi a alteração do tipo da fonte de calor que modela o transistor de superfície para sólido, conforme ilustrado na Figura 122.

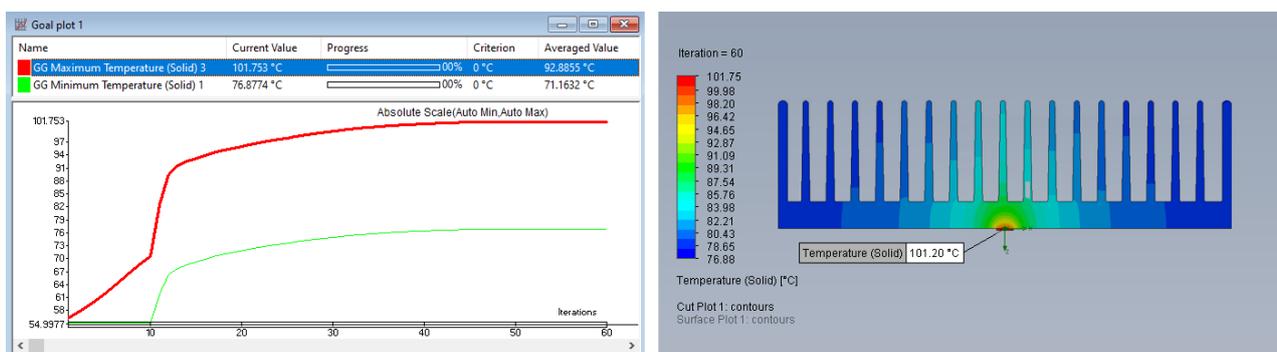


Figura 122: Simulação 2 - Modelo conceitual com outro sólido.

Recalculando o valor de  $R_{ha}$  e  $R_{ja}$  tem-se 0,513 °C/W e 2,12 °C/W, respectivamente. Assim, a temperatura de junção  $T_j$  resultante foi de 245,38 °C. Portanto, é possível observar que para ambas simulações o dissipador de calor escolhido não atenderia a temperatura máxima permitida para o PA, sendo necessário explorar novas formas de dissipação.

## 7.2 Sistema com tecnologia MIMO 4T4R (20W por canal)

A primeira proposta avaliada foi um sistema com tecnologia MIMO 4T4R (20W por canal), sendo diferentes construções mecânicas simuladas para validar a temperatura máxima atingida. A Tabela 19 apresenta os valores configurados das fontes de calor, onde  $P_c$  é a potência total consumida,  $P_d$  é a potência total dissipada,  $\eta$  é o rendimento e  $V_{IN}$  é a tensão de entrada. Destaca-se que a potência de saída do PA considerada para a compensação das perdas até o conector da antena foi de 30W.

Tabela 19: Fontes de calor das simulações 1 a 3 - MIMO 4T4R (20W por canal).

Módulo	$P_c$ [W]	$\eta$ [%]	$P_d$ [W]	$V_{IN}$ [V <sub>DC</sub> ]
1x conversor DC/DC -48V <sub>DC</sub> /+12V <sub>DC</sub>	80	94	5,0	-48
1x conversor DC/DC -48V <sub>DC</sub> /+48V <sub>DC</sub>	330	95	17,0	-48
1x DFE	80	N/A	31,5	+12
1x PA de 20W	75	40	45,0	+48
4x PAs de 20W	300	40	180,0	+48

A Tabela 20 mostra os principais parâmetros da simulação 1 e a Figura 123 ilustra o gabinete.

Tabela 20: Parâmetros da simulação 1 - MIMO 4T4R (20W por canal) com gabinete comercial.

Parâmetro	Valor
Modelo do gabinete	LM-15K007
Dimensões do gabinete [mm]	400 x 500 x 223
Volume interno do gabinete [mm <sup>3</sup> ]	364 x 464 x 140
Altura das aletas [mm]	40
Disposição dos <i>pallets</i>	1 x 4 na vertical
Material do <i>pallet</i>	Cobre
Dimensões do <i>pallet</i> [mm]	84 x 200 x 6
Modelo do filtro comercial 4T4R	Wevercomm customizado com base no WVC-8BANK-13
Dimensões do filtro [mm]	216 x 140 x 30

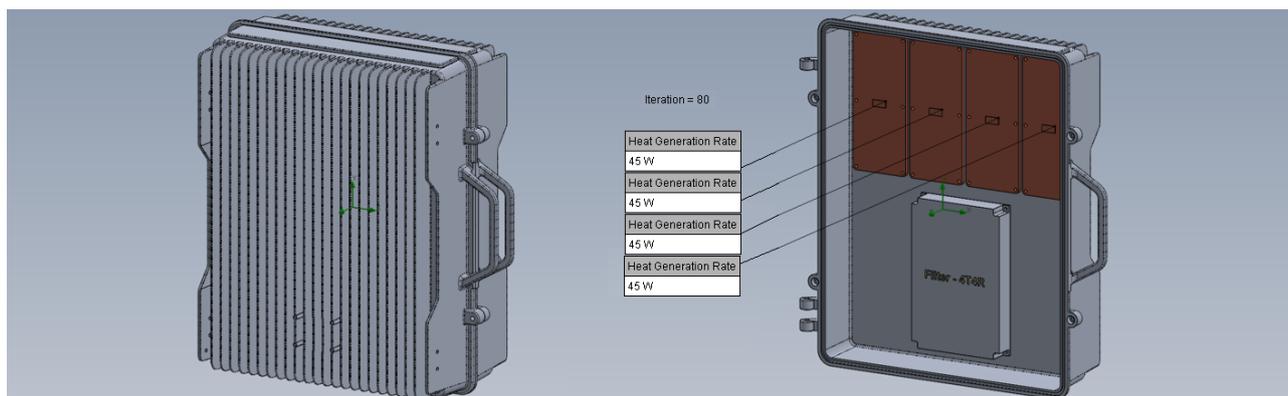


Figura 123: Gabinete comercial LM-15K007.

Os resultados da simulação térmica 1 são apresentados na Figura 124.

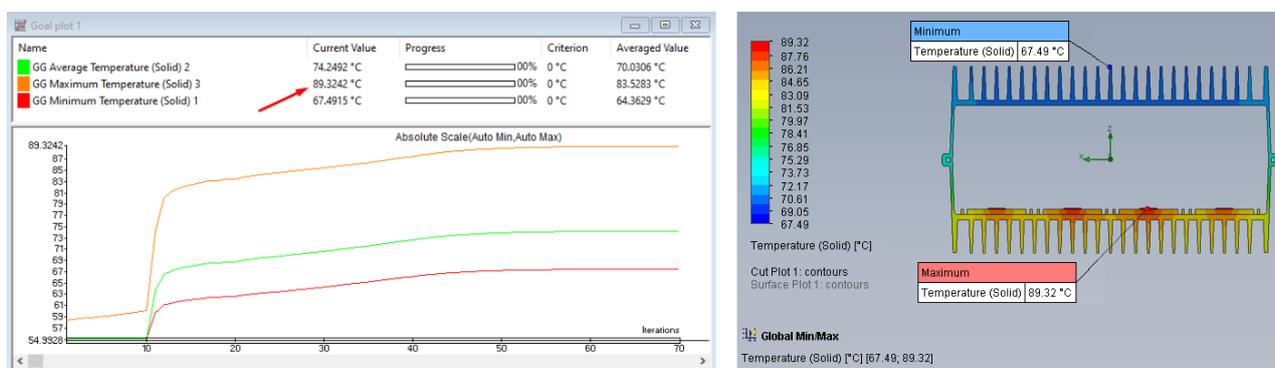


Figura 124: Simulação 1 - MIMO 4T4R (20W por canal) com gabinete comercial.

Aplicando apenas as fontes de calor geradas pelos transistores, a curva de resposta do sistema mostra, em regime permanente, os resultados apontados na Tabela 21.

Tabela 21: Resultados da simulação 1 MIMO 4T4R (20W por canal) com gabinete comercial.

PN do dispositivo	$T_c$ [°C]	$R_{jc}$ [°C/W]	$R_{ha}$ [°C/W]	$R_{ja}$ [°C/W]	$T_j$ [°C]
GTRB384608FC	89,32	1,5	0,76	2,27	156,82
XCZU67DR-2FSVE1156I	86,28	0,9	0,99	1,89	114,63

A concentração de calor no centro do gabinete ocorreu por conta da orientação das aletas na posição vertical, causando uma diferença de temperatura de 1,8°C entre os transistores do centro ao ser comparado com os transistores da borda.

Alteraram-se os parâmetros da simulação 1 e incluiu-se o *heat spreader*, conforme a Tabela 22.

Tabela 22: Parâmetros da simulação 2 - MIMO 4T4R (20W por canal) com *heat spreader* e alteração no volume interno.

Parâmetro	Valor
Modelo do gabinete	LM-15K007 redimensionado
Volume interno do gabinete [mm <sup>3</sup> ]	430 x 455 x 140
Material do <i>heat spreader</i>	Alumínio
Dimensões do <i>heat spreader</i> [mm]	364 x 280 x 10

Os resultados da simulação térmica 2 podem ser vistos na Figura 125 e na Tabela 23, destacando os valores para os componentes críticos PA e RFSoc.

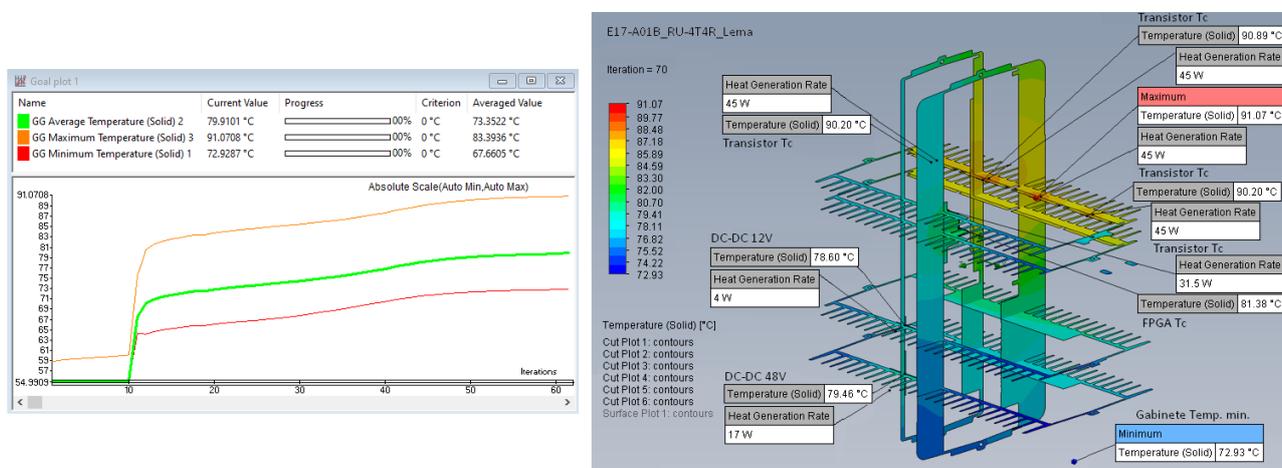


Figura 125: Simulação 2 - MIMO 4T4R (20W por canal) com *heat spreader* e alteração no volume interno.

Tabela 23: Resultados da simulação 2 MIMO 4T4R (20W por canal) com *heat spreader* e alteração no volume interno.

PN do dispositivo	$T_c$ [°C]	$T_j$ [°C]
GTRB384608FC	91,07	158,60
XCZU67DR-2FSVE1156I	85,03	109,73

Alterando novamente o material do *heat spreader* no *pallet* para cobre, verificou-se que não houve melhorias significativas no espalhamento do calor. Portanto, a inclusão de um *heat spreader* no *pallet* não se mostrou eficiente na distribuição de calor no gabinete.

Avaliando os resultados obtidos, nota-se que a temperatura de junção dos transistores do PA está abaixo da temperatura recomendada de 225°C. Contudo, a temperatura de junção do módulo DFE excede o limite permitido de operação de 100°C, para o modelo comercial e industrial [14]. Por conta disso, o projeto se torna inviável, necessitando de novos mecanismos eficientes de dissipação de calor.

Novas alterações nos parâmetros de simulação foram realizadas, como ilustra a Tabela 24. Como resultado, tem-se o gabinete da Figura 126.

Tabela 24: Parâmetros da simulação 3 - MIMO 4T4R (20W por canal) com *heat spreader* e alteração no volume interno.

Parâmetro	Valor
Modelo do gabinete	RU-4T4R 20W, a ser produzido pelo INATEL
Dimensões do gabinete [mm]	428 x 520 x 274
Volume interno do gabinete [mm <sup>3</sup> ]	2 x (392 x 210 x 32)
Altura das aletas [mm]	110

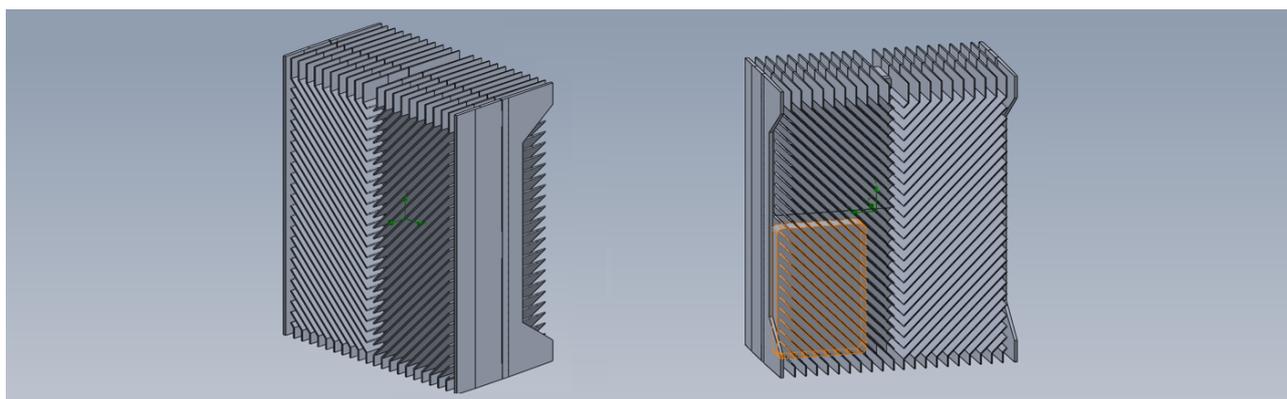


Figura 126: Gabinete RU-4T4R 20W.

Os resultados da simulação 3 são apresentados na Figura 127 e na Tabela 25.

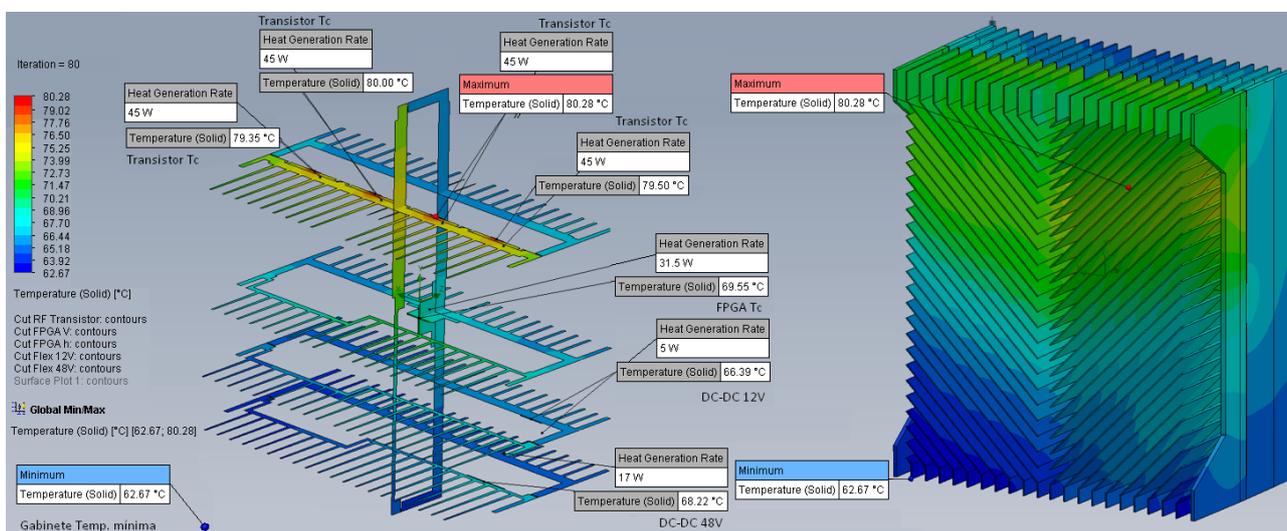


Figura 127: Simulação 3 - MIMO 4T4R (20W por canal) com gabinete RU-4T4R 20W.

Tabela 25: Resultados da simulação 3 - MIMO 4T4R (20W por canal) com gabinete RU-4T4R 20W.

PN do dispositivo	$T_c$ [°C]	$R_{jc}$ [°C/W]	$R_{ha}$ [°C/W]	$R_{ja}$ [°C/W]	$T_j$ [°C]
GTRB384608FC	80,28	1,5	0,56	2,06	147,8
XCZU67DR-2FSVE1156I	69,55	0,9	0,46	1,36	97,9

Pode-se observar que a resposta do sistema melhorou. Portanto, a simulação 3 indica ser viável para o sistema com tecnologia MIMO 4T4R (20W por canal) levando em consideração os componentes críticos. Ao diminuir a altura das aletas para 80mm com intuito de reduzir material gasto, a temperatura do dispositivo excede o limite permitido de operação de 100°C para o RFSoc, tornando a solução inviável para esta configuração.

### 7.3 Sistema com tecnologia MIMO 4T4R (40W por canal)

Em seguida, outra proposta levantada foi um sistema com tecnologia MIMO 4T4R (40W por canal). A Tabela 26 apresenta os valores configurados das fontes de calor.

Tabela 26: Fontes de calor das simulações 1 e 2 - MIMO 4T4R (40W por canal).

Módulo	$P_c$ [W]	$\eta$ [%]	$P_d$ [W]	$V_{IN}$ [V <sub>DC</sub> ]
1x conversor DC/DC -48V <sub>DC</sub> /+12V <sub>DC</sub>	80	94	5,0	-48
1x conversor DC/DC -48V <sub>DC</sub> /+48V <sub>DC</sub>	625	95	32,0	-48
1x DFE	80	N/A	31,5	+12
1x PA de 40W	150	40	90,0	+48
4x PAs de 40W	600	40	360,0	+48

O gabinete a ser produzido RU-4T4R 40W possui as mesmas dimensões, volume interno e altura das aletas que o modelo RU-4T4R 20W. Os resultados da simulação 1 são apresentados na Figura 128 e na Tabela 27.

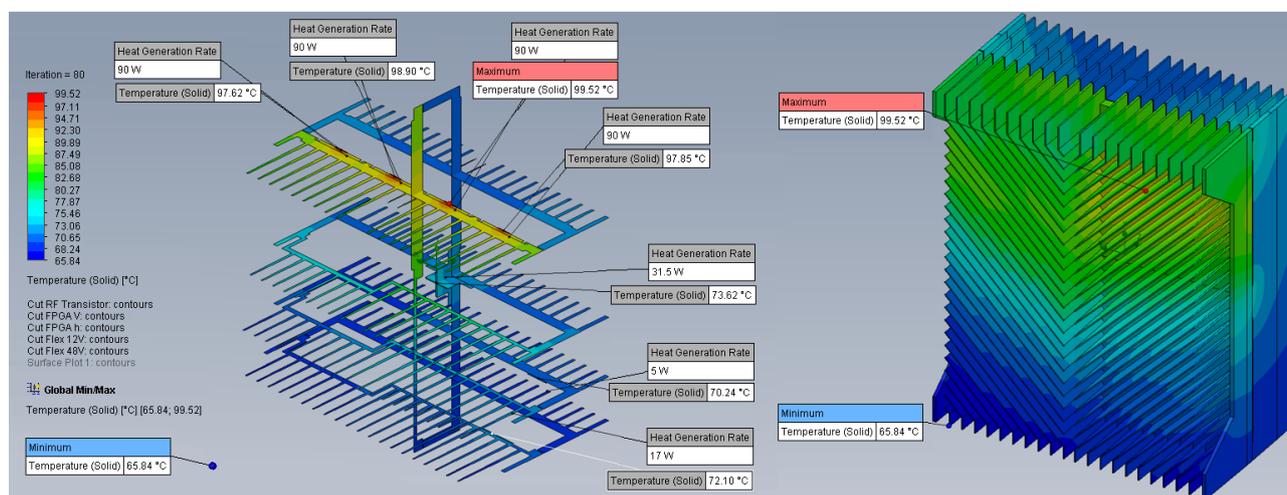


Figura 128: Simulação 1 - MIMO 4T4R (40W por canal) com gabinete RU-4T4R 40W.

Tabela 27: Resultados da simulação 1 - MIMO 4T4R (40W por canal) com gabinete RU-4T4R 40W.

PN do dispositivo	$T_c$ [°C]	$R_{jc}$ [°C/W]	$R_{ha}$ [°C/W]	$R_{ja}$ [°C/W]	$T_j$ [°C]
GTRB384608FC	99,52	1,5	0,49	1,99	234,70
XCZU67DR-2FSVE1156I	73,62	0,9	0,59	1,49	101,97

Avaliando os resultados obtidos, nota-se que a temperatura de junção dos transistores do PA ficou acima de  $225^{\circ}\text{C}$ . Contudo, projetando para operar em  $240^{\circ}\text{C}$ , na curva de  $T_{junction} (^{\circ}\text{C}) \times \text{Mean Time To Failure (MTTF)}$  (horas) do componente, observa-se que somente após 500.000 horas, o componente ficará susceptível a troca por falha. Entretanto, a temperatura de junção do dispositivo XCZU67DR excedeu o limite de  $100^{\circ}\text{C}$  [14]. Por conta disso, tornar-se-ia inviável construir o gabinete. Desta forma, torna-se necessário explorar novas formas de dissipação de calor.

## 7.4 Sistema com tecnologia MIMO 8T8R (20W por canal)

A terceira proposta avaliada foi um sistema com tecnologia MIMO 8T8R (20W por canal). Este sistema duplica basicamente as características do MIMO 4T4R (20W por canal). O gabinete a ser produzido possui um *layout* com o lado A composto por quatro PAs na vertical dispostos lado a lado, como ilustrado na Figura 129. De forma simétrica, tem-se o outro grupo de quatro PAs dispostos verticalmente compondo o lado B.

A Tabela 28 exhibe os valores configurados das fontes de calor e a Tabela 29 mostra os principais parâmetros considerados na simulação 1.

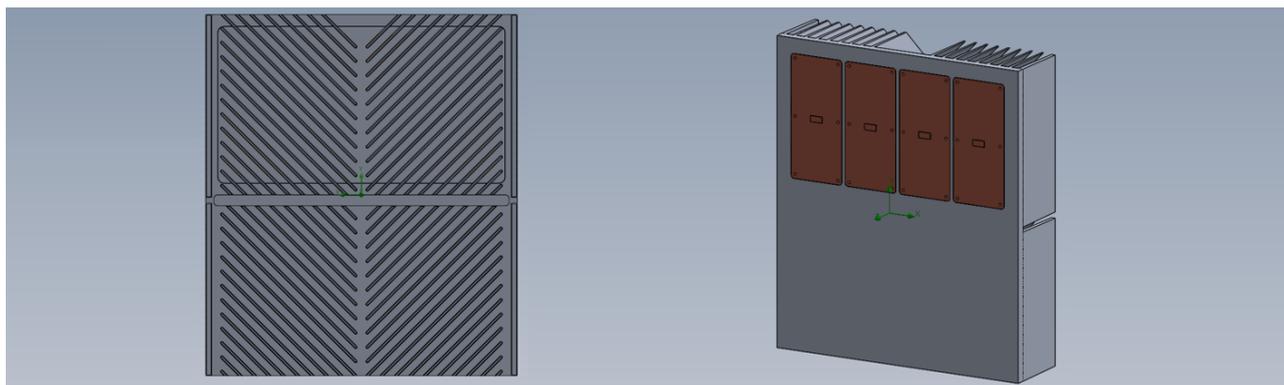


Figura 129: Gabinete do lado A RU-8T8R 20W.

Tabela 28: Fontes de calor das simulações 1 a 3 - MIMO 8T8R (20W por canal).

Módulo	$P_c$ [W]	$\eta$ [%]	$P_d$ [W]	$V_{IN}$ [ $V_{DC}$ ]
1x conversor DC/DC $-48V_{DC}/+12V_{DC}$	80	94	5,0	-48
1x conversor DC/DC $-48V_{DC}/+48V_{DC}$	625	95	32,0	-48
1x DFE	80	N/A	31,5	+12
1x PA de 20W	75	40	45,0	+48
8x PAs de 20W	600	40	360,0	+48

Tabela 29: Parâmetros da simulação 1 - MIMO 8T8R (20W por canal) com gabinete RU-4T4R 20W lado A.

Parâmetro	Valor
Sistema simulado	4T4R do lado A
Modelo do gabinete	RU-4T4R 20W
Dimensões da base do dissipador [mm]	428 x 500 x 15
Dimensões das aletas [mm]	80 x 4
Ângulo das aletas	45°
Distância entre aletas [mm]	14
Área de superfície do dissipador [ $m^2$ ]	2,7
Disposição dos <i>pallets</i>	1 x 4 na vertical
Material do <i>pallet</i>	Cobre
Dimensões do <i>pallet</i> [mm]	90 x 200 x 5
Tipo de montagem	Embutida no gabinete

Os resultados da simulação 1 são apresentados na Figura 130, Figura 131 e Tabela 30.

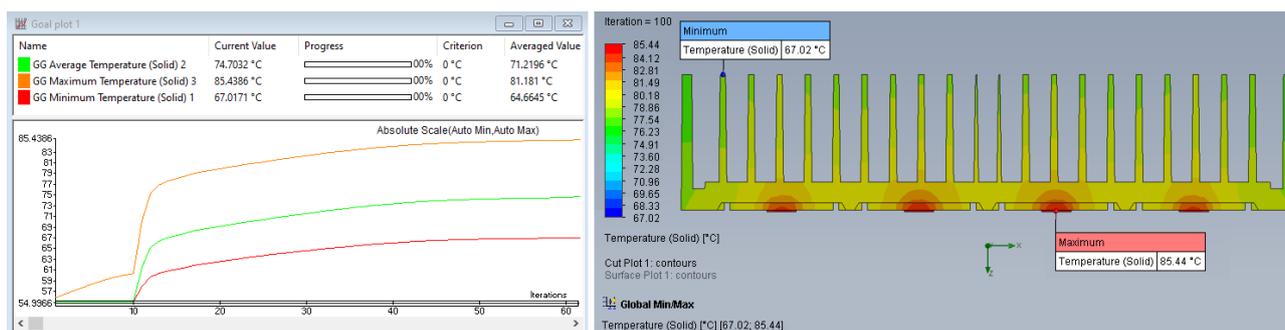


Figura 130: Simulação 1 - MIMO 8T8R (20W por canal) com gabinete RU-4T4R 20W lado A.

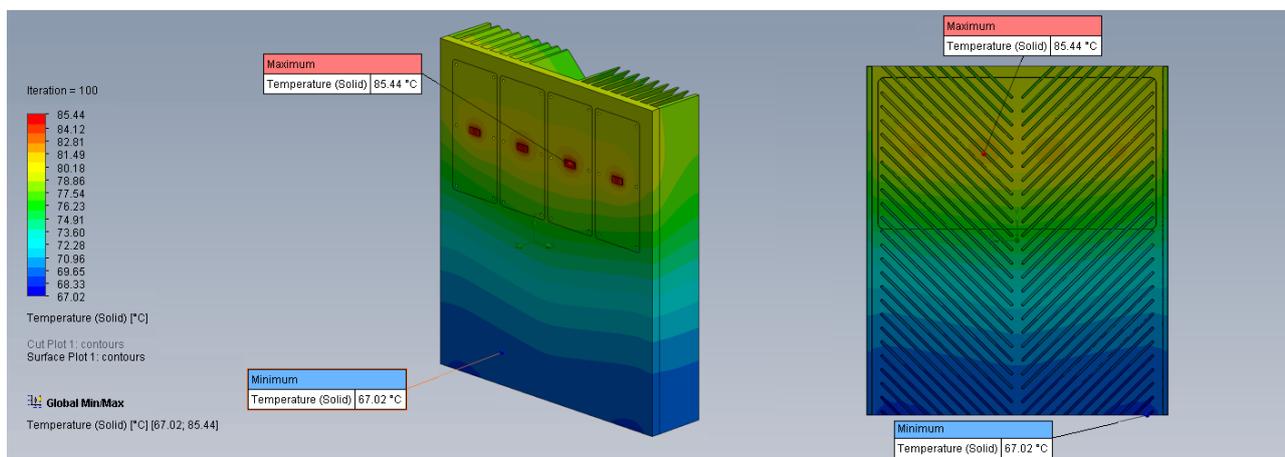


Figura 131: Simulação 1 - Outra perspectiva do MIMO 8T8R (20W por canal) com gabinete RU-4T4R 20W lado A.

Tabela 30: Resultados da simulação 1 MIMO 8T8R (20W por canal) com gabinete RU-4T4R 20W lado A.

PN do dispositivo	$T_c$ [°C]	$R_{jc}$ [°C/W]	$R_{ha}$ [°C/W]	$R_{ja}$ [°C/W]	$T_j$ [°C]
GTRB384608FC	85,44	1,5	0,76	2,26	152,8

Analisando este resultado, observa-se que a temperatura de junção dos transistores do PA ficou abaixo da máxima permitida de 225°C. Por conseguinte, é um resultado viável para o projeto nesta configuração. Reproduzindo a simulação térmica anterior considerando o lado B do sistema, os resultados foram próximos aos encontrados na simulação 1 referente ao lado A, sendo eles:  $T_c = 85,8^\circ\text{C}$  e  $T_j = 152,8^\circ\text{C}$ . Portanto, o modelo concebido apresenta um resultado viável para o projeto nesta configuração 8T8R 20W.

Aplicando recortes nas aletas do dissipador de calor e aumentando a sua altura para 100mm com o intuito de reduzir a temperatura na parte inferior do gabinete, obtêm-se os seguintes resultados levantados na Figura 132, Figura 133 e Tabela 31.

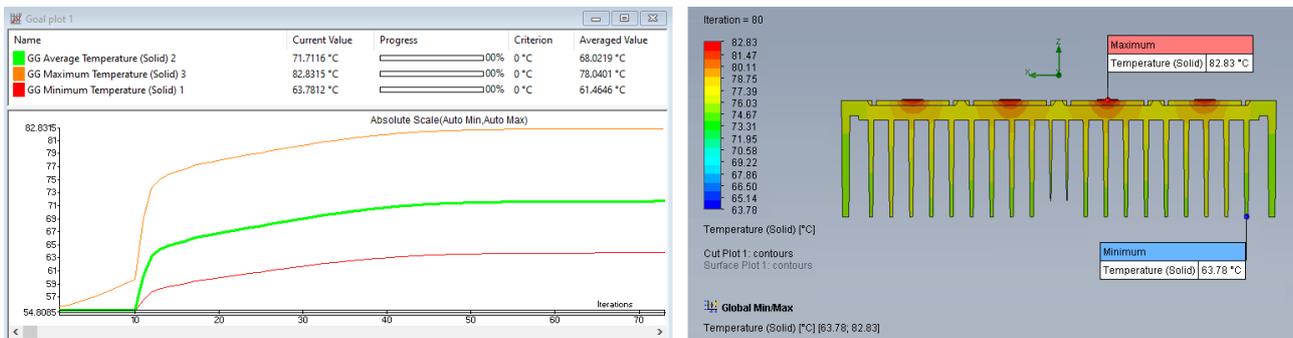


Figura 132: Simulação 2 - MIMO 8T8R (20W por canal) com gabinete RU-4T4R 20W lado A e recorte das aletas.

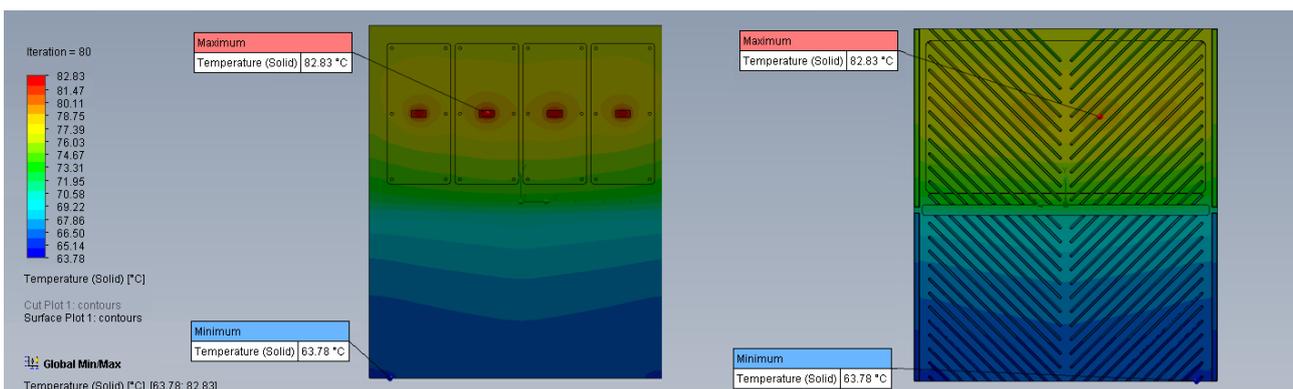


Figura 133: Simulação 2 - Outra perspectiva do MIMO 8T8R (20W por canal) com gabinete RU-4T4R 20W lado A e recorte das aletas.

Tabela 31: Resultados da simulação 2 MIMO 8T8R (20W por canal) com gabinete RU-4T4R 20W lado A e recorte das aletas.

PN do dispositivo	$T_c$ [°C]	$T_j$ [°C]
GTRB384608FC	82,8	150,3

Ao analisar esta simulação, consta-se que a temperatura de junção dos transistores dos PAs diminuiu em 2,5 °C, atingindo uma melhora na dissipação de calor do sistema.

Uma nova simulação foi feita considerando o sistema completo 8T8R. O gabinete a ser produzido RU-8T8R 20W é ilustrado na Figura 134, com quatro PAs no lado A e, de forma simétrica, quatro PAs no lado B.

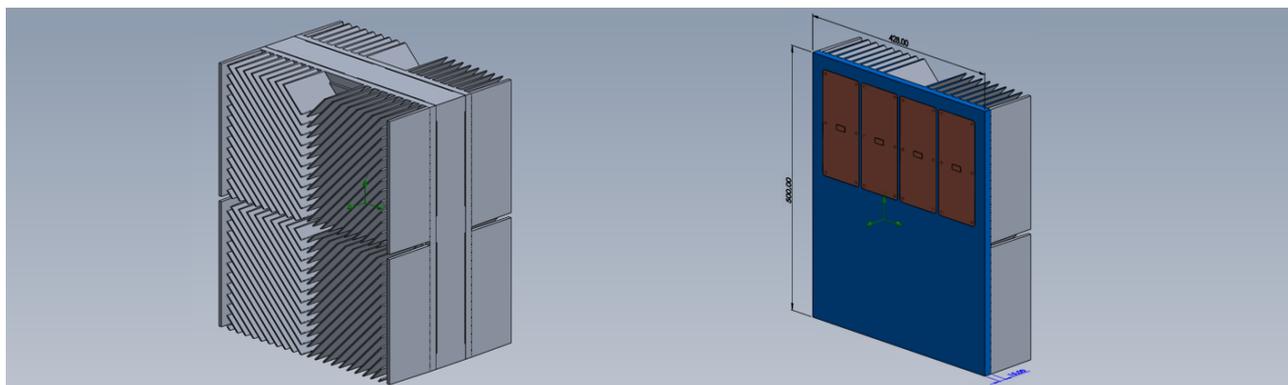


Figura 134: Gabinete RU-8T8R 20W.

Os resultados da simulação são apresentados na Figura 135, Figura 136 e Tabela 32.

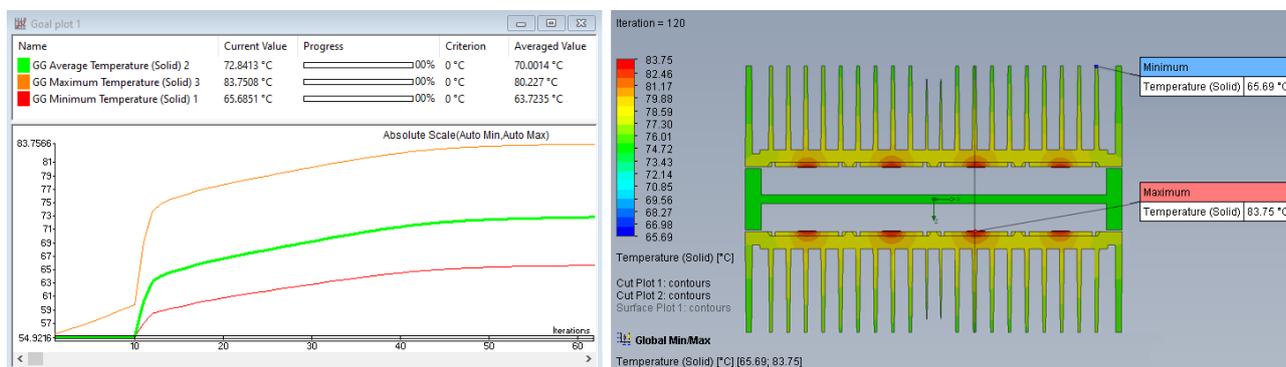


Figura 135: Simulação 3 - MIMO 8T8R (20W por canal) com gabinete RU-8T8R 20W.

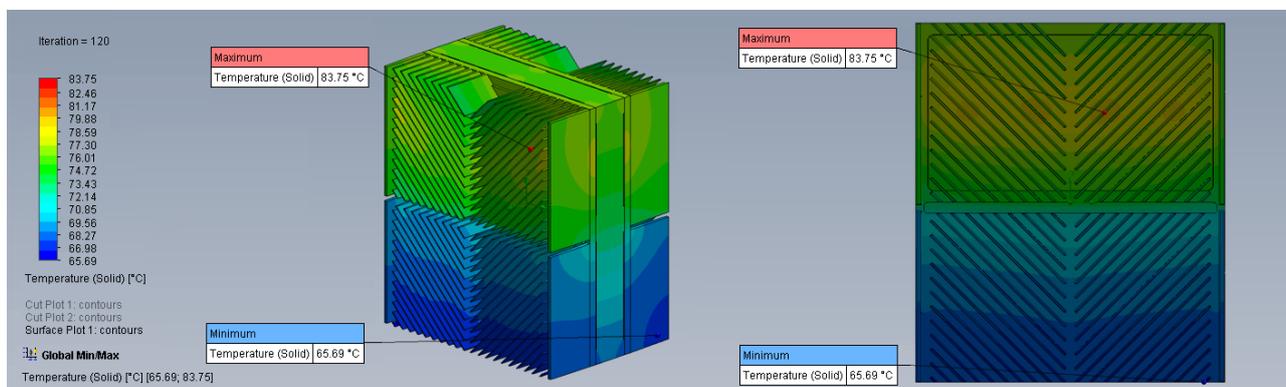


Figura 136: Simulação 3 - Outra perspectiva do MIMO 8T8R (20W por canal) com gabinete RU-8T8R 20W.

Tabela 32: Resultados da simulação 3 MIMO 8T8R (20W por canal) com gabinete RU-8T8R 20W.

PN do dispositivo	$T_c$ [°C]	$T_j$ [°C]
GTRB384608FC	83,75	151,2

Nota-se que a temperatura de junção ficou abaixo do limite recomendado de 225°C. Portanto, é visto como uma opção viável para o projeto na configuração 8T8R 20W.

## 7.5 Sistema com tecnologia MIMO 8T8R (40W por canal)

A última proposta analisada foi um sistema com tecnologia MIMO 8T8R (40W por canal). Este sistema basicamente duplica as características do MIMO 4T4R (40W por canal). Ele possui o *layout* dos quatro PAs na vertical dispostos lado a lado, e, de forma simétrica, o outro grupo de quatro PAs, como ilustrado na Figura 137.

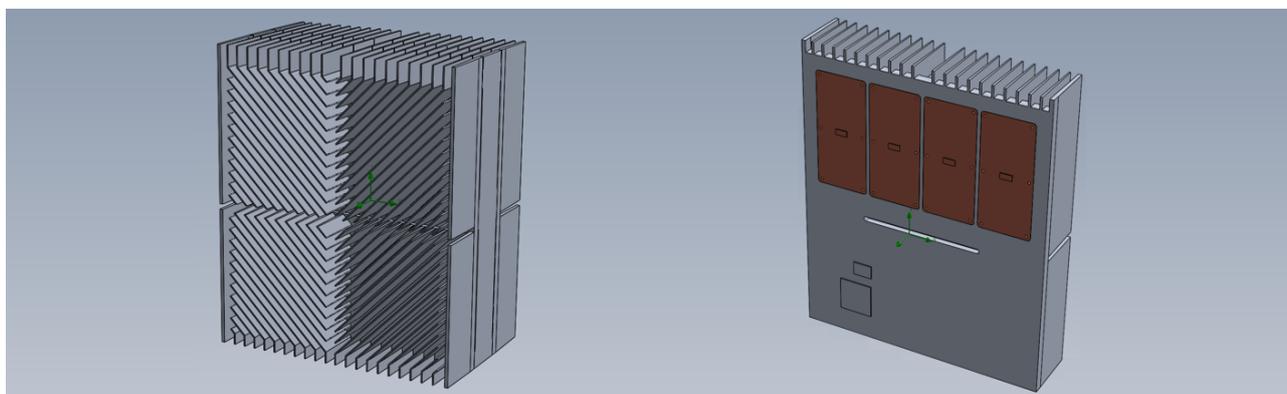


Figura 137: Gabinete RU-8T8R 40W.

A Tabela 33 exhibe os valores configurados das fontes de calor e a Tabela 34 mostra os principais parâmetros da simulação 1.

Tabela 33: Fontes de calor das simulações 1 e 2 - MIMO 8T8R (40W por canal).

Módulo	$P_c$ [W]	$\eta$ [%]	$P_d$ [W]	$V_{IN}$ [V <sub>DC</sub> ]
1x conversor DC/DC -48V <sub>DC</sub> /+12V <sub>DC</sub>	80	94	5,0	-48
2x conversores DC/DC -48V <sub>DC</sub> /+48V <sub>DC</sub>	1250	96	50,0	-48
1x DFE	80	N/A	31,5	+12
1x PA de 40W	150	40	90,0	+48
8x PAs de 40W	1200	40	720,0	+48

Tabela 34: Parâmetros da simulação 1- MIMO 8T8R (40W por canal) com gabinete RU-8T8R 40W.

Parâmetro	Valor
Modelo do gabinete	RU-8T8R 40W, a ser produzido pelo INATEL
Dimensões do gabinete [mm]	428 x 520 x 274
Volume interno do gabinete [mm <sup>3</sup> ]	2 x (392 x 210 x 32) + 2 x (392 x 240 x 32)
Altura das aletas [mm]	85
Disposição dos <i>pallets</i>	1 x 4 na vertical
Material do <i>pallet</i>	Cobre
Dimensões do <i>pallet</i> [mm]	84 x 200 x 6

Os resultados são mostrados na Figura 138, Figura 139 e Tabela 35.

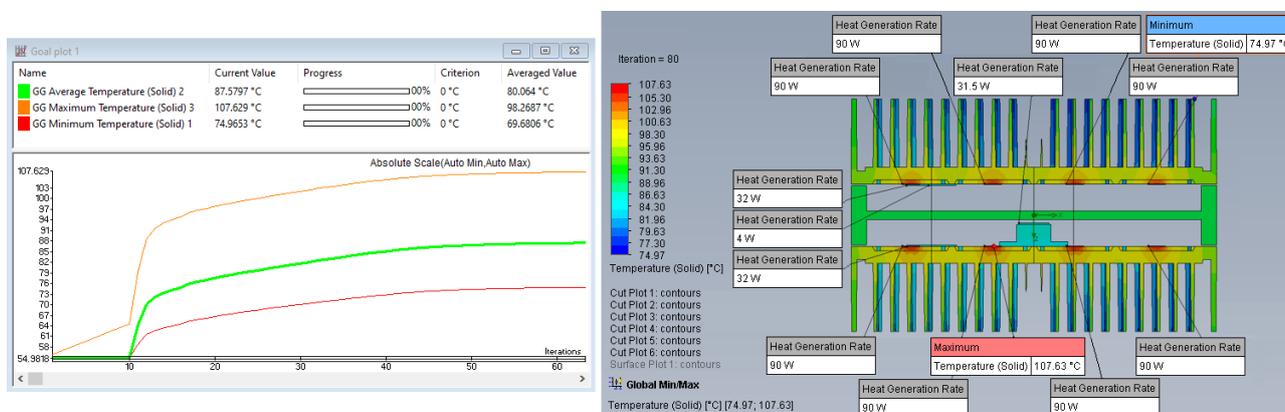


Figura 138: Simulação 1 - MIMO 8T8R (40W por canal) com gabinete RU-8T8R 40W.

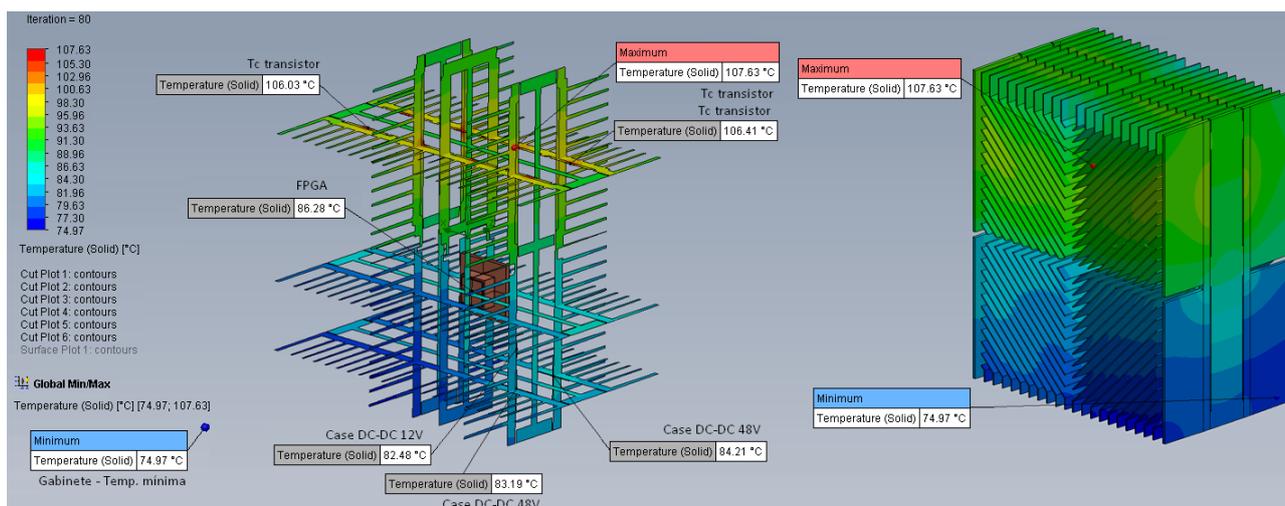


Figura 139: Simulação 1 - Outra perspectiva do MIMO 8T8R (40W por canal) com gabinete RU-8T8R 40W.

Tabela 35: Resultados da simulação 1 - MIMO 8T8R (40W por canal) com gabinete RU-8T8R 40W.

PN do dispositivo	$T_c$ [°C]	$R_{jc}$ [°C/W]	$R_{ha}$ [°C/W]	$R_{ja}$ [°C/W]	$T_j$ [°C]
GTRB384608FC	107,63	1,5	0,58	2,08	242,09
XCZU67DR-2FSVE1156I	73,62	0,9	0,99	1,89	114,63

Avaliando estes resultados, nota-se que a temperatura de junção dos transistores do PA foi superior à máxima especificada pelo fabricante de 225°C. Contudo, considerando a temperatura de junção em 240°C, tem-se um MTTF de 500.000 horas para ocorrência de falha e substituição devido a  $T_j$  de operação, sendo este valor aceitável para o projeto. Diferentemente, a temperatura de junção do módulo DFE excede o limite permitido de operação de 100°C [14], invalidando esta solução.

Pensando nestas limitações, foram feitas novas análises da dinâmica da distribuição de calor na caixa metálica, tais como, divisões das aletas da região dos PAs, reposicionamento dos conversores DC/DC e do módulo DFE. Novos testes aumentando a altura das aletas do dissipador de calor de 85mm para 100mm resultaram na redução da temperatura  $T_c$  máxima nos transistores centrais 104,86°C, como pode ser visto nas Figuras 140 e 141. Nesta simulação, a temperatura  $T_j$  diminuiu em 4,2°C para os transistores do PA e em 2,98°C para o módulo DFE. Contudo, a temperatura de junção do módulo DFE ainda excede o limite permitido de operação.

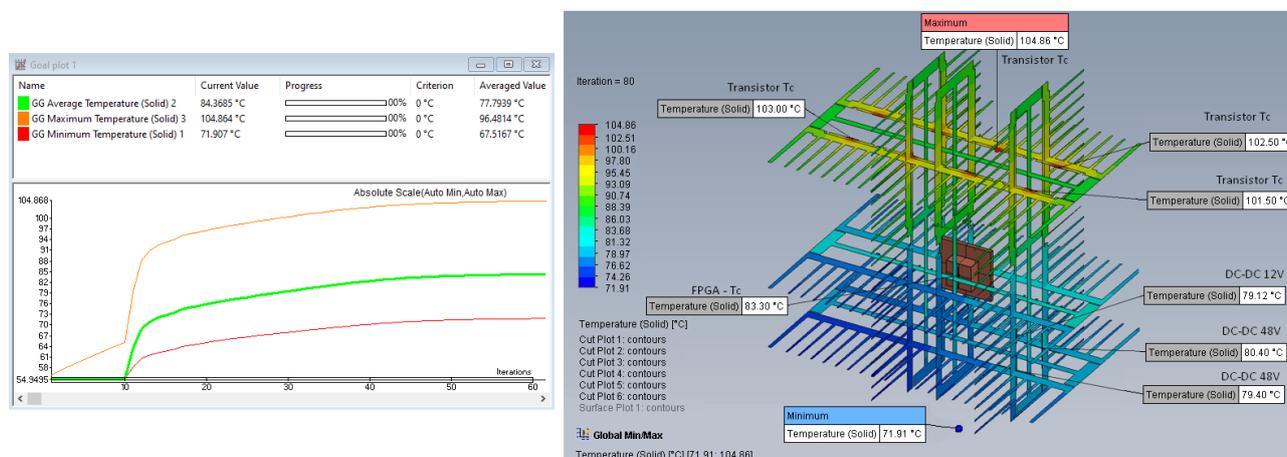


Figura 140: Simulação 2 - MIMO 8T8R (40W por canal) com gabinete RU-8T8R 40W e aumento das aletas.

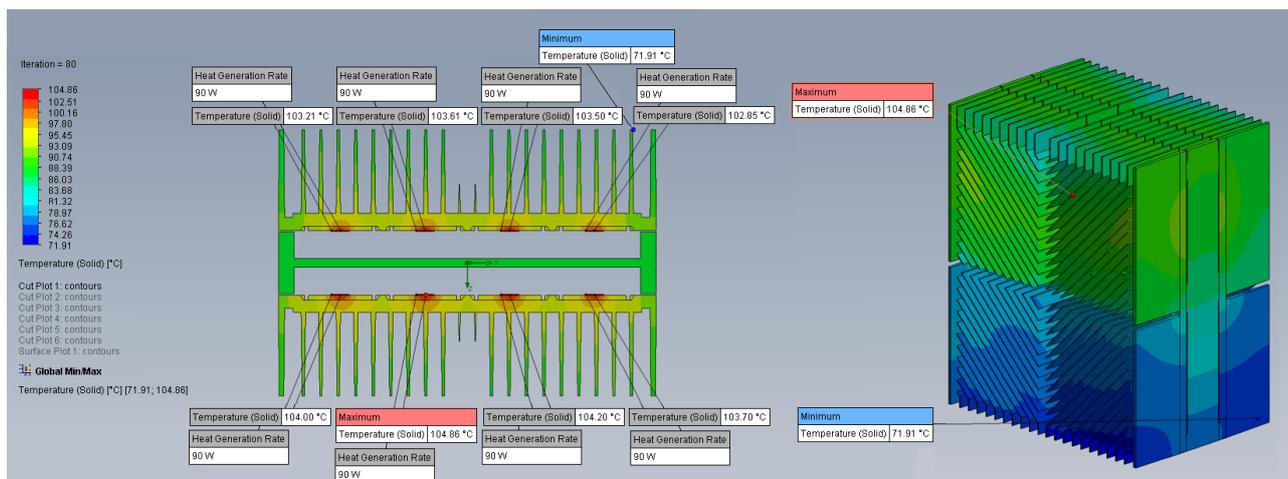


Figura 141: Simulação 2 - Outra perspectiva do MIMO 8T8R (40W por canal) com gabinete RU-8T8R 40W e aumento das aletas.

## 7.6 Otimização térmica

Dentre os sistemas apresentados, foi definido o sistema MIMO 8T8R (40W por canal) como opção desejável a ser desenvolvida, e caso se encontre restrições mecânicas devido aos problemas térmicos, a solução MIMO 8T8R (20W por canal) será utilizada. Apesar das ferramentas computacionais indicarem a inviabilidade do sistema, foi estabelecido a execução de um estudo aprofundado com intuito de simular diferentes modelagens para alcançar melhores resultados e enquadrar o projeto nos requisitos térmicos desejáveis.

Inicialmente, a análise foi feita a partir de um modelo de dissipador de calor simples, contemplando um *pallet* e uma fonte de calor de 90W correspondente ao transistor do PA. Identificado o arranjo com melhor eficiência, as simulações foram aprimoradas para o sistema com quatro fontes de calor de 90W, correspondente à metade do sistema completo. Por fim, as simulações são feitas em relação ao sistema completo (8 PAs), com todas as fontes de calor críticas que influenciam na geração de calor no interior do gabinete.

### 7.6.1 Dimensões e espaçamento entre as aletas

Com o dissipador de calor simples, foram simuladas diferentes dimensões e espaçamentos entre aletas para dissipadores, a fim de encontrar uma melhor relação entre as dimensões e a menor temperatura máxima de *case*.

A fonte de calor está localizada no centro do *pallet*. As variáveis fixadas são: a altura da base do dissipador A, a largura da base do dissipador C, a espessura da aleta E, a altura da aleta F e as dimensões do *pallet* em 200 x 90 x 4,5mm fixado diretamente na base do dissipador. Investigou-se a profundidade da base do dissipador B, a espessura da base das aletas D, a quantidade de aletas n e o espaçamento entre aletas d, sendo que para as dimensões das aletas, levaram-se conta as limitações impostas na fabricação do dissipador pelo processo de usinagem em CNC.

A Tabela 36 e a Figura 142 expressam os resultados obtidos e como são definidas as variáveis de dimensões do dissipador de calor. Os valores escolhidos para análise são: a massa do dissipador m, a área de superfície do dissipador S e a temperatura máxima no sistema  $T_{max}$ .

Tabela 36: Variações das dimensões e espaçamentos das aletas.

Simulação	Base			Aletas					Resultados		
	A [mm]	C [mm]	B [mm]	D [mm]	E [mm]	F [mm]	n	d [mm]	m [g]	S [m <sup>2</sup> ]	T <sub>max</sub> [°C]
E19_01	150	250	15	5,0	1,5	100	19	13,61	3995	0,65	92,24
E19_02	150	250	15	4,5	1,5	100	21	12,28	4045	0,71	92,16
<b>E19_03</b>	<b>150</b>	<b>250</b>	<b>15</b>	<b>4,0</b>	<b>1,5</b>	<b>100</b>	<b>23</b>	<b>11,18</b>	<b>4055</b>	<b>0,77</b>	<b>92,00</b>
E19_04	150	250	15	3,5	1,5	100	25	10,27	4024	0,83	92,21
E19_05	150	250	12	5,0	1,5	100	19	13,61	3702	0,65	92,45
E19_06	150	250	12	4,5	1,5	100	21	12,28	3751	0,71	92,37
E19_07	150	250	12	4,0	1,5	100	23	11,18	3761	0,77	92,21
E19_08	150	250	12	3,5	1,5	100	25	10,27	3730	0,83	92,43
E19_09	150	250	9	5,0	1,5	100	19	13,61	3398	0,65	93,05
E19_10	150	250	9	4,5	1,5	100	21	12,28	3448	0,71	92,96
E19_11	150	250	9	4,0	1,5	100	23	11,18	3457	0,77	92,80
E19_12	150	250	9	3,5	1,5	100	25	10,27	3427	0,83	93,03

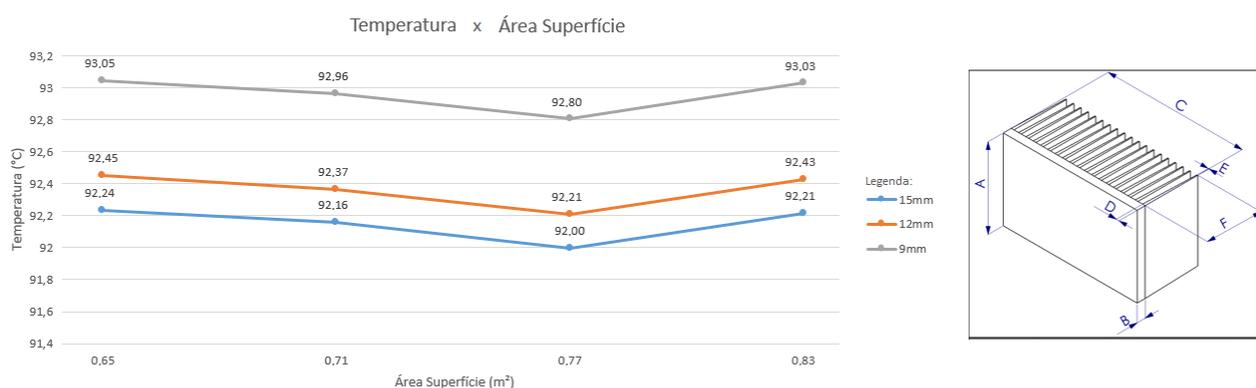


Figura 142: Variações das dimensões e espaçamentos das aletas e dimensões do dissipador.

Analisando as simulações realizadas, percebe-se que o melhor caso foi obtido com o modelo E19\_03, cuja menor temperatura máxima encontrada foi de 92°C. Essa simulação pode ser visualizada na Figura 143.

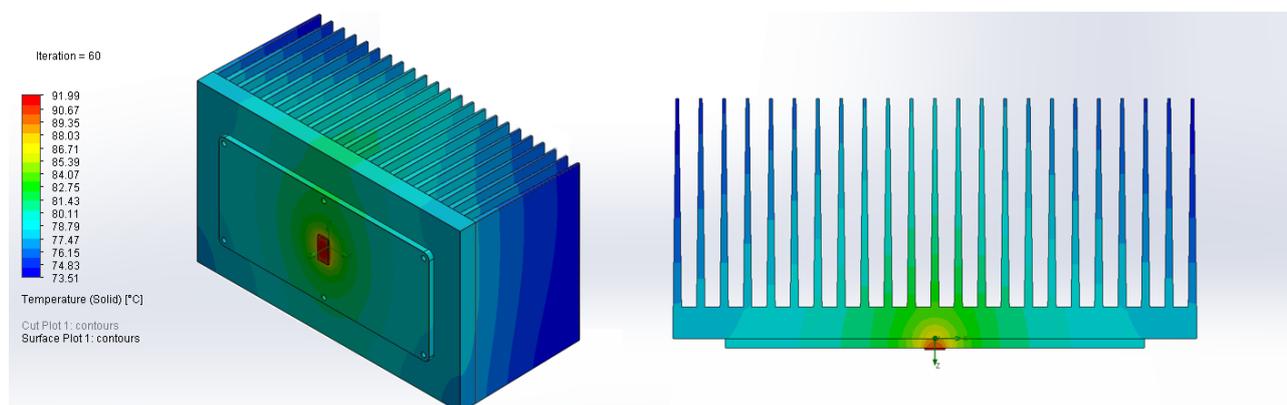


Figura 143: Simulação E19\_03.

## 7.6.2 Espessuras de base

O passo seguinte na obtenção de uma geometria térmica otimizada foi variar a profundidade da base do dissipador de calor, e dessa maneira, além de reduzir a temperatura máxima no sistema, diminui a massa do dissipador. As dimensões das aletas foram consideradas conforme o melhor resultado do estudo de dimensionamento de aletas apresentado na Seção 7.6.1.

A Tabela 37 e a Figura 144 apresentam os resultados alcançados variando a espessura da base do dissipador de 9mm a 20mm com passo de +1mm. As seguintes variáveis são avaliadas: massa do dissipador  $m$  e a temperatura máxima no sistema  $T_{max}$ .

Tabela 37: Incrementos nas espessuras de base.

Simulação	Base			Resultados	
	A [mm]	C [mm]	B [mm]	m [g]	$T_{max}$ [°C]
E19_11	150	250	9	3457	92,80
E19_21	150	250	10	3559	92,55
E19_20	150	250	11	3660	92,39
E19_07	150	250	12	3761	92,21
<b>E19_19</b>	<b>150</b>	<b>250</b>	<b>13</b>	<b>3863</b>	<b>92,06</b>
E19_18	150	250	14	3964	92,10
E19_03	150	250	15	4055	92,00
E19_13	150	250	16	4166	91,89
E19_14	150	250	17	4268	91,75
E19_15	150	250	18	4369	91,66
E19_16	150	250	19	4470	91,55
E19_17	150	250	20	4571	91,47

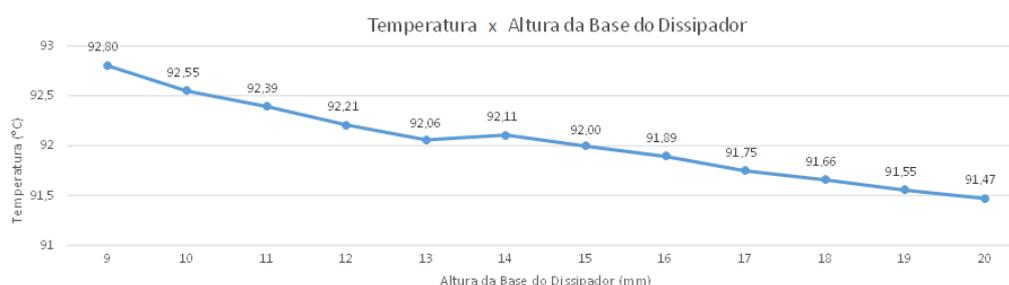


Figura 144: Incrementos nas espessuras de base.

Analisando a relação entre o peso do dissipador e a menor temperatura máxima atingida, constata-se que a profundidade da base do dissipador indicada é de 13mm, obtida na simulação E19\_19, cuja temperatura máxima foi de 92,06°C. A perspectiva 3D e a vista em corte dessa simulação é mostrada na Figura 145.

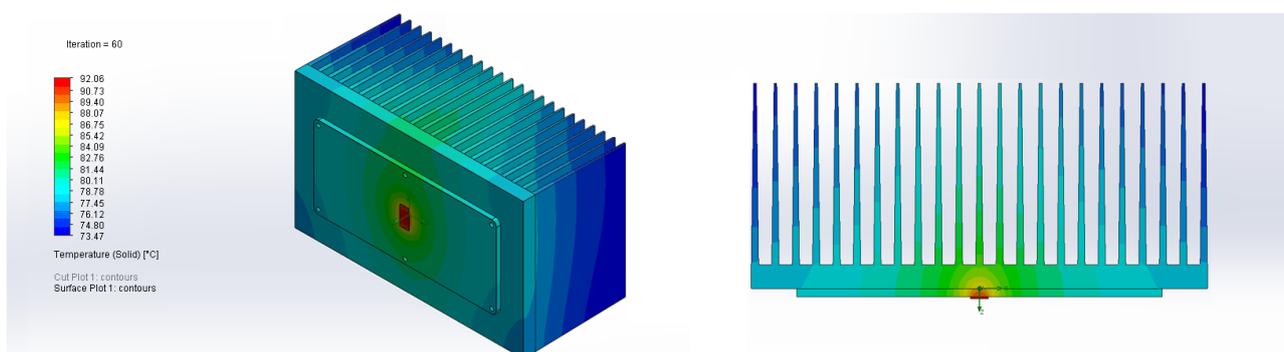


Figura 145: Simulação E19\_19.

### 7.6.3 Posicionamento do *pallet* e dispositivos auxiliares

As próximas simulações buscaram otimizar o posicionamento do *pallet* no dissipador de calor e facilitar a transferência de calor através do acréscimo de dispositivos auxiliares. Foram exploradas diferentes posições, uso de barras de cobre ou *heat pipes*. As disposições simuladas são ilustradas na Figura 146.

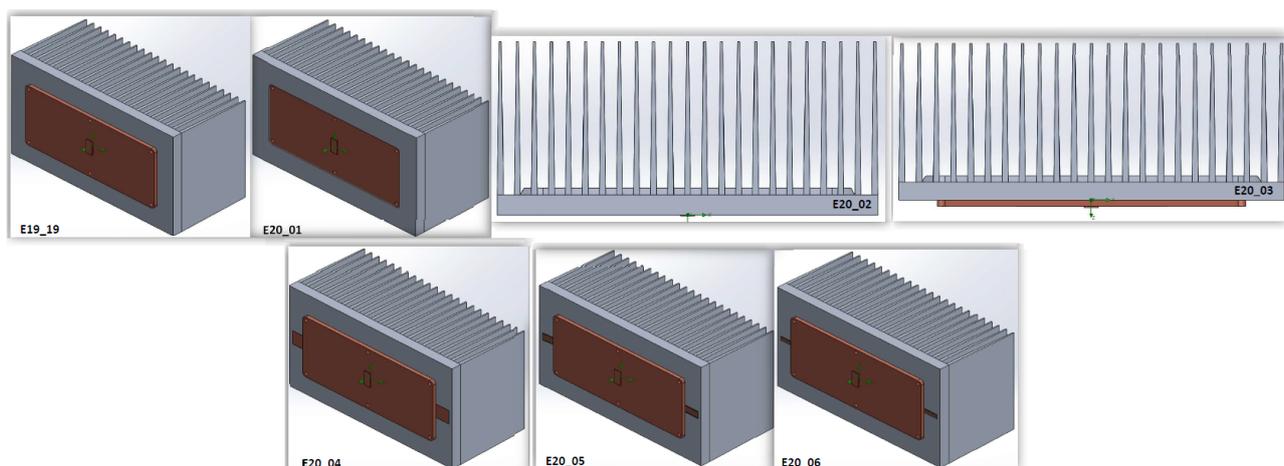


Figura 146: Simulações E19\_19 a E20\_06.

Para o *heat pipe*, usou-se uma aproximação do comportamento real, do qual o valor da sua condutividade térmica foi estimado a partir da calculadora da Celsia [21]. Para que a simulação seja mais precisa, é necessário adquirir o módulo de expansão do *Solidworks*<sup>®</sup> chamado *Electronic Cooling* no *Solidworks Flow Simulation*.

A Tabela 38 e a Figura 147 apresentam os resultados obtidos. Os valores avaliados são: a massa do dissipador  $m$  e a temperatura máxima no sistema  $T_{max}$ .

Tabela 38: Mudanças no posicionamento do *pallet* e uso de dispositivos auxiliares.

Simulação	Condição	Resultados	
		m [g]	$T_{max}$ [°C]
E19_19	Colocado na superfície plana do dissipador	3982	92,06
E20_01	Dissipador com rebaixo para abrigar o <i>pallet</i>	3750	92,80
E20_02	Dissipador com rebaixo para abrigar o <i>pallet</i> e ressalto traseiro na posição do <i>pallet</i>	3935	92,23
E20_03	Ressalto traseiro na posição do <i>pallet</i>	4166	91,99
E20_04	Barra de cobre transversal	3937	91,20
E20_05	<i>Heat pipe</i> plano ( <i>flat</i> ) de 8mm	3965	88,45
<b>E20_06</b>	<i>Heat pipe</i> redondo ( <i>round</i> ) de 6mm	<b>3964</b>	<b>88,71</b>

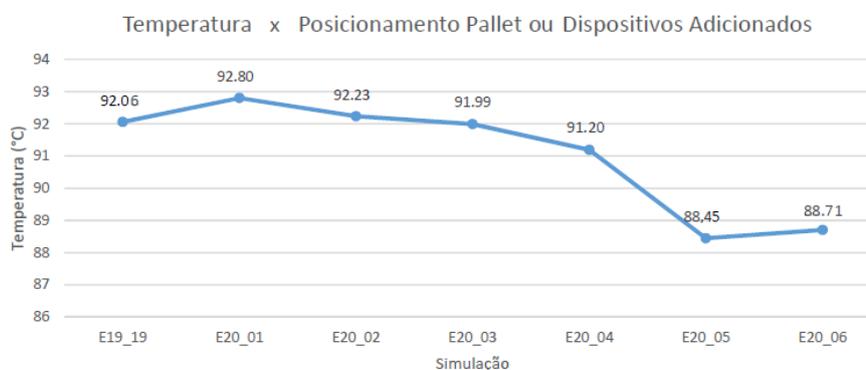


Figura 147: Mudanças no posicionamento do *pallet* e uso de dispositivos auxiliares.

A partir dos dados obtidos, a simulação E20\_06 apresenta um desempenho satisfatório, já que este auxiliaria na dissipação de calor e facilitaria a implementação de novas disposições. Este modelo possui *pallet* na superfície do dissipador, sem ressalto traseiro e utilizando *round heat pipe* de diâmetro igual a 6mm.

#### 7.6.4 Disposição do *heat pipe*

Levando em consideração o acréscimo do *heat pipe* como dispositivo auxiliar na dissipação de calor, o próximo passo foi analisar a melhor disposição desses com intuito de maximizar a eliminação de calor. As disposições simuladas são apresentadas na Figura 148, das quais os *heat pipes* empregados foram do modelo cilíndrico com diâmetro igual a 6mm.

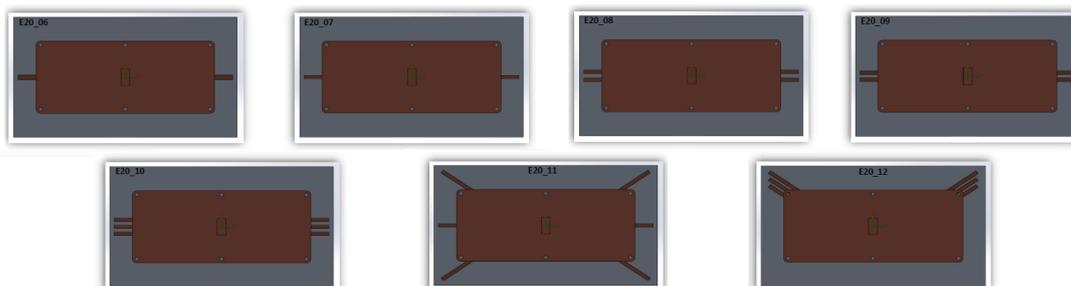


Figura 148: Simulações E20\_06 a E20\_12.

A Tabela 39 e a Figura 149 mostram os resultados alcançados a partir das variáveis representadas pela massa do dissipador  $m$  e temperatura máxima no sistema  $T_{max}$ .

Tabela 39: Variações nas disposições dos *heat pipes*.

Simulação	Disposição do <i>Heat pipe</i>	Resultados	
		$m$ [g]	$T_{max}$ [°C]
E20_06	Tubo centralizado	3964	88,71
E20_07	Tubo centralizado com contato totalmente preenchido com alumínio	3956	88,64
E20_08	Dois tubos equidistantes em relação ao centro da fonte de calor	3947	87,50
E20_09	Dois tubos com redução na distância entre eles	3947	87,37
<b>E20_10</b>	<b>Três tubos paralelos</b>	<b>3929</b>	<b>86,93</b>
E20_11	Três tubos com inclinações divergentes	3925	88,81
E20_12	Três tubos com inclinações para cima	3923	88,98

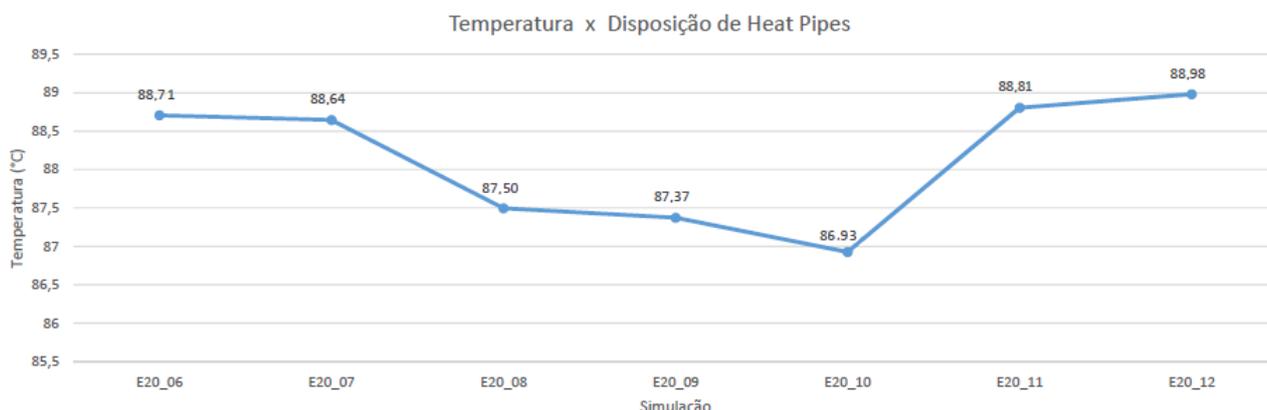


Figura 149: Variações nas disposições dos *heat pipes*.

Interpretando as simulações, a melhor disposição de *heat pipe* foi alcançada na simulação E20\_10, usando 3 *heat pipes* paralelos. As vistas em corte dessa simulação são presentes na Figura 150.

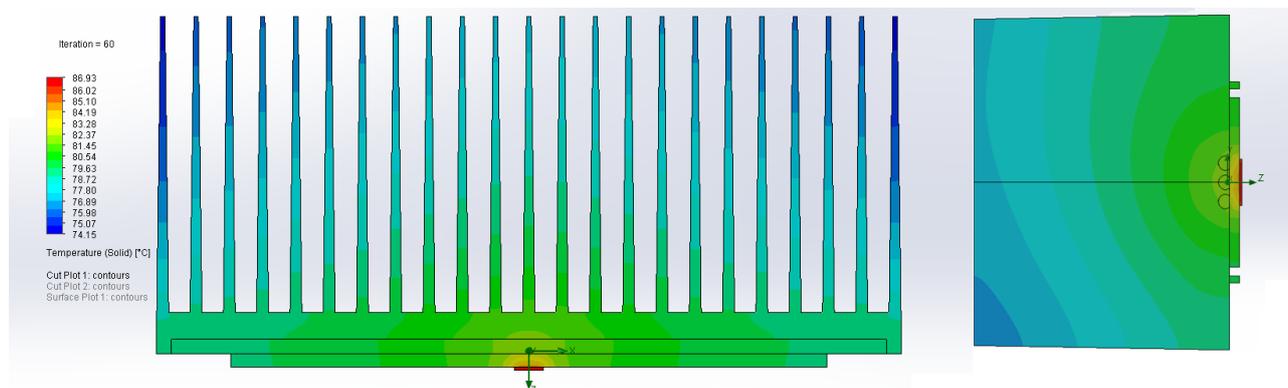


Figura 150: Simulação E20\_10.

### 7.6.5 Ângulo das aletas em sistema 4T4R

Na sequência, as análises comportamentais considerando quatro fontes de calor com 90W de potência dissipada cada foram feitas. Considerando o desenho das aletas, as variáveis avaliadas foram: o ângulo das aletas em relação ao plano horizontal  $\theta$ , a distância  $d$  entre as aletas, cortes posicionados nas aletas e canais verticais (V) ou horizontais (H) na traseira do dissipador. As disposições simuladas no *SolidWorks* podem ser vistas na Figura 151.

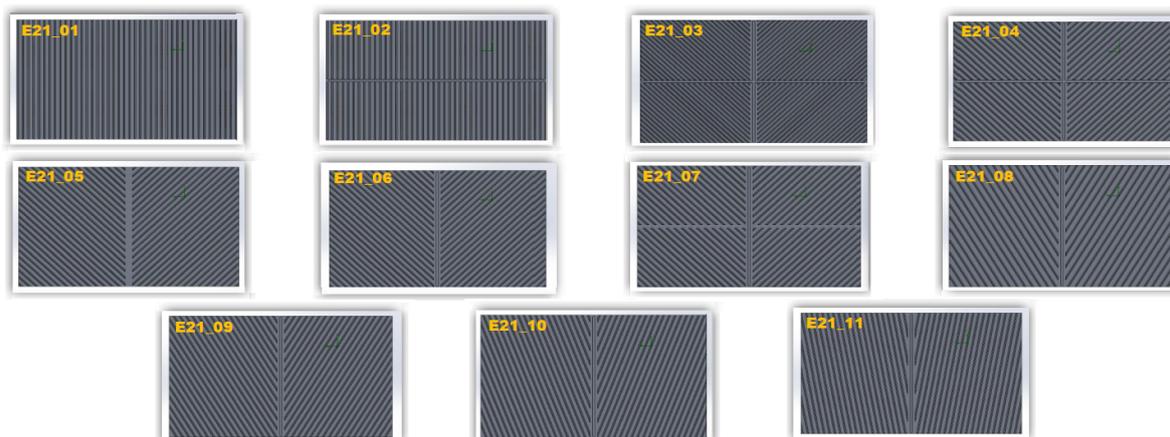


Figura 151: Simulações E21\_01 a E21\_11.

A Tabela 40 e a Figura 152 mostram os resultados obtidos com as simulações de ângulo das aletas. Os valores avaliados foram: a massa do dissipador  $m$ , a área de superfície do dissipador  $S$  e a temperatura máxima no sistema  $T_{max}$ .

Tabela 40: Alterações nos desenhos e ângulos das aletas no sistema 4T4R.

Simulação	$\theta$	d	Canal H	Corte H	Canal V	Corte V	Resultados		
							m [g]	S [m <sup>2</sup> ]	$T_{max}$ [°C]
<b>E21_01</b>	<b>90°</b>	<b>11,20</b>					<b>16555</b>	<b>2,84</b>	<b>99,70</b>
E21_02	90°	11,20	X	X			16237	2,80	100,04
E21_03	45°	7,92	X	X	X	X	17665	3,23	115,63
E21_04	45°	7,90	X	X	X	X	14773	2,44	105,18
E21_05	45°	11,20				X	15082	2,47	104,90
E21_06	45°	11,20			X	X	15049	2,48	104,89
E21_07	45°	11,20		X	X	X	14828	2,43	105,06
E21_08	60°	13,70			X	X	13723	2,12	102,40
E21_09	60°	11,20			X	X	15045	2,47	102,95
E21_10	70°	11,20			X	X	15043	2,47	102,37
E21_11	80°	11,20			X	X	15054	2,48	102,33

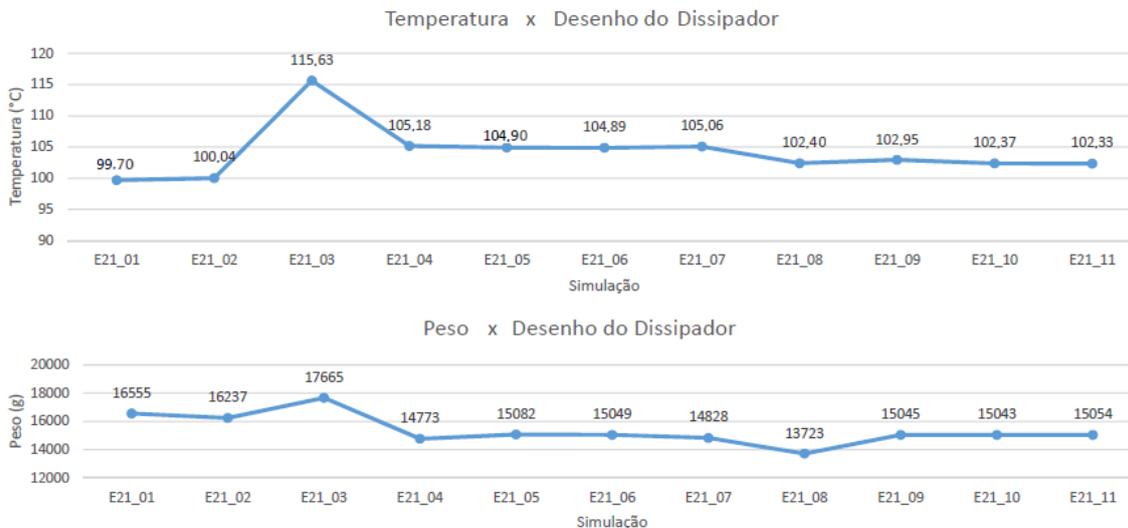


Figura 152: Alterações nos desenhos e ângulos das aletas no sistema 4T4R.

Observando estas informações, conclui-se que o melhor ângulo das aletas foi o perpendicular com o plano horizontal, sem corte ou canal, tanto na horizontal quanto na vertical, como vista na simulação E21\_01. Canais e recortes na horizontal ou na vertical não se mostraram eficientes em isolar o calor dissipado por cada transistor, tampouco o uso de ângulos diferentes de 90° nas aletas. A perspectiva 3D e a vista em corte da melhor simulação são exibidas na Figura 153.

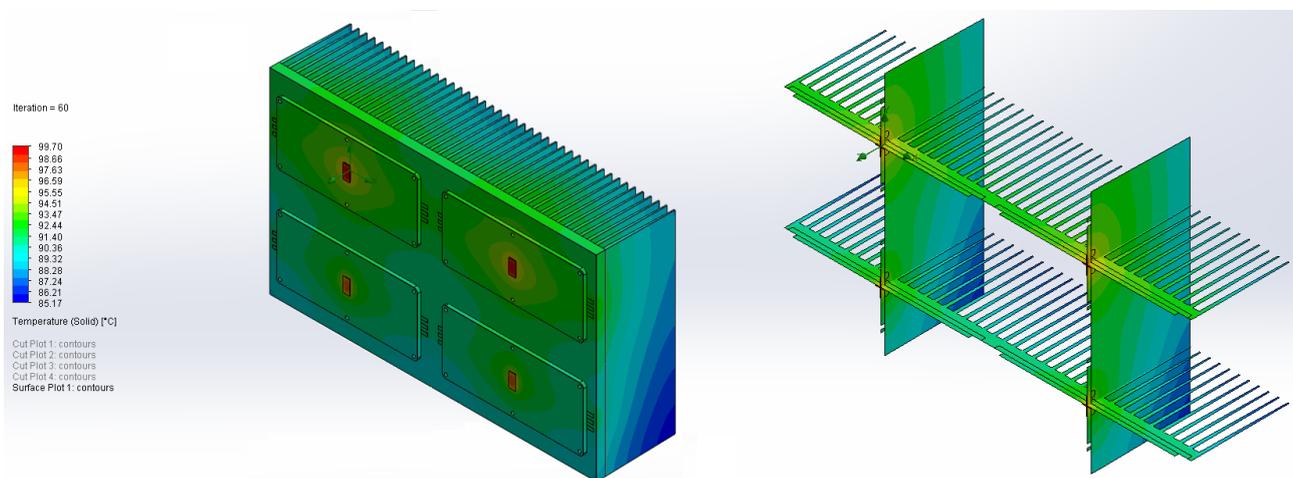


Figura 153: Simulação E21\_01.

### 7.6.6 Pallets 2 x 2 no sistema 4T4R

Em seguida, foi feita a variação da disposição dos 4 *pallets* e dos *heat pipes* no dissipador de alumínio, considerando os *pallets* posicionados na horizontal no formato 2 linhas e 2 colunas no sistema 4T4R. Estas disposições são mostradas na Figura 154.



Figura 154: Simulações E21\_01 a E22\_06.

A Tabela 41 e Figura 155 apresentam os resultados alcançados nas simulações térmicas, sendo a linha superior considerada a partir do centro do *pallet* até o limite superior do dissipador de calor e as colunas levam em conta a posição inicial do *pallet* em 114mm acerca dos limites laterais do dissipador.

Tabela 41: Mudanças nas disposições dos *pallets* 2 x 2 no sistema 4T4R.

Simulação	Posição do <i>Pallet</i>				Heat Pipes [mm]	$T_{max}$ [°C]
	Linha Superior [mm]	Entre Linhas [mm]	Coluna Direita [mm]	Coluna Esquerda [mm]		
E21_01	70	140	Inicial	Inicial	220	99,70
E22_01	120	110	Inicial	Inicial	220	99,69
<b>E22_02</b>	<b>100</b>	<b>120</b>	<b>Inicial</b>	<b>Inicial</b>	<b>220</b>	<b>99,48</b>
E22_03	70	150	Inicial	Inicial	220	99,63
E22_04	100	120	10 p/ direita	10 p/ esquerda	200	99,64
E22_05	100	120	10 p/ direita	10 p/ esquerda	220	99,61
E22_06	100	120	10 p/ esquerda	10 p/ direita	220	99,51

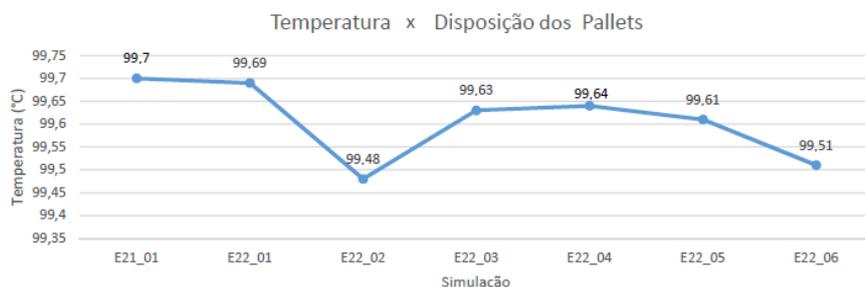


Figura 155: Mudanças nas disposições dos *pallets* 2 x 2 no sistema 4T4R.

Investigando os resultados alcançados, percebe-se que a simulação E22\_02 evidencia o posicionamento mais otimizado. Para a simulação em questão, foi configurada uma distância de 100mm entre o centro dos *pallets* superiores e o topo do dissipador, uma distância de 120mm entre o centro dos *pallets* superiores e inferiores, 235,2mm entre os centros das colunas esquerda e direita e 3 *heat pipes* de 220mm abaixo dos *pallets*. A Figura 156 apresenta o resultado da simulação do modelo E22\_02.

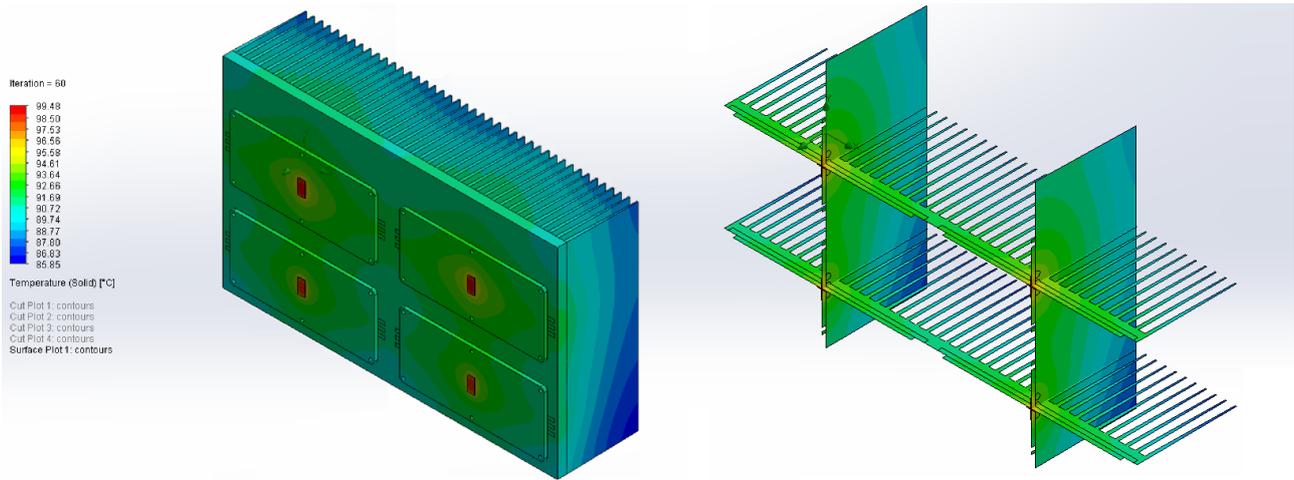


Figura 156: Simulação E22\_02.

### 7.6.7 *Pallet* na vertical

Em comparação ao *pallet* posicionado na horizontal, verificou-se o desempenho térmico dos *pallets* posicionados na vertical. Inicialmente, foi considerado apenas uma fonte de calor variando o ângulo das aletas  $\theta$ , altura da base do dissipador A, tamanho, direção e posicionamento dos *heat pipes*. As diferentes posições simuladas podem ser vistas na Figura 157.

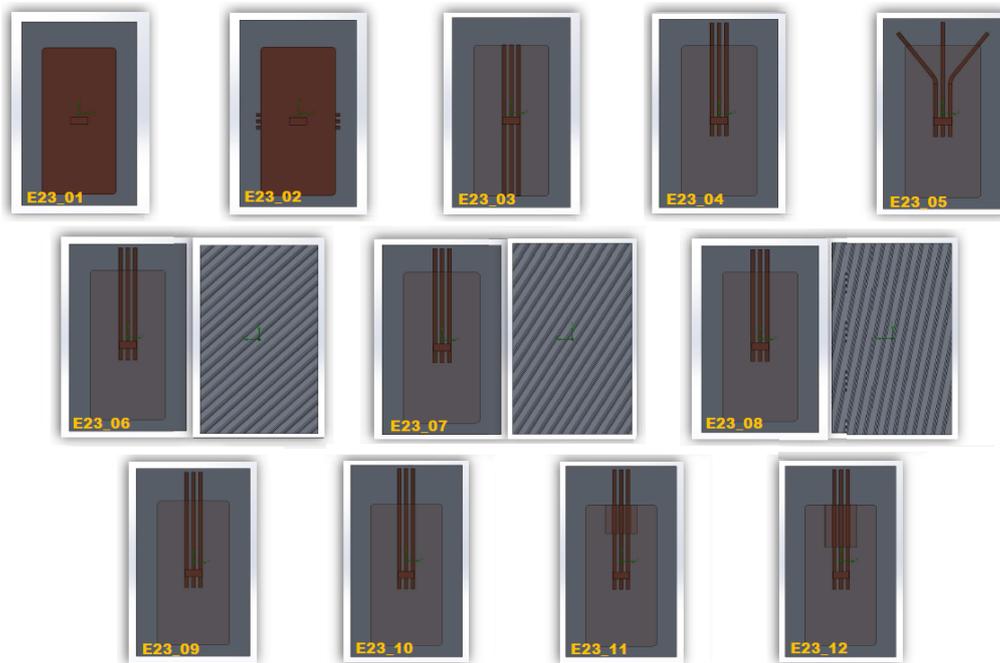


Figura 157: Simulações E23\_01 a E23\_12.

A Tabela 42 e a Figura 158 apresentam os resultados obtidos. Os valores analisados foram: a área de superfície  $S$  e a temperatura máxima no sistema  $T_{max}$ .

Tabela 42: Variações de dimensões do *pallet* na vertical.

Simulação	$\theta$	A [mm]	Heat pipe			Resultados	
			Tamanho [mm]	Direção	Posição	S [m <sup>2</sup> ]	T <sub>max</sub> [°C]
E23_01	90°	250	-	-	-	0,72	99,72
E23_02	90°	250	100	Horizontal	Centralizado	0,73	95,80
E23_03	90°	250	200	Vertical	Centralizado	0,73	94,95
E23_04	90°	250	150	Vertical	P/ cima	0,73	95,63
E23_05	90°	250	150	Vertical	P/ cima diagonal	0,73	96,22
E23_06	45°	250	150	Vertical	P/ cima	0,64	97,62
E23_07	60°	250	150	Vertical	P/ cima	0,64	96,79
E23_08	80°	250	150	Vertical	P/ cima	0,64	97,61
<b>E23_09</b>	<b>90°</b>	<b>260</b>	<b>160</b>	<b>Vertical</b>	<b>P/ cima</b>	<b>0,76</b>	<b>95,13</b>
E23_10	90°	270	170	Vertical	P/ cima	0,79	95,28
E23_11	90°	270	170	Vertical	P/ cima	0,79	95,36
E23_12A	90°	270	170	Vertical	P/ cima	0,79	95,50
E23_12B	90°	270	170	Vertical	P/ cima	0,79	94,64

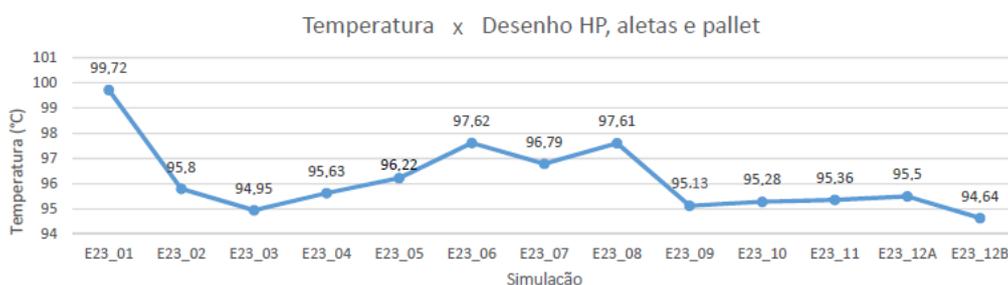


Figura 158: Variações de dimensões do *pallet* na vertical.

O aumento da altura da base do dissipador e do *heat pipe* entre as simulações E23\_09 e E23\_10 não reduziu significativamente a temperatura máxima do sistema, levando a conclusão que não se deve apenas aumentar a área de dissipação. Para as simulações E23\_11 e E23\_12, foi deixado um espaço livre entre a fonte quente do *heat pipe*, que está próximo ao transistor, e a fonte fria do sistema, que seria a parte mais distante da fonte de calor. Nessas simulações, o resultado não foi satisfatório.

Nos estudos feitos com a aplicação de *heat pipes*, foi utilizado apenas um valor de condutividade térmica de  $8670 \frac{W}{m \cdot K}$ . Esse valor foi alterado apenas para o estudo E23\_12B, para que fosse possível fazer uma comparação com o resultado da simulação anterior, E23\_12A. O valor utilizado foi de  $23000 \frac{W}{m \cdot K}$ , obtido pela calculadora de *Heat Pipe* [21]. Para essa comparação, levou-se em conta que o *heat pipe* tinha uma parte adiabática, sem contato com o *pallet* ou com o dissipador, entre as partes quente e fria. Houve um decréscimo de  $0,86^\circ\text{C}$  na temperatura máxima do sistema. A diferença de temperatura não foi significativa.

Através da análise dos resultados, chegou-se a conclusão de que as aletas na vertical em  $90^\circ$  geram melhores resultados, o que também ocorreu nos estudos com os *pallets* na horizontal. O melhor resultado foi no caso E23\_09, do qual se utilizou ângulo das aletas em relação ao plano horizontal de  $90^\circ$ , altura do dissipador 270mm, comprimento dos *heat pipes* de 160mm na

vertical e deslocados para cima do transistor. O resultado da melhor simulação é mostrado na Figura 159.

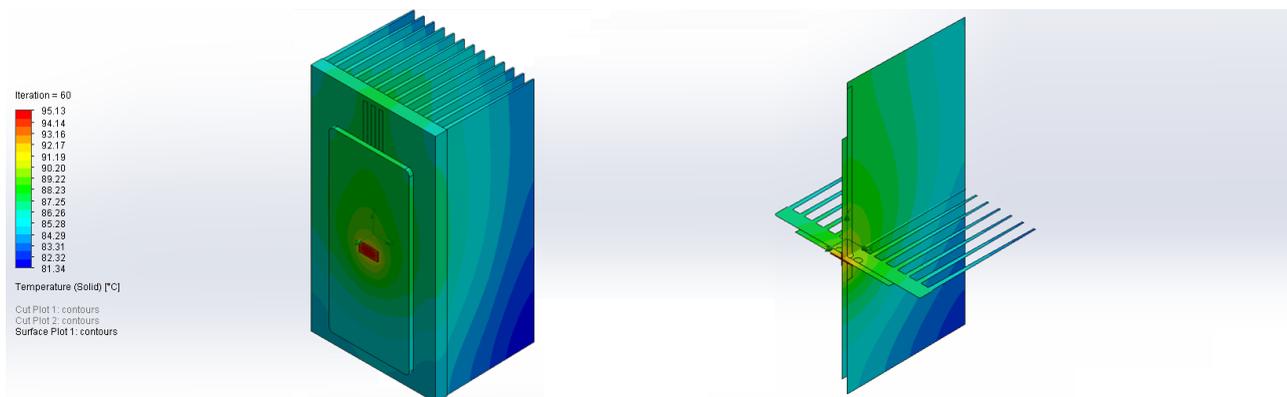


Figura 159: Simulação E23\_09.

### 7.6.8 *Pallets* 1 x 4 na vertical no sistema 4T4R

Para este estudo, foram feitas simulações utilizando como base o *pallet* instalado na vertical, com o sistema contendo quatro fontes de calor e uma fileira com quatro *pallets* posicionados na vertical lado a lado (1 x 4). Manteve-se o posicionamento dos *heat pipes* em relação ao transistor e ao *pallet* conforme a simulação E23\_09 e variaram-se os seguintes parâmetros: altura e largura do dissipador de calor, distância entre os *pallets* laterais  $d_1$  e distância entre os *pallets* centrais  $d_2$ . Os posicionamentos resultantes podem ser vistos na Figura 160.



Figura 160: Simulações E24\_01 a E24\_07.

A Tabela 43 e a Figura 161 apresentam os resultados obtidos, sendo a temperatura máxima no sistema a variável investigada. É importante salientar que as simulações E24\_06 e E24\_07 apresentam dimensões do dissipador iguais aos da disposição 2 x 2.

Tabela 43: Alterações nas dimensões do dissipador e nas disposições dos *Pallets* 1 x 4 na vertical no sistema 4T4R.

Simulação	Dimensões do dissipador		$d_1$ [mm]	$d_2$ [mm]	$T_{max}$ [°C]
	Altura [mm]	Largura [mm]			
E24_01	260	576,80	55,60	55,60	96,60
E24_02	260	442,40	10,80	10,80	103,08
E24_03	260	453,60	10,80	22	102,49
E24_04	260	455	10,80	33,20	102,75
E24_05	280	453,60	10,80	22	101,56
E24_06	280	463,20	10,80	33,20	101,15
E24_07	280	463,20	22	10,80	101,49

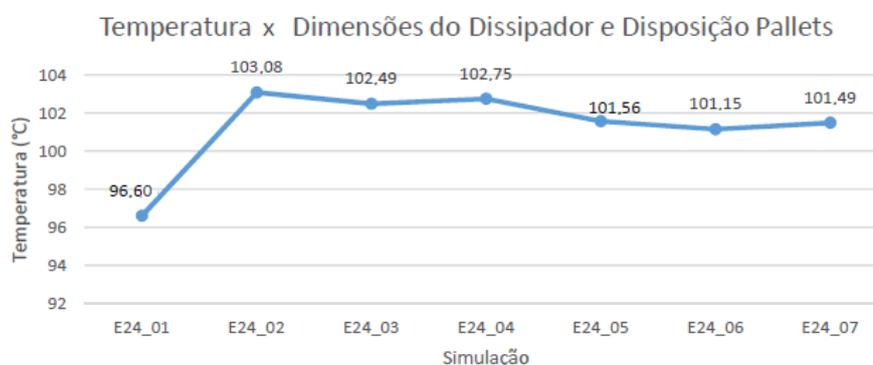


Figura 161: Alterações nas dimensões do dissipador e nas disposições dos *Pallets* 1 x 4 na vertical no sistema 4T4R.

Pode-se observar que o menor valor alcançado foi de 96,60°C na simulação E24\_01, utilizando um dissipador de calor com uma largura de 576,80mm considerada inviável para a construção do gabinete. Comparando com os testes do *pallet* 2 x 2 da Seção 7.6.6, cuja menor temperatura foi de 99,48 °C, conclui-se que a dissipação do calor não é efetiva para arranjos 1 x 4 com os *pallets* posicionados na vertical utilizando com base nas análises feitas até o momento. A Figura 162 apresenta a simulação E24\_06, da qual as dimensões são as mesmas da otimização com o arranjo 2 x 2.

Portanto, novas formas de dissipação de calor foram estudadas a fim de melhorar os resultados para simulações utilizando *pallets* na vertical.

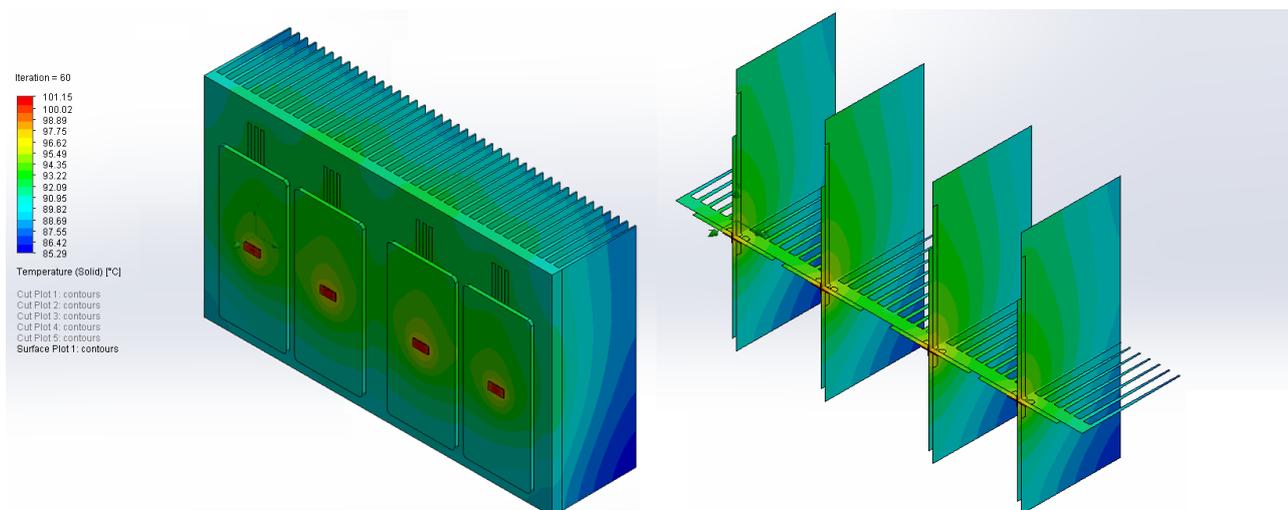


Figura 162: Simulação E24\_06.

### 7.6.9 Pallet na vertical com *coin* de cobre

Outro dispositivo auxiliar que pode ser útil na dissipação de calor é o *coin* de cobre. Para tal, iniciou-se a análise observando o comportamento dinâmico das seguintes variáveis: quantidade de *heat pipes*  $n$ ; altura do dissipador  $A$ ; forma do rebaixo para receber o *coin* de cobre no dissipador; posicionamento do transistor em relação ao *coin* de cobre  $p_1$ ; posicionamento do transistor em relação ao centro (vertical) do dissipador  $p_2$ ; distância mínima entre os *heat pipes* e o *pallet*  $d_{min}$ ; e posicionamento entre o *coin* de cobre e o dissipador  $p_3$  (encostado ou isolado). As diferentes configurações das simulações podem ser vistas na Figura 163.

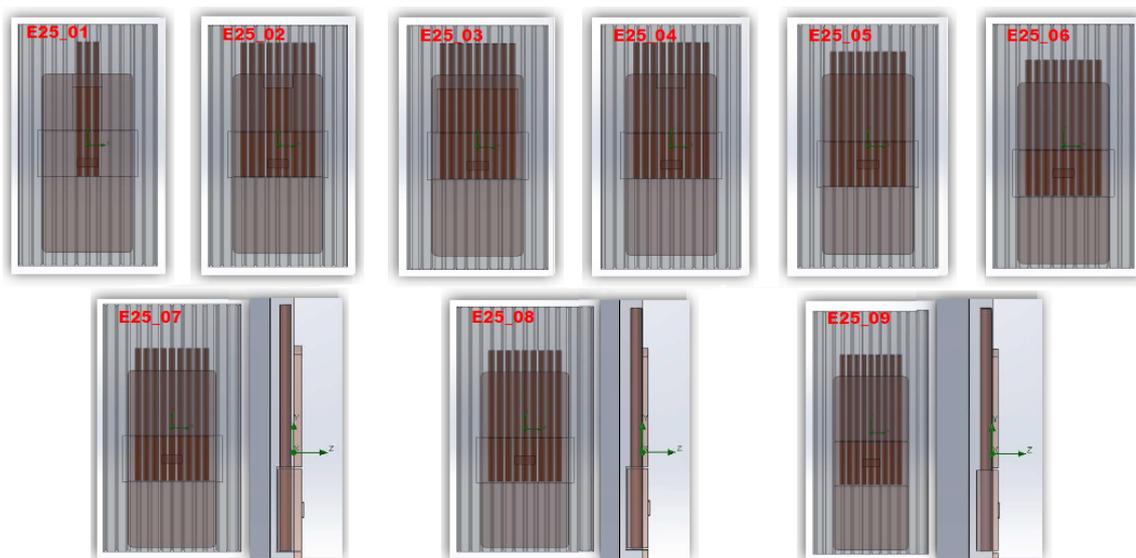


Figura 163: Simulações E25\_01 a E25\_09.

A Tabela 44 e Figura 164 apresentam os resultados alcançados nas simulações, sendo que para o rebaixo do *coin* de cobre no dissipador têm-se as seguintes formas:

1. Área livre entre a fonte fria e a fonte quente;

2. Área livre entre a fonte fria e a fonte quente em 3 *Heat Pipes*;
3. Área livre entre a fonte fria e a fonte quente em 9 *Heat Pipes*;
4. Sem área livre entre a fonte fria e a fonte quente.

Os valores analisados são: a temperatura mínima no sistema  $T_{min}$  e a temperatura máxima no sistema  $T_{max}$ . A Figura 165 apresenta a simulação E25\_01, da qual se pode observar como é feito o isolamento entre a fonte quente e a fonte fria.

Tabela 44: Mudanças no *pallet* na vertical com *heat pipe* e *coin* de cobre.

Simulação	n	A [mm]	Forma do rebaixo	$p_1$	$p_2$ [mm]	$d_{min}$ [mm]	$p_3$	Resultados	
								$T_{min}$ [°C]	$T_{max}$ [°C]
E25_01	3	270	1	P/ baixo	-20	1,5	Isolado	77,59	110,03
E25_02	9	270	2	P/ baixo	-20	1,5	Isolado	78,26	98,91
E25_03	9	270	3	P/ baixo	-20	1,5	Isolado	77,52	102,30
E25_04	9	270	4	P/ baixo	-20	1,5	Isolado	78,30	98,44
E25_05	9	270	4	Central	-20	1,5	Isolado	78,58	97,91
E25_06	9	270	4	Central	-30	1,5	Isolado	78,88	97,72
E25_07	9	280	4	Central	-30	1,5	Isolado	78,56	96,81
E25_08	9	280	4	Central	-30	0,5	Isolado	78,59	96,28
<b>E25_09</b>	<b>9</b>	<b>280</b>	<b>4</b>	<b>Central</b>	<b>-30</b>	<b>0,5</b>	<b>Encostado</b>	<b>80,68</b>	<b>93,58</b>

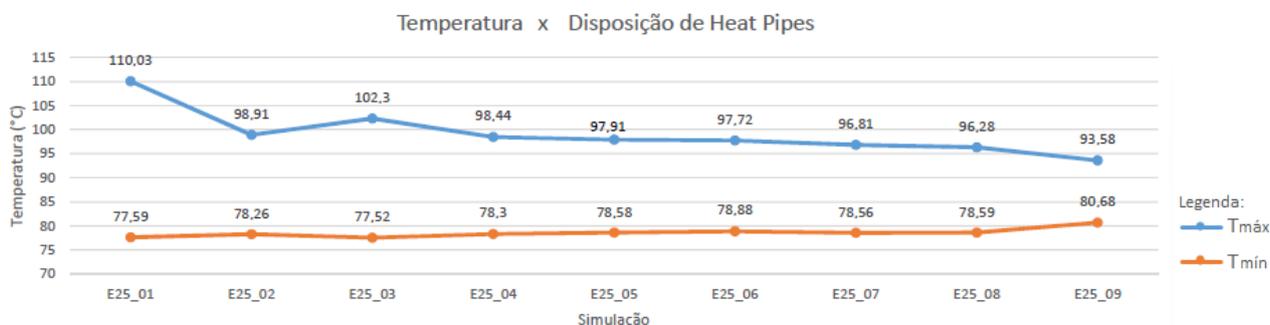


Figura 164: Mudanças no *pallet* na vertical com *heat pipe* e *coin* de cobre.



Figura 165: Simulação E25\_01.

Nota-se que a parte quente fica realmente isolada termicamente e a transferência de calor para o dissipador de calor é feita primordialmente pelo *heat pipe*. Porém, a transferência de calor não é suficiente para diminuir a temperatura. O intuito inicial foi isolar a parte quente do sistema em relação à parte fria, para que apenas o *heat pipe* conduzisse o calor gerado pelo transistor. Outra possibilidade com o *coin* de cobre totalmente encostado no dissipador é mostrada na última simulação, E25\_09.

Analisando os resultados, o modelo de melhor desempenho foi o obtido na simulação E25\_09 presente na Figura 166. Este modelo é composto por 9 *heat pipes* com altura do dissipador de 280mm, sem área livre entre fontes fria e quente. Ainda, o transistor foi posicionado no centro do *coin* e deslocado de 20mm para baixo do centro do dissipador, com distância mínima entre *heat pipes* e transistor de 0,5mm e o *coin* totalmente encostado no dissipador.

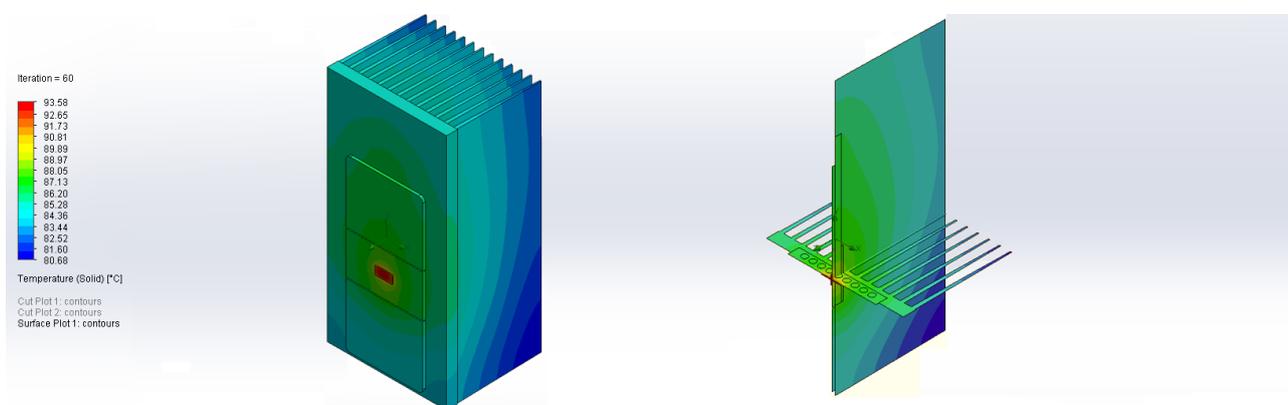


Figura 166: Simulação E25\_09.

### 7.6.10 *Pallet* na horizontal

Visto que o *pallet* na vertical não se mostra suficientemente eficiente tal como o *pallet* 2 x 2 posicionado na horizontal, as otimizações subsequentes foram desenvolvidas considerando os *pallets* com arranjo 2 x 2 na horizontal. Utilizou-se uma fonte de calor e investigaram-se as seguintes variáveis: quantidade de *heat pipes* n, aplicação de *coin* de cobre, posição do *pallet* em relação ao dissipador (embutido, parcialmente embutido ou na superfície), altura da base do dissipador A, espessura do *pallet*, distância mínima entre *heat pipe* e transistor  $d_{min}$ . As diferentes configurações das simulações podem ser vistas na Figura 167.

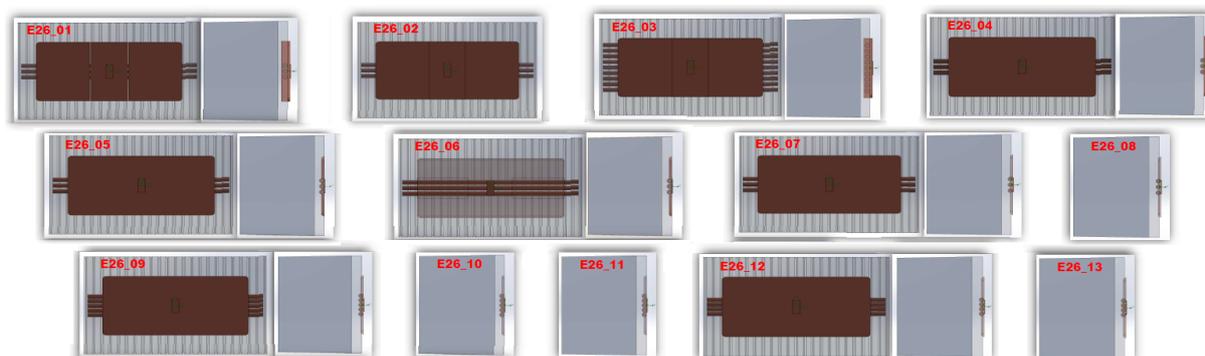


Figura 167: Simulações E26\_01 a E26\_13.

A Tabela 45 e a Figura 168 apresentam os resultados obtidos, das quais as variáveis observadas são: a temperatura mínima no sistema  $T_{min}$  e a temperatura máxima no sistema  $T_{max}$ .

Tabela 45: Variações no *pallet* na horizontal com *heat pipe* e *coin* de cobre.

Simulação	n	Uso de <i>coin</i> de cobre	Posição do <i>pallet</i>	A [mm]	Espessura do <i>pallet</i>	$d_{min}$	Resultados	
							$T_{min}$ [°C]	$T_{max}$ [°C]
E26_01	3	C/ vão	Superfície	13	3	3,5	77,06	88,96
E26_02	3	Sim	Superfície	13	3,5	3,5	77,07	88,94
E26_03	9	Sim	Superfície	13	3,5	3,5	77,48	88,35
E26_04	3	Não	Superfície	13	3,5	3,5	74,16	86,47
E26_05	3	Não	Embutido	13	3,5	0,5	77,17	87,69
E26_06	3	Não	Embutido	13	3,5	0,5	77,20	87,69
E26_07	3	Não	1,5mm embut.	13	3,5	0,5	77,06	87,54
E26_08	3	Não	1,5mm embut.	14	3,5	0,5	77,00	87,48
E26_09	5	Não	1,5mm embut.	14	3,5	0,5	77,21	86,62
E26_10	5	Não	Embutido	13	3,5	0,5	77,36	86,76
E26_11	5	Não	Embutido	14	3,5	0,5	77,34	86,72
E26_12	4	Não	1,5mm embut.	14	3,5	0,5	77,16	86,46
<b>E26_13</b>	<b>4</b>	<b>Não</b>	<b>1,5mm embut.</b>	<b>13</b>	<b>3,5</b>	<b>0,5</b>	<b>77,22</b>	<b>86,50</b>

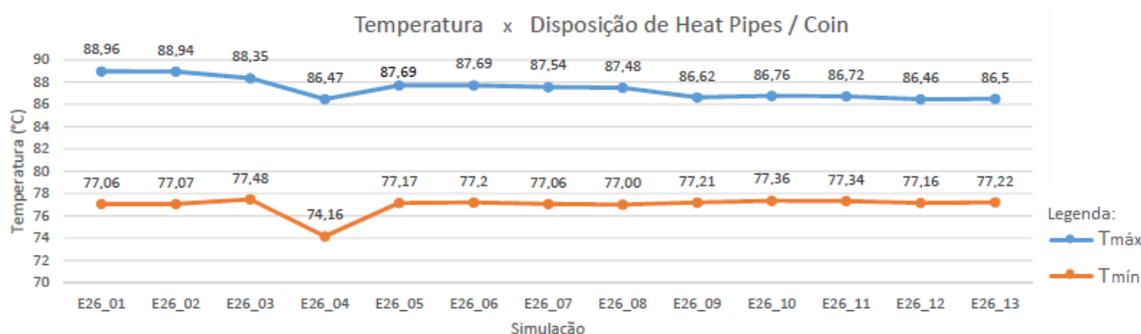


Figura 168: Variações no *pallet* na horizontal com *heat pipe* e *coin* de cobre.

Neste caso de estudo, o *coin* de cobre não se mostrou eficiente. Na simulação E26\_04, foi utilizado um *heat pipe* "amassado" na parte em que está em contato com o dissipador de calor, conforme ilustra a Figura 169. Este formato resultou na melhoria da dissipação abrangendo uma superfície de contato maior, entretanto, isto pode dificultar a confecção do protótipo.

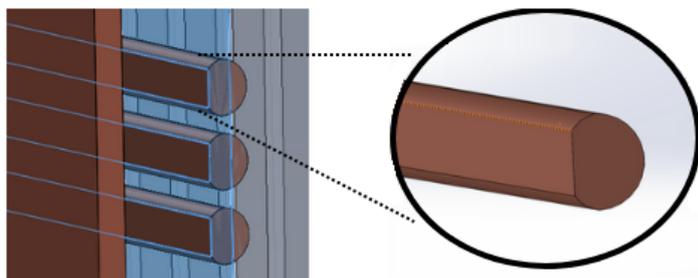


Figura 169: *Heat pipe* "amassado".

Com o intuito de facilitar a produção e ter um comportamento efetivo na transferência de calor, uma alternativa foi utilizar o *pallet* semi-embutido no dissipador, sendo 1,5mm embutido e 2mm acima da superfície do dissipador, sendo os *heat pipes* com uma parte embutida no dissipador e a outra parte embutida no *pallet*, conforme Figura 170. A proximidade entre os *heat pipes* e o transistor auxilia a transferência de calor.

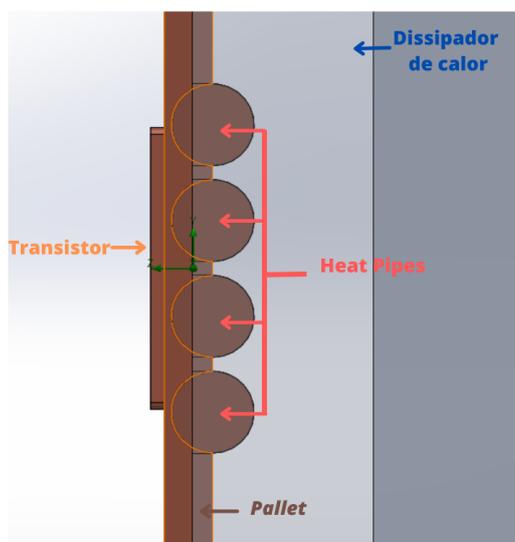


Figura 170: Posicionamento do *Heat pipe*.

Os resultados das simulações com os *pallets* na horizontal superaram significativamente os dos *pallets* na vertical. O modelo mais eficiente analisado é o da simulação E26\_13, apresentado na Figura 171.

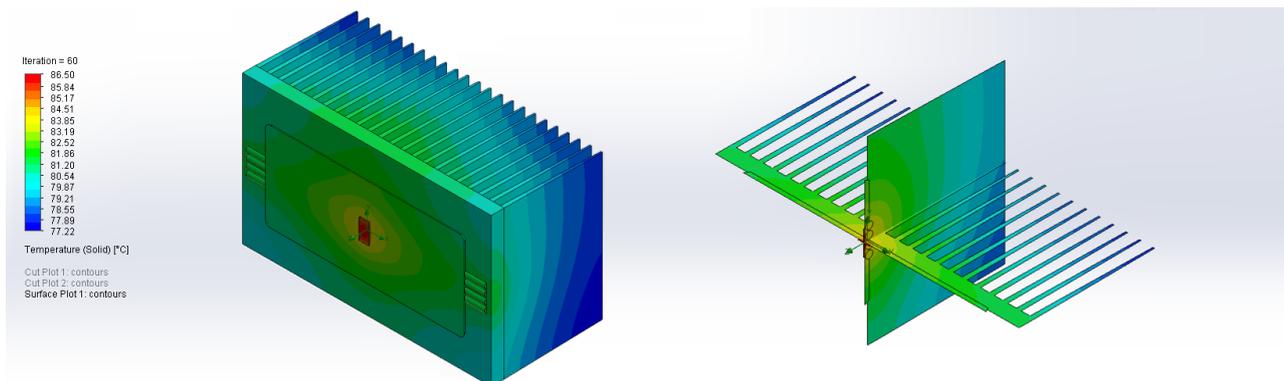


Figura 171: Simulação E26\_13.

### 7.6.11 Heat pipe nos pallets 2 x 2 do sistema 4T4R

O próximo passo foi verificar um sistema com 4 fontes de calor a fim de encontrar uma forma otimizada de dissipação de calor em um arranjo 2 x 2, levando em consideração os resultados e conclusões anteriores.

Os parâmetros das simulações foram: largura do dissipador de calor  $C$ , largura dos *heat pipes*  $L_{HP}$ , posição dos *heat pipes*  $P_{HP}$ , distância entre colunas de *pallets*  $d_{col}$ , uso de *heat pipes* na vertical  $U_1$ , uso de *coins* laterais  $U_2$  e utilização de aletas superiores no dissipador  $U_3$ . As diferentes disposições das simulações podem ser vistas na Figura 172.

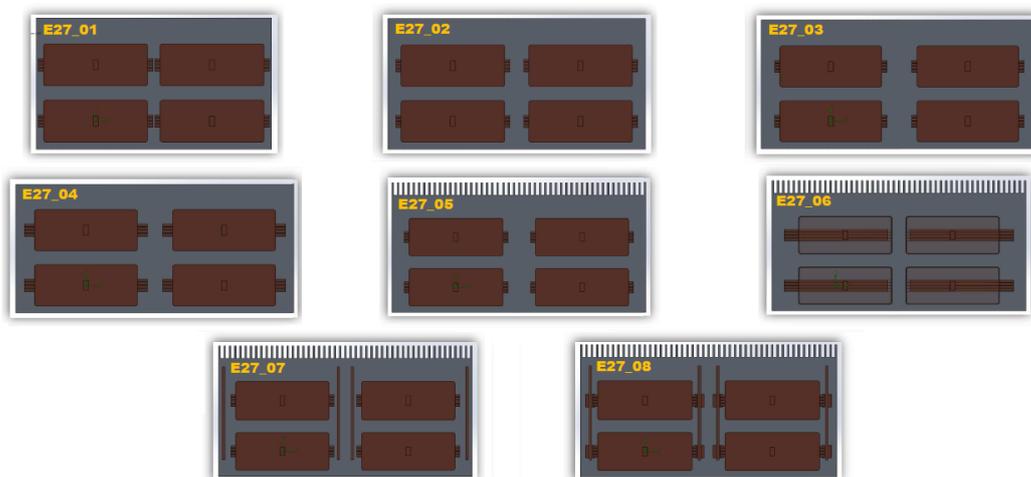


Figura 172: Simulações E27\_01 a E27\_08.

A Tabela 46 apresenta os resultados obtidos, da qual os valores avaliados são: a temperatura mínima no sistema  $T_{min}$  e a temperatura máxima no sistema  $T_{max}$ . Também, tem-se na Figura 173 os resultados obtidos.

Tabela 46: Mudanças nas disposições do *pallet* 2 x 2 na horizontal com *heat pipe* e *coin* de cobre.

Simulação	C [mm]	L <sub>HPP</sub> [mm]	P <sub>HPP</sub>	d <sub>col</sub> [mm]	U <sub>1</sub>	U <sub>2</sub>	U <sub>3</sub>	Resultados	
								T <sub>min</sub> [°C]	T <sub>max</sub> [°C]
E27_01	452,00	220,00	Centralizado	223,90	Não	Não	Não	86,30	98,06
E27_02	496,80	220,00	Centralizado	246,30	Não	Não	Não	84,08	95,62
E27_03	541,60	220,00	Centralizado	268,70	Não	Não	Não	82,07	93,72
E27_04	541,60	240,00	Centralizado	268,70	Não	Não	Não	82,22	93,66
<b>E27_05</b>	<b>541,60</b>	<b>220,00</b>	<b>Centralizado</b>	<b>268,70</b>	<b>Não</b>	<b>Não</b>	<b>Sim</b>	<b>81,42</b>	<b>92,95</b>
E27_06	541,60	220,00	Deslocado	228,70	Não	Não	Sim	80,90	93,07
E27_07	541,60	220,00	Centralizado	268,70	Sim	Não	Sim	81,34	92,78
E27_08	541,60	220,00	Centralizado	268,70	Sim	Sim	Sim	81,60	92,80

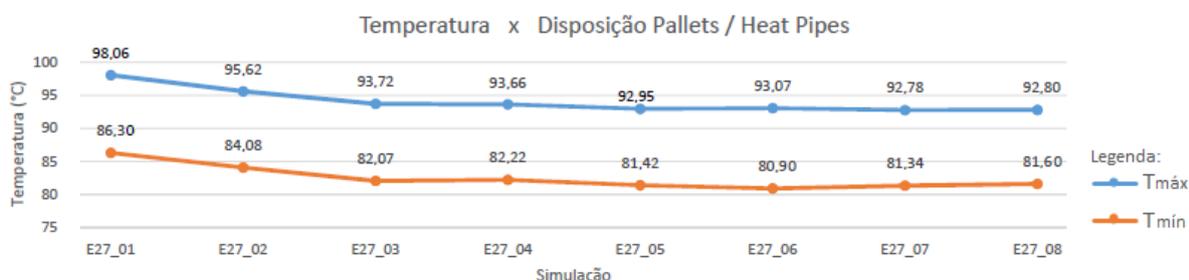


Figura 173: Mudanças nas disposições do *pallet* 2 x 2 na horizontal com *heat pipe* e *coin* de cobre.

Analisando estas informações, nota-se que utilizar *heat pipes* na vertical e *coins* de cobre laterais, tal como abordado nas simulações E27\_07 e E27\_08, demonstram pouca efetividade. A simulação E27\_05 foi a mais otimizada em que não se usa *heat pipes* verticais e *coins* de cobre e foi utilizado aletas superiores. Esta simulação é mostrada na Figura 174.

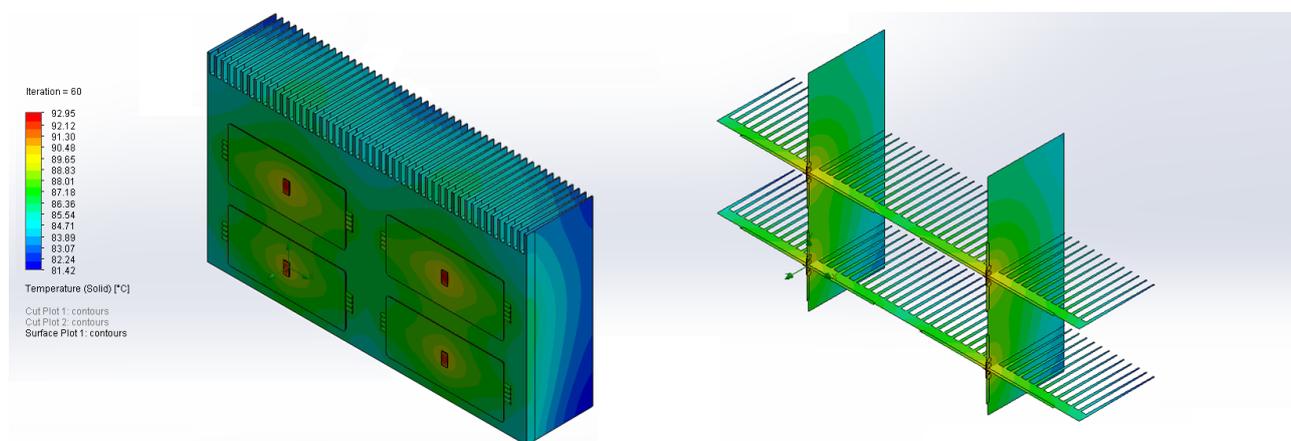


Figura 174: Simulação E27\_05.

### 7.6.12 Refinamento do *Heat pipe* nos *pallets* 2 x 2 do sistema 4T4R

Em seguida, o refinamento do *heat pipe* foi feito para encontrar um valor de condutividade térmica mais condizente com a geometria dos *heat pipes* empregados. Desta forma, foi recalculado através da calculadora de *heat pipe* da Celsia [21].

Levando em conta que o comprimento dos *heat pipes* é de 150mm, o comprimento da parte de evaporação é de 20mm e o comprimento da parte de condensação é de 60mm, o valor de condutividade térmica aproximado é de  $23000 \frac{W}{m \cdot K}$ .

Na maioria das simulações, os *heat pipes* ficaram deslocados em direção às extremidades do dissipador, a fim de evitar concentração de calor no centro. Os parâmetros variados neste estudo foram: posicionamento dos *heat pipes* centrais  $p_{HPC}$  (que cortam o centro da área abaixo dos transistores), uso e disposição de *heat pipes* fora da área de contato abaixo dos transistores, distância entre o centro dos transistores e a ponta dos *heat pipes*  $d_{CT-HP}$ , distância entre as colunas de *pallets*  $d_{col}$ , distância entre as linhas de *pallets*  $d_i$  e largura dos *heat pipes* centrais  $L_{HPC}$ . As diferentes configurações das simulações podem ser vistas na Figura 175.

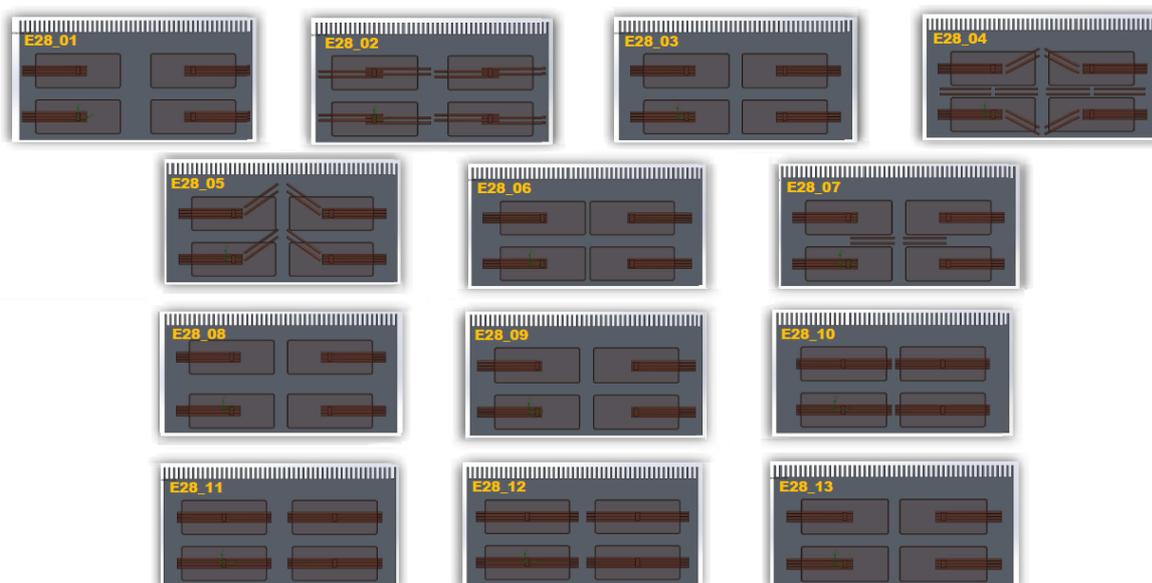


Figura 175: Simulações E28\_01 a E28\_13.

A Tabela 47 e Figura 176 apresentam os resultados alcançados nas simulações, sendo as seguintes variáveis analisadas: a temperatura mínima no sistema  $T_{min}$  e a temperatura máxima no sistema  $T_{max}$ .

Tabela 47: Refinamento nas disposições do *pallet 2 x 2* na horizontal com *heat pipe*.

Simulação	$p_{HPC}$	Uso de <i>heat pipes</i> fora do transistor	$d_{CT-HP}$ [mm]	$d_{col}$ [mm]	$d_{li}$ [mm]	$L_{HPC}$ [mm]	Resultados	
							$T_{min}$ [°C]	$T_{max}$ [°C]
E28_01	P/ fora	Não	20,00	268,70	120,00	150,00	79,55	93,28
E28_02	Alternados	Não	20,00	268,70	120,00	150,00	81,69	92,32
E28_03	P/ fora	Não	20,00	228,80	120,00	150,00	79,43	91,54
E28_04	P/ fora	Diagonal + 8 entre linhas	20,00	228,80	120,00	150,00	81,60	92,59
E28_05	P/ fora	Diagonal P/ cima	20,00	228,80	120,00	150,00	80,99	92,53
E28_06	P/ fora	Não	10,00	208,80	120,00	150,00	80,65	93,14
E28_07	P/ fora	4 entre linhas	20,00	228,80	120,00	150,00	80,87	92,82
E28_08	P/ fora	Não	20,00	228,80	140,00	150,00	80,26	92,57
E28_09	P/ fora	Não	20,00	230,00	120,00	150,00	80,21	93,09
E28_10	Centro	Não	110,00	230,00	120,00	220,00	80,78	92,02
E28_11	Centro	Não	110,00	258,80	120,00	220,00	81,46	91,73
E28_12	Centro	Não	120,00	258,80	120,00	240,00	81,70	91,64
<b>E28_13</b>	<b>P/ fora</b>	<b>Não</b>	<b>17,60</b>	<b>224,00</b>	<b>120,00</b>	<b>150,00</b>	<b>79,47</b>	<b>91,49</b>

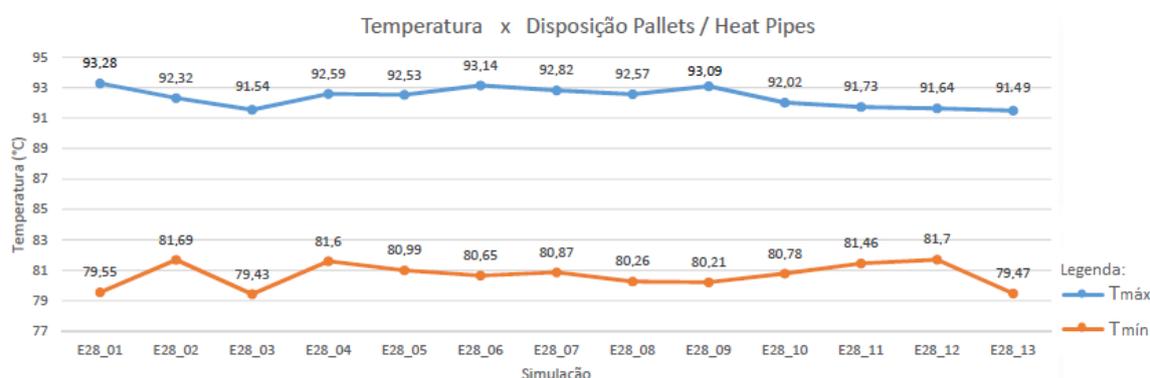


Figura 176: Refinamento nas disposições do *pallet 2 x 2* na horizontal com *heat pipe*.

Observando o comportamento das simulações, os *heat pipes* alternados ou localizados fora da área dos transistores não geraram um resultado satisfatório. Contudo, os *heat pipes* deslocados em direção às extremidades auxiliam para que não houvesse uma concentração elevada de aquecimento no centro do dissipador de calor. O melhor resultado pode ser visto na Figura 177, da qual a simulação E28\_13 atinge uma temperatura máxima de 91,49 °C.

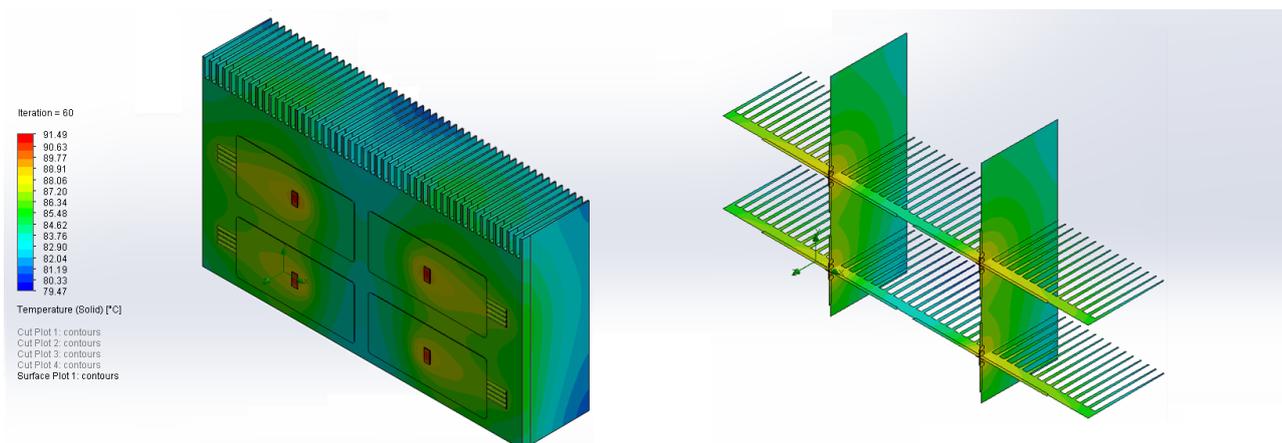


Figura 177: Simulação E28\_13.

### 7.6.13 *Pallet* inteiriço

Em último caso, verificou-se o comportamento do *pallet* inteiriço a fim de observar a sua vantagem. Primeiramente foram simulados alguns casos com um sistema de um único *pallet*, e, por fim, a melhor escolha no arranjo 2 x 2 na horizontal. As diversas disposições das simulações podem ser vistas na Figura 178.



Figura 178: Simulações E29\_01 a E30\_01.

A Tabela 48 e Figura 179 apresentam os resultados alcançados nas simulações. Os parâmetros analisados foram: quantidade de *heat pipes*  $n$ , espessura da base do dissipador  $B$ , espessura do *pallet* e quantidade de fontes de calor  $m$  (transistores).

Tabela 48: Variações do *pallet* inteiriço.

Simulação	n	B[mm]	Espessura do <i>pallet</i>	Transistores	Resultados	
					$T_{min}$ [°C]	$T_{max}$ [°C]
E29_01	0	13,00	7,00	1	77,15	92,99
E29_02	4	13,00	7,00	1	77,65	88,86
E29_03	4	13,00	6,00	1	77,67	87,87
E29_04	4	13,00	5,00	1	77,68	87,37
E29_05	4	13,00	4,00	1	77,67	86,99
<b>E29_06</b>	<b>4</b>	<b>13,00</b>	<b>3,50</b>	<b>1</b>	<b>77,67</b>	<b>86,73</b>
E29_07	4	12,00	3,50	1	77,70	86,77
E30_01	16	13,00	3,50	4	81,47	93,18

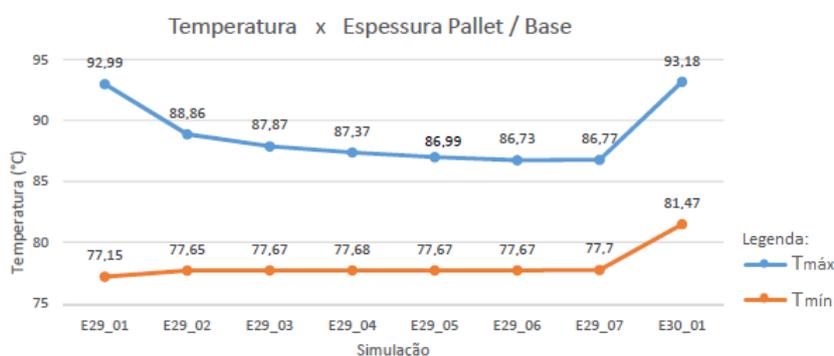


Figura 179: Variações do *pallet* inteiriço.

O melhor resultado obtido durante as simulações considerando uma fonte de calor é dado pelo modelo E29\_06, ilustrado na Figura 180. O resultado da simulação E30\_01 com quatro fontes de calor é mostrado na Figura 181.

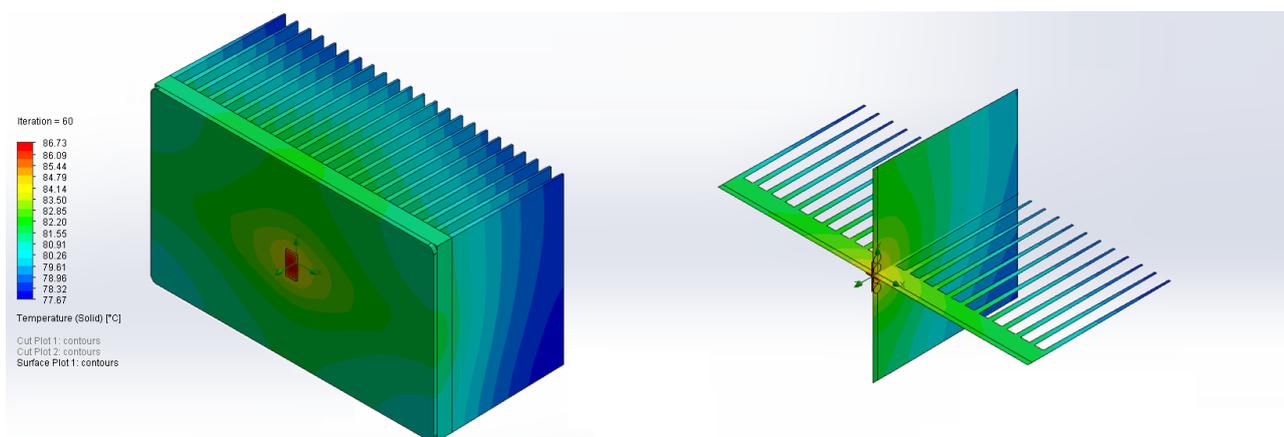


Figura 180: Simulação E29\_06.

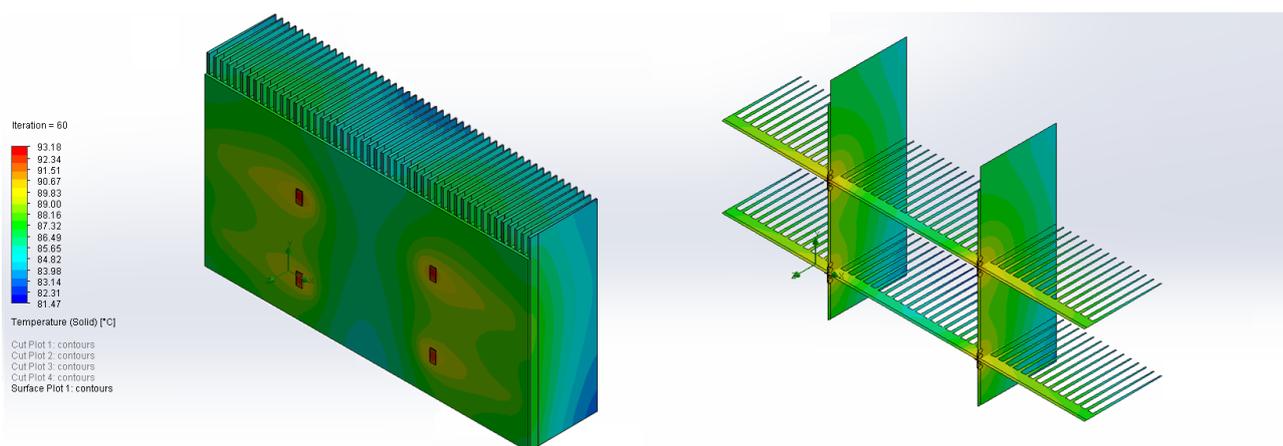


Figura 181: Simulação E30\_01.

Analisando os resultados, conclui-se que não é vantajoso utilizar um *pallet* inteiro no sistema, já que além de não diminuir a temperatura máxima, há um acréscimo considerável nos custos com o cobre, além do aumento do peso final da solução.

#### 7.6.14 Módulo *Electronics Cooling* e dimensionamento dos *pallets*

Como apontado anteriormente, há o módulo *Electronics Cooling* do *software Solidworks*<sup>®</sup> que pode auxiliar nas simulações térmicas de sistemas envolvendo eletrônica como o referente projeto O-RU. Desta forma, o mesmo foi adquirido para auxiliar no desenvolvimento do projeto, sendo empregado, inicialmente, no dimensionado dos *pallets* do PAM.

Utilizou-se para os *heat pipes*, com a funcionalidade do *Electronics Cooling* integrada, um valor de 0,2k/W. Como referência das simulações, foi empregado o arranjo da simulação E28\_13 da Seção 7.6.12. A simulação foi refeita e foram obtidos resultados de temperatura maiores.

O dimensionamento do *pallet* foi feito a partir das dimensões da combinação, que resulta no maior espaço necessário para que o *pallet* abrigasse todos os principais componentes do módulo PAM, tendo em vista que os componentes não foram definidos em sua totalidade. Como exemplo, considerou-se a combinação com o PA de PN MAPC-A2500-B da fabricante Macom<sup>®</sup> e o pré-amplificador de PN A5M36TG140 da fabricante NXP<sup>®</sup>, resultando em um *pallet* de 138 x 71 mm, como pode ser visto na Figura 182.

Pallet Macom (estimativa): 98x71  
 Pallet RFHIC: 63x41,5  
 Drive NXP (medido): 40x30  
 Drive RFHIC: 27,8x21  
  
 Pior caso: Pallet Macom + Drive NXP: 138x71

Figura 182: Configuração do PAM e RFFE no *software*.

As diferentes disposições podem ser vistas na Figura 183. As Tabela 49 e Figura 184 apresentam os resultados alcançados nas simulações. Os parâmetros avaliados foram: posição dos *heat pipes*  $P_{HP}$  (*heat pipes* menores direcionados para a borda do dissipador, um para cada transistor, e *heat pipes* maiores, interseccionados na parte do *pallet* abaixo dos dois transistores da mesma fila), distância entre os *heat pipes*  $d_{HP}$ , dimensões dos *pallets* (antes ou depois do estudo para determinar o tamanho do *pallet*) e altura das aletas  $h_A$ .

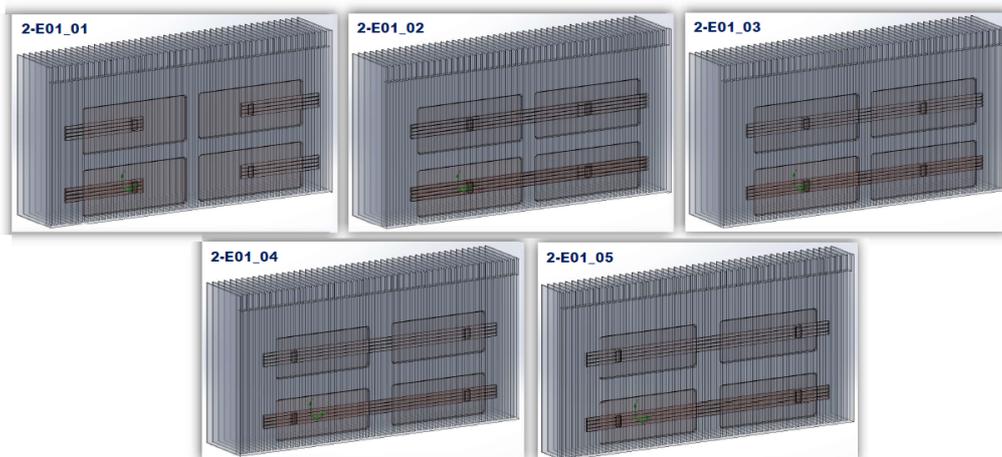


Figura 183: Simulações 2-E01\_01 a 2-E01\_05.

Tabela 49: Variações com o *Electronic Coolings*.

Simulação	$P_{HP}$	$d_{HP}$ [mm]	<i>Pallet</i> / Transistor	$h_A$ [mm]	Resultados
					$T_{max}$ [°C]
2-E01_01	P/ Fora	7,0	Antes	100	104,41
2-E01_02	Centro	7,0	Antes	100	103,62
2-E01_03	Centro	6,5	Antes	100	101,88
<b>2-E01_04</b>	<b>Centro</b>	<b>6,5</b>	<b>Após</b>	<b>100</b>	<b>102,62</b>
2-E01_05	Centro	6,5	Após	55	103,62

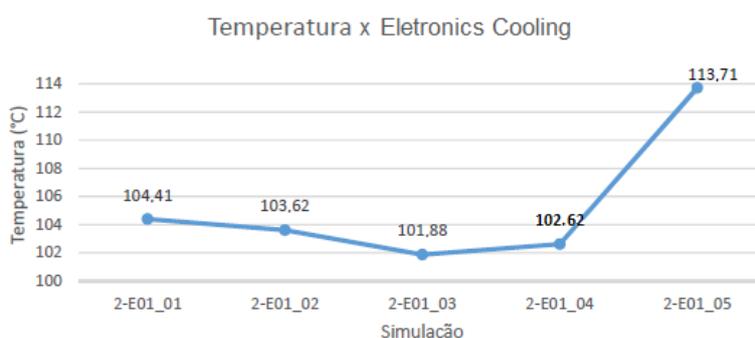


Figura 184: Variações com o módulo *Electronic Cooling*.

O melhor resultado foi obtido durante essas análises corresponde a simulação 2-E01\_04, ilustrado na Figura 185. Analisando os resultados obtidos, nota-se que para o caso em que o *heat pipe* é maior, passando embaixo de dois transistores, o calor gerado pelos transistores foi dissipado de uma forma mais eficiente. Uma redução no tamanho das aletas diminui drasticamente a dissipação do calor e, conseqüentemente, aumenta a temperatura nos transistores. Os *pallets* foram redimensionados, e os transistores, que antes ficavam no centro do *pallet*, foram posicionados lateralmente deslocados, conforme devem ficar na montagem real dos PAMs.

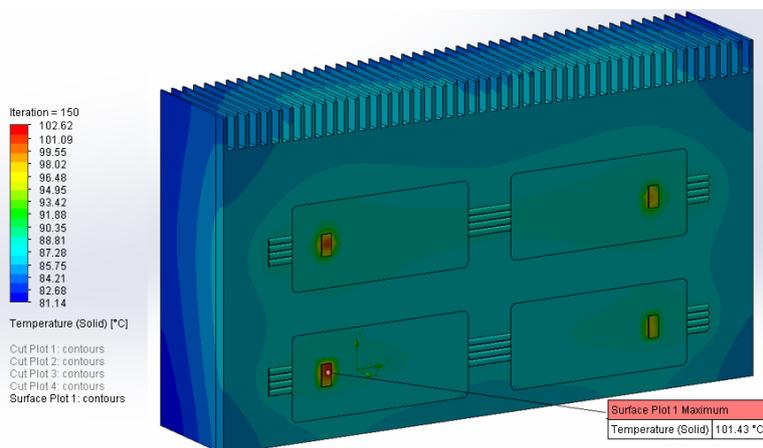


Figura 185: Simulação 2-E01\_04.

### 7.6.15 Sistema 8T8R

Dando continuidade à otimização térmica, foi feito um arranjo com as oito fontes de calor, em conformidade com a solução proposta. Desta forma, foram dispostos quatro fontes na parte frontal e quatro fontes na parte traseira, com um chassi central com rebaixos para alocação dos *pallets*, e com tampas dissipadoras com aletas nas partes frontal e traseira. A Figura 186 ilustra o arranjo a partir das vistas superior, lateral e em corte, respectivamente.

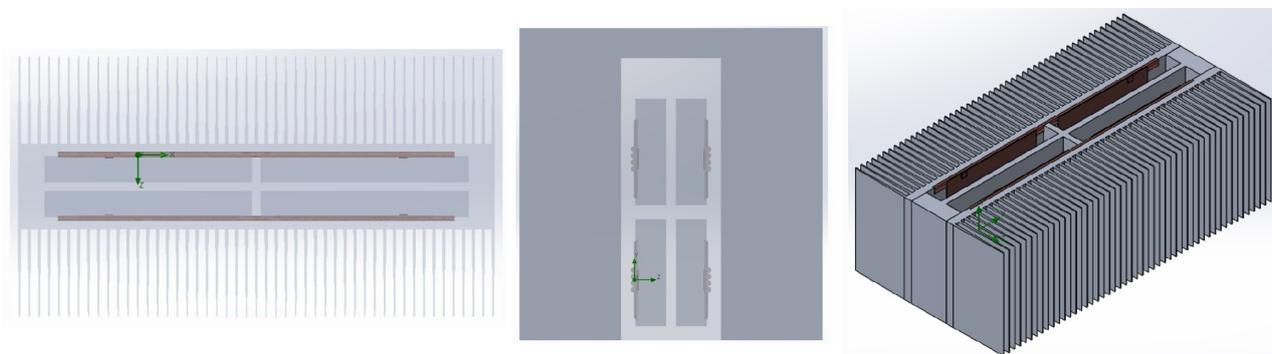


Figura 186: Arranjo de 8 fontes de calor.

Três diferentes modelos de simulação foram avaliados, conforme ilustra Figura 187. Os parâmetros analisados foram a variação da largura do equipamento e a malha gerada para a simulação, que se mostrou crítica para os resultados. A Tabela 50 e Figura 188 apresentam o resumo dos resultados obtidos.

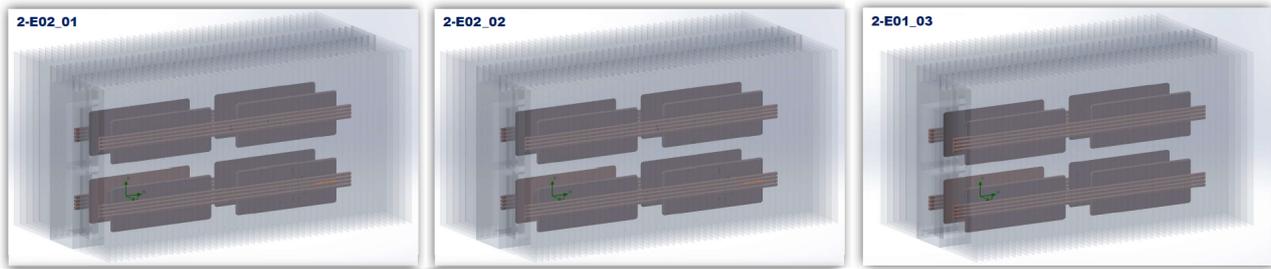


Figura 187: Simulações 2-E02\_01 a 2-E02\_03.

Tabela 50: Variações da largura e malha.

Simulação	Largura [mm]	Malha local	$T_{max}$ [°C]
2-E02_01	541,6	Não	112,21
2-E02_02	496,8	Sim	104,82
<b>2-E02_03</b>	<b>541,6</b>	<b>Sim</b>	<b>98,09</b>

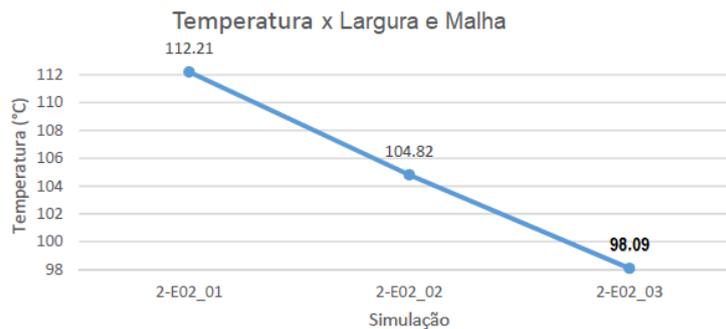


Figura 188: Variações da largura e malha.

Dos modelos analisados, o melhor desempenho foi obtido com a simulação 2-E02\_03, conforme apresentado na Figura 189. As simulações demonstraram que a adição de mais quatro fontes de calor e de seu dissipador não contribuíram para o aumento das temperaturas. Isto porque o aumento da massa de dissipação compensou o aumento da quantidade de fontes de calor e reduziu levemente a temperatura.

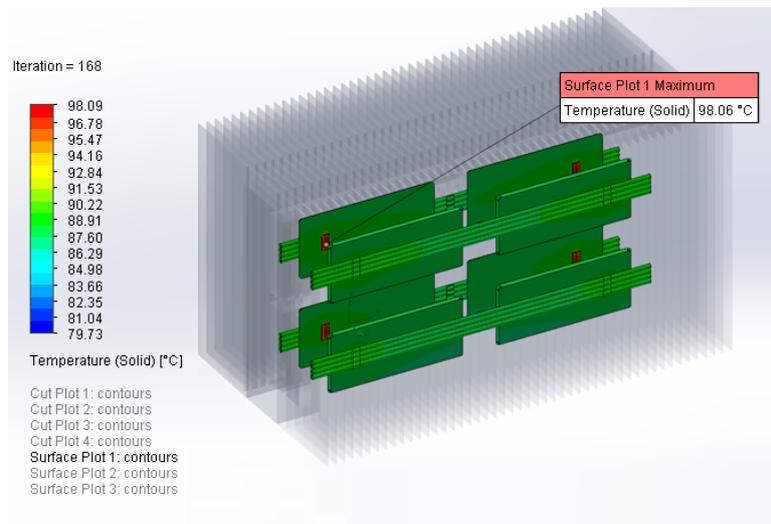


Figura 189: Simulação 2-E02\_03.

### 7.6.16 Principais fontes de calor

Com o intuito de aprimorar as simulações, todas as principais fontes de calor do sistema foram adicionadas nesta etapa, sendo estas:

- 8 fontes de calor de 90W dos PAs;
- 3 fontes de calor (2 de 28W e 1 de 6W) do DC/DC;
- 2 fontes de calor de 2W do SFP;
- 1 fonte de calor de 32,5W do módulo DFE.

As PCIs foram incluídas a partir do recurso do módulo *Electronics Cooling*. O arranjo dos PAs foi mantido de acordo com os resultados analisados anteriormente. A montagem, como mostra a Figura 190, foi feita com os PAs localizados na parte superior do sistema, o módulo DFE na parte inferior, com um canal e um recorte nas aletas entre os PAs e o módulo DFE com o objetivo de evitar que o calor gerado pelos PAs chegue ao módulo DFE, o conversor DC/DC na parte inferior e do lado oposto ao módulo DFE e os SFPs abaixo do módulo DFE.

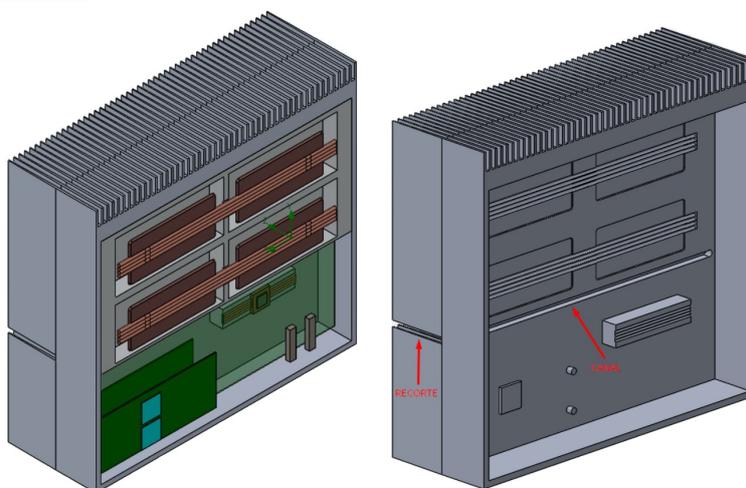


Figura 190: Exemplo de montagem das principais fontes de calor.

As disposições simuladas são exibidas na Figura 191, ao longo das quais *heat pipes* foram acrescentados para dissipação de calor do módulo DFE. As variáveis avaliadas foram: quantidade de SFPs  $q_{SFP}$ , distância entre SFP e a parte inferior do alumínio de dissipação  $d_{SFP-AL}$ , largura do ressalto do módulo DFE  $L_{RE}$ , quantidade de *heat pipes* no DFE  $q_{HPDFE}$  e potência dissipada no módulo DFE  $P_{DFE}$ , profundidade do canal entre PAs e DFE  $P_{PA-DFE}$  e tamanho do corte nas aletas  $L_C$ . A Tabela 51 apresenta os resultados obtidos e a Figura 192 apresenta-os graficamente.

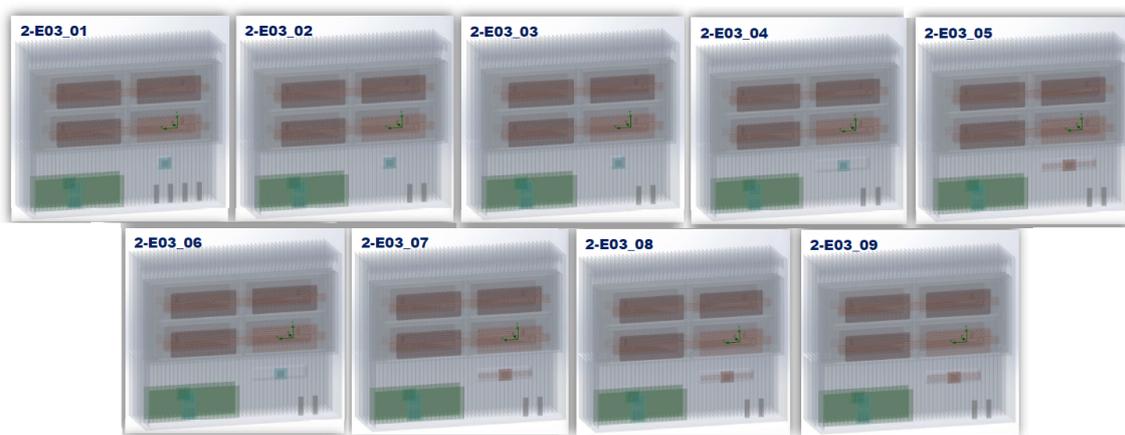


Figura 191: Simulações 2-E03\_01 a 2-E03\_09.

Tabela 51: Mudanças nas simulações com as principais fontes de calor.

Simulação	$q_{SFP}$	$d_{SFP-AL}$ [mm]	$L_{RE}$ [mm]	$q_{HPDFE}$	$P_{DFE}$ [W]	$P_{PA-DFE}$ [mm]	$L_C$ [mm]	Resultados	
								$T_{max}$ [°C]	$T_{DFE}$ [°C]
2-E03_01	4	10	35	0	32,5	0	4	104,66	97,64
2-E03_02	2	5	35	0	32,5	0	4	101,21	97,32
2-E03_03	2	0	35	0	32,5	0	4	101,19	97,19
2-E03_04	2	0	150	0	32,5	0	4	101,19	94,33
2-E03_05	2	0	150	4	32,5	0	4	101,21	87,26
2-E03_06	2	0	150	0	1,0	0	4	100,46	80,26
2-E03_07	2	0	150	4	32,5	10	4	101,45	86,19
<b>2-E03_08</b>	<b>2</b>	<b>0</b>	<b>150</b>	<b>4</b>	<b>32,5</b>	<b>12</b>	<b>10</b>	<b>101,67</b>	<b>84,42</b>
2-E03_09	2	0	150	5	32,5	12	10	101,66	84,58

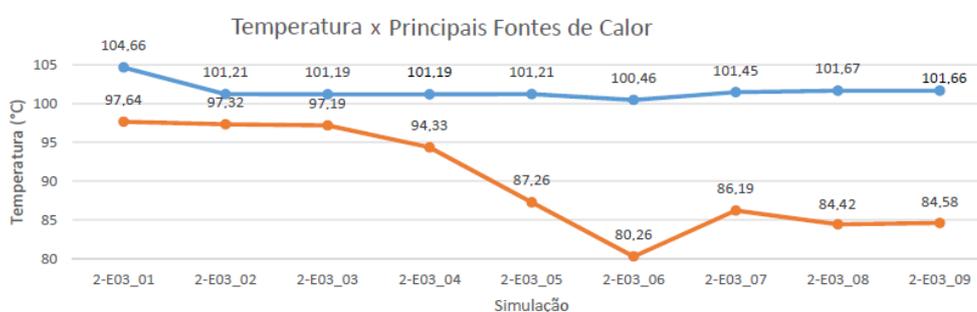


Figura 192: Mudanças nas simulações com as principais fontes de calor.

Avaliando os resultados, nota-se a criticidade da temperatura no módulo DFE. O melhor resultado foi obtido na simulação 2-E03\_08, apresentado na Figura 193. Portanto, é essencial que haja uma forma de isolar o calor gerado pelos PAs da parte inferior do sistema. Além disso, é necessário incluir *heat pipes* para dissipação de calor no módulo DFE. Os conectores SFPs podem causar problemas de alta temperatura caso não sejam instalados adequadamente.

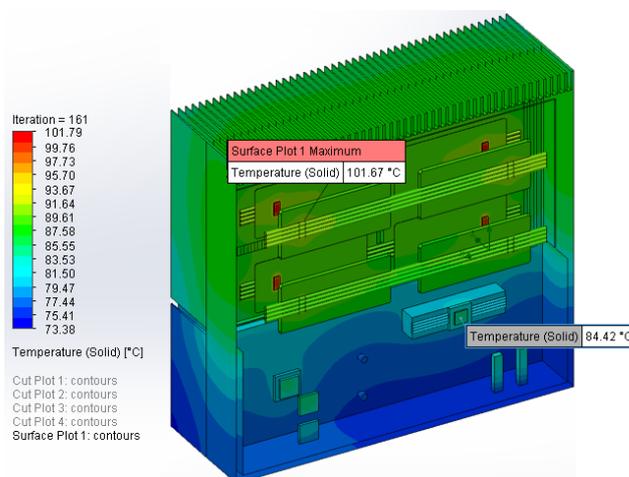


Figura 193: Simulação 2-E03\_08.

## 8 Conclusões

Este relatório apresentou o desenvolvimento preliminar do *hardware* da O-RU 5G referente ao projeto OpenRAN@Brasil Fase 2. A unidade de rádio é composta pelos módulos conversor DC/DC, processamento em BB (DFE), TRX (módulos RFFE e PAM), filtros mecânicos e o protótipo mecânico em que será integrado todos os módulos da solução. A seguir são apresentadas as conclusões para cada uma das partes de compõem o projeto de *hardware*.

Para o módulo conversor DC/DC consta-se que este está operando corretamente e conforme as especificações do projeto, descritas em [3]. Ainda que o módulo esteja funcional, foram detectadas elevadas temperaturas no circuito *surge stopper*. Para sua validação total, serão realizados testes funcionais dos estágios de conversão de tensão DC/DC para corroborar as tensões de saída, dos circuitos de proteção de entrada, da integração do conversor DC/DC com os demais módulos e de conformidade em relação à compatibilidade eletromagnética.

Em relação ao módulo de processamento em BB, observa-se que um desafio claro é a alta complexidade dos esquemas elétricos e *layout* da solução. Portanto, antes da fabricação todo o projeto será revisado com a ajuda do fornecedor AMD Xilinx. Também serão gerados os componentes com o dimensionamento mecânico em 3D, necessário para a elaboração do *layout* e o projeto mecânico da O-RU.

Com os resultados obtidos dos testes dos componentes individuais do RFFE e PAM, conclui-se que os componentes atendem as especificações do projeto, apresentando resultados compatíveis com os dados dos *datasheets*. Posteriormente, serão avaliados os demais PNs dos *line-ups*, bem como o desempenho dos circuitos em cascata. Para finalmente, desenvolver as PCIs dos módulos RFFE e PAM com as configurações que apresentarem melhor desempenho.

Para os filtros mecânicos, após a especificação de seus requisitos, serão realizadas as medidas dos parâmetros S para comparação com os dados do fabricante e requisitos especificados.

Para o projeto mecânico, o projeto da caixa metálica com grau de proteção IP65 juntamente com as demais peças mecânicas são feitos para, principalmente, possibilitar o arrefecimento do calor gerado pelos componentes eletrônicos. Para tal, foram realizadas simulações para uma das principais fontes de calor e com o sistema completo 8T8R foram feitas. Os resultados nos permitem identificar as otimizações necessárias para somente realizar a primeira prototipagem após a validação da simulação. Posteriormente, serão desenvolvidas as peças restantes e a usinagem de cada uma.

Por fim, conclui-se que os módulos de *hardware* da O-RU desenvolvidos até o momento estão em andamento seguindo os requisitos definidos pela O-RAN *Alliance* (O-RU 5G) citados na atividade [3].

## Referências

- [1] AMD Xilinx. (2021) *Introducing RFSoc DFE Adaptive SoC for Radio*. [Online]. Available: <https://www.xilinx.com/video/events/introducing-rfsoc-dfe-adaptive-soc-for-radio.html>
- [2] ——. (2022) *Data Sheet: Overview Zynq UltraScale+ RFSoc DFE*. [Online]. Available: <https://docs.xilinx.com/v/u/en-US/ds883-zynq-rfsoc-dfe-overview>
- [3] CPQD, “Atividade 2.1 - Documento de Requisitos Técnicos para Desenvolvimento de um Unidade Remota *Open RAN* v1.” Parceria CPQD, INATEL, Eldorado, Tech. Rep., 2023.
- [4] ANATEL. (2023) Ato nº 16539, de 27 de novembro de 2023. [Online]. Available: <https://informacoes.anatel.gov.br/legislacao/atos-de-requisitos-tecnicos-de-gestao-do-espectro/2023/1904-ato-16539>
- [5] ——. (2024) Ato nº 915, de 01 de fevereiro de 2024. [Online]. Available: <https://informacoes.anatel.gov.br/legislacao/atos-de-requisitos-tecnicos-de-gestao-do-espectro/2024/1920-ato-915>
- [6] 3GPP. (2023) 3gpp ts 38.104 v18.4.0. [Online]. Available: <https://portal.3gpp.org/ChangeRequests.aspx?q=1&versionId=83908&release=193>
- [7] ——. (2023) 3gpp ts 38.141-1 v18.4.0. [Online]. Available: <https://portal.3gpp.org/ChangeRequests.aspx?q=1&versionId=81085&release=193>
- [8] Agência Nacional de Telecomunicações. (2021) Ato nº 950, de 08 de fevereiro de 2018. [Online]. Available: <https://informacoes.anatel.gov.br/legislacao/atos-de-certificacao-de-produtos/2018/1193-ato-950>
- [9] “PU Projeto Básico OpenRAN @Brasil - Fase 2,” MCTI, Tech. Rep., November 2021.
- [10] *Linear Technology Corporation*, “Datasheet do CI LTC7860,” Milpitas, CA, Tech. Rep., 2015. [Online]. Available: <https://www.analog.com/media/en/technical-documentation/data-sheets/7860f.pdf>
- [11] *Analog Devices*, “Datasheet do CI MAX17574ATG+,” *Maxim Integrated*, Tech. Rep., 07 2018. [Online]. Available: <https://www.mouser.com/datasheet/2/609/MAX17574-3127230.pdf>
- [12] FLEX, “Datasheet do CI BMR6841100/001,” FLEX, Tech. Rep., 04 2023.
- [13] AMD Xilinx. (2023) *ZCU670 Evaluation Board User Guide (UG1532)*. [Online]. Available: <https://docs.xilinx.com/r/en-US/ug1532-zcu670-eval-bd/Board-Power-System>
- [14] ——. (2023) *Zynq UltraScale+ RFSoc Data Sheet: DC and AC Switching Characteristics (DS926)*. [Online]. Available: <https://docs.xilinx.com/r/en-US/ds926-zynq-ultrascale-plus-rfsoc/Recommended-Operating-Conditions>
- [15] ——. (2023) *Zynq UltraScale+ RFSoc DFE Targeted Reference Design: User Guide (UG1530 v2.0)*.

- [16] Renesas. (2023) 8A34001 - *System Synchronizer for IEEE 1588 - Eight Channels*. [Online]. Available: <https://www.renesas.com/us/en/products/clocks-timing/application-specific-clocks/network-synchronization/ieee-1588-and-synchronous-ethernet-clocks/8a34001-system-synchronizer-ieee-1588-eight-channels>
- [17] Philip Bates and Behzad Mohebbi. (2023) *OCP Base Specification - Evenstar RRU*. [Online]. Available: <https://www.opencompute.org/documents/2023-ocp-base-specification-evenstar-dual-band-rru-v2-pdf>
- [18] Meta. (2023) *Meta RFSOC (Vs) ZCU670 REF Design*. [Online]. Available: <https://docs.google.com/presentation/d/1j3I0eVX0dgrg1qLy8DVGRpVenNQnK1U8/edit#slide=id.p1>
- [19] P. Hindle. (2022) *Anatomy of the 5G Small Cell*. [Online]. Available: <https://www.microwavejournal.com/articles/38108-anatomy-of-the-5g-small-cell>
- [20] *All About Circuits*. *Heat Sink Calculator*. [Online]. Available: <https://www.allaboutcircuits.com/tools/heat-sink-calculator/>
- [21] Celsia. (2023) *Heat Pipe Performance Calculator*. [Online]. Available: <https://celsiainc.com/resources/calculators/heat-pipe-calculator/>